

**UBND HUYỆN CỬ CHI  
TRƯỜNG TRUNG CẤP NGHỀ CỬ CHI**

**GIÁO TRÌNH**

**MÔN HỌC/MÔ ĐUN: THIẾT KẾ VÀ LẮP RÁP KỸ THUẬT SỐ  
NGHỀ: KỸ THUẬT SỬA CHỮA VÀ LẮP RÁP MÁY TÍNH  
TRÌNH ĐỘ: TRUNG CẤP NGHỀ**

*Ban hành kèm theo Quyết định số: 48/QĐ-TCNCC ngày 04 tháng 10 năm  
2021 của Hiệu trưởng Trường Trung Cấp Nghề Cử Chi*

**Tp. Hồ Chí Minh, năm 2021**

## **TUYÊN BỐ BẢN QUYỀN**

Tài liệu này thuộc loại sách giáo trình nên các nguồn thông tin có thể được phép dùng nguyên bản hoặc trích dùng cho các mục đích về đào tạo và tham khảo

Cuốn giáo trình này dùng cho học sinh hệ trung cấp và đã lưu hành nội bộ tại trường

Mọi mục đích khác mang tính lệch lạc hoặc sử dụng với mục đích kinh doanh thiếu lành mạnh sẽ bị nghiêm cấm.

# KỸ THUẬT XUNG - SỐ

Mã số của mô đun: MĐ 21

Thời gian : 90 giờ;

(*Lý thuyết: 53 giờ ; Thực hành: 97 giờ*)

## MỤC TIÊU CỦA GIÁO TRÌNH

### \* Về kiến thức:

- Nhận biết được ký hiệu, phân tích được nguyên lý hoạt động và bảng sự thật của các cổng logic cơ bản.
- Trình bày được cấu tạo, nguyên lý các mạch số thông dụng như: Mạch mã hóa-giải mã, mạch dồn kênh-phân kênh, mạch đếm, mạch ghi dịch, mạch chuyển đổi tín hiệu...
- Phát biểu được các khái niệm cơ bản về xung điện, các thông số cơ bản của xung điện, ý nghĩa của xung điện trong kỹ thuật điện tử.
- Trình bày được cấu tạo các mạch dao động tạo xung và mạch xử lý dạng xung.

### \* Về kỹ năng:

- Lắp ráp, kiểm tra được các mạch số cơ bản trên panel và trong thực tế.
- Lắp ráp, kiểm tra được các mạch tạo xung và xử lý dạng xung.

### \* Về thái độ:

- Rèn luyện cho học sinh thái độ nghiêm túc, tỉ mỉ, chính xác trong học tập, phát triển tính tư duy, sáng tạo trong thực tiễn kỹ thuật.

## NỘI DUNG CỦA GIÁO TRÌNH :

Số TT	Tên chương mục	Thời gian			
		Tổng số	Lý thuyết	Thực hành (Bài tập)	Kiểm tra*
<b>Phần 1: Kỹ thuật số</b>		<b>100</b>	<b>37</b>	<b>59</b>	<b>4</b>
1	Tổng quan về kỹ thuật số.	4	4		
2	Các cổng logic cơ bản	14	3	10	1
3	Biểu diễn hàm đại số logic	6	4	2	
4	Biểu thức logic và mạch điện	5	3	2	
5	Mạch mã hóa - giải mã.	9	2	7	
6	Mạch dòn kênh - phân kênh	9	2	7	
7	Các phần tử FLIP-FLOP	13	3	9	1
8	Mạch đếm nhị phân	12	3	8	1
9	Mạch ghi dịch.	12	3	8	1
10	Bộ nhớ bán dẫn	8	5	3	
11	Mạch ADC - DAC	8	5	3	
<b>Phần 2: Kỹ thuật xung</b>		<b>50</b>	<b>16</b>	<b>32</b>	<b>2</b>
12	Tổng quan về kỹ thuật xung.	10	8	2	
13	Mạch đa hài tự dao động.	8	2	5	1
14	Mạch đa hài một trạng thái ổn định.	6	1	5	
15	Mạch đa hài hai trạng thái ổn định.	6	1	5	
16	Mạch Trigger Schmitt.	8	2	5	1
17	Mạch hạn chế biên độ.	6	1	5	
18	Mạch ghim điện áp.	6	1	5	
<b>Tổng số</b>		<b>150</b>	<b>53</b>	<b>91</b>	<b>6</b>

\* Ghi chú: Giờ kiểm tra tính theo giờ Thực hành

# Phần 1: KỸ THUẬT SỐ

## Bài 1 : Tổng quan về kỹ thuật số

*Mục tiêu:*

*\*Kiến thức*

- Trình bày được các khái niệm cơ bản về mạch tương tự và mạch số.
- Trình bày được cấu trúc của hệ thống số và mã số.
- Trình bày được các định luật cơ bản, các biểu thức toán học trong đại số logic

*\* Kỹ năng:*

- Chuyển đổi được số đếm giữa các hệ đếm với nhau.

*\* Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

### LÝ THUYẾT:

#### 1. Khái quát chung.

##### 1.1. Khái niệm.

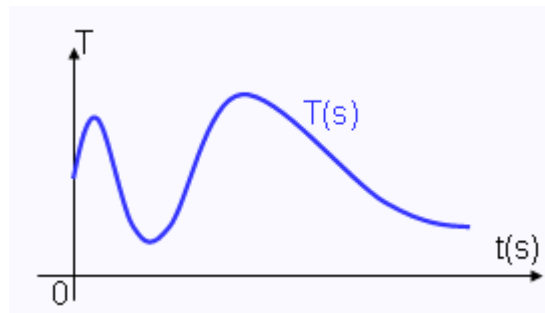
###### a. Tín hiệu.

Tín hiệu nói chung là một đại lượng vật lý chứa đựng thông tin hay dữ liệu và có thể truyền đi được.

Tín hiệu điện nói riêng là một đại lượng vật lý điện (*điện áp, dòng điện*) chứa đựng thông tin hay dữ liệu và có thể truyền đi với khoảng cách qua dây dẫn điện hoặc qua bức xạ sóng điện từ ra không gian tự do.

###### b. Tín hiệu tương tự.

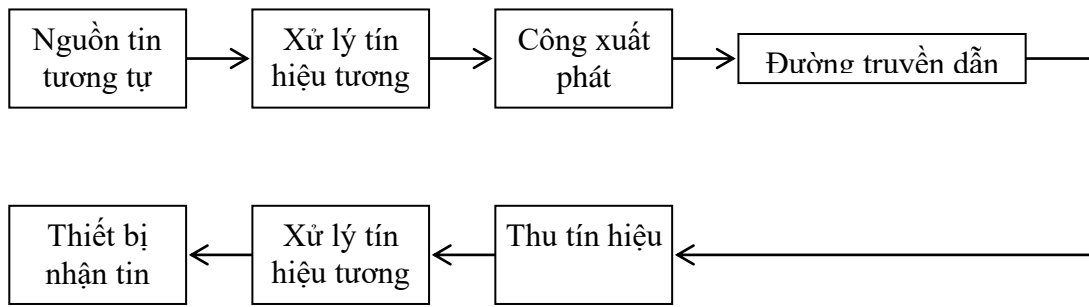
Là dạng tín hiệu có biên độ (*điện áp, dòng điện*) biến thiên liên tục theo thời gian.



Hình 1.1 Dạng tín hiệu tương tự (Analog)

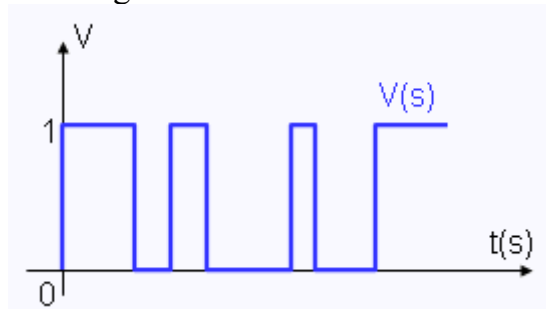
###### c. Hệ thống thông tin tương tự.

Là một tập hợp các thiết bị, các đường truyền dẫn được kết nối với nhau nhằm mục đích truyền đưa tín hiệu ở dạng tương tự từ điểm này đến điểm khác qua khoảng cách.



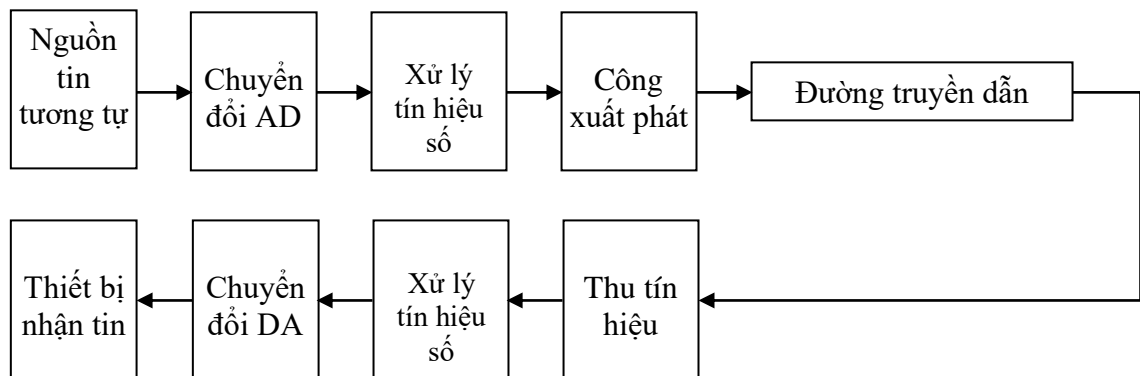
c. Tín hiệu số.

Là dạng tín hiệu có biên độ (*điện áp, dòng điện*) được quy về hai mức giá trị hữu hạn là mức cao (*H-high*) và mức thấp (*L-low*) tương ứng với hai giá trị của số nhị phân là "0" và "1", như vậy chúng là loại tín hiệu có biên độ biến thiên rời rạc theo thời gian.



d. Hệ thống thông tin số.

Hiểu một cách chung nhất, hệ thống thông tin số là một tập hợp các thiết bị, các đường truyền dẫn được kết nối với nhau nhằm mục đích truyền đưa tín hiệu ở dạng số từ điểm này đến điểm khác qua khoảng cách.



Để sử dụng được hệ thống kỹ thuật số đối với đầu vào và đầu ra là dạng tương tự ta cần thực hiện các bước sau đây:

- Biến đổi đầu vào tương tự thành dạng số.
- Xử lý thông tin số.
- Biến đổi đầu ra dạng số về lại tương tự.

**1.2. Ưu nhược điểm của kỹ thuật số so với kỹ thuật tương tự**

Mạch số có nhiều ưu điểm hơn so với mạch tương tự do đó mạch số ngày càng có nhiều ứng dụng trong ngành điện tử, cũng như trong hầu hết các lĩnh vực khác.

a. Một số ưu điểm của kỹ thuật số:

- Thiết bị số dễ thiết kế hơn.

- Thông tin được lưu trữ và truy cập dễ dàng và nhanh chóng.
- Tính chính xác và độ tin cậy cao.
- Có thể lập trình hoạt động của hệ thống kỹ thuật số.
- Mạch số ít bị ảnh hưởng bị nhiễu.
- Nhiều mạch số có thể được tích hợp trên một chip IC.
- Tự phát hiện sai và sửa sai.

b. Nhược điểm của kỹ thuật số

Hầu hết các đại lượng vật lý có bản chất tương tự và chính những đại lượng này thường là đầu vào và đầu ra được hệ thống theo dõi, xử lý và điều khiển. Như vậy muốn sử dụng kỹ thuật số khi làm việc với đầu vào và đầu ra dạng tương tự ta phải thực hiện sự chuyển đổi từ tương tự sang số sau đó lại chuyển đổi từ số sang tương tự, đây là một nhược điểm lớn của kỹ thuật số.

## 2. Hệ thống số và mã số

### 2.1. Hệ thống số thập phân

Hệ thập phân – hay còn gọi là hệ đếm cơ số 10. Bao gồm 10 chữ số đếm (kỹ tự đếm) đó là 0, 1, 2, 3, 4, 5, 6, 7, 8, 9. Sử dụng những chữ số đếm này ta có thể biểu thị được đại lượng bất kỳ.

Hệ thập phân là một hệ thống theo vị trí vì giá trị của một chữ số trong dãy số phụ thuộc vào vị trí của nó.

Ví dụ: xét số thập phân 345. Chữ số 3 biểu thị 3 trăm, 4 biểu thị 4 chục, 5 là 5 đơn vị. Xét về bản chất, 3 mang giá trị lớn nhất trong ba chữ số, được gọi là *chữ số có nghĩa lớn nhất (MSD - Most Significant Digit)*. Chữ số 5 mang giá trị nhỏ nhất, gọi là *chữ số có nghĩa nhỏ nhất (LSD - Least Significant Digit)*.

Để diễn tả một số thập phân lẻ người ta dùng dấu chấm thập phân để chia phần nguyên và phần phân số.

Ý nghĩa của một số thập phân được mô tả như sau:

$\times 10^3$	$\times 10^2$	$\times 10^1$	$\times 10^0$		$\times 10^{-1}$	$\times 10^{-2}$	$\times 10^{-3}$
= 1000	= 100	= 10	= 1	.	= 0.1	= 0.01	= 0.001
Số có nghĩa lớn nhất (MSD)				Dấu chấm thập phân			Số có nghĩa nhỏ nhất (LSD)

Ví dụ 1: Số 435.568

$$435.568 = 4 \times 10^2 + 3 \times 10^1 + 5 \times 10^0 + 5 \times 10^{-1} + 6 \times 10^{-2} + 8 \times 10^{-3}$$

### 2.2. Hệ thống số nhị phân.

a. Đặc điểm.

Hệ nhị phân – hay còn gọi là hệ đếm cơ số 2. Bao gồm 2 chữ số đếm (kỹ tự đếm) đó là 0, 1,

Trong hệ thống nhị phân (*Binary system*) chỉ có hai giá trị số là 0 và 1. Nhưng có thể biểu diễn bất kỳ đại lượng nào mà hệ thập phân và hệ các hệ thống số khác có thể biểu diễn được, tuy nhiên phải dùng nhiều số nhị phân để biểu diễn đại lượng nhất định.

Tất cả các phát biểu về hệ thập phân đều có thể áp dụng được cho hệ nhị phân. Hệ nhị phân cũng là hệ thống số theo vị trí. Mỗi số nhị phân đều có giá trị riêng, tức trọng số, là lũy thừa của 2. Để biểu diễn một số nhị phân lẻ ta cũng dùng dấu chấm thập phân để phân cách phần nguyên và phần lẻ.

Ý nghĩa của một số nhị phân được mô tả như sau:

$2^3$	$2^2$	$2^1$	$2^0$	.	$2^{-1}$	$2^{-2}$	$2^{-3}$	← Giá trị vị trí
= 8	= 4	= 2	= 1	.	= 1/2	= 1/4	= 1/8	
1	1	0	0	.	1	0	1	← Số nhị phân
MSB				Dấu chấm thập phân				LSB

Để tìm giá trị thập phân tương đương ta chỉ việc tính tổng các tích giữa mỗi số (0 hay 1) với giá trị vị trí của nó.

Ví dụ :

$$\begin{aligned}
 1100101 &= (1 \times 2^3) + (1 \times 2^2) + (0 \times 2^1) + (0 \times 2^0) + (1 \times 2^{-1}) + (0 \times 2^{-2}) + (1 \times 2^{-3}) \\
 &= 8 + 4 + 0 + 0 + 0.5 + 0 + 0.125 \\
 &= 12.625
 \end{aligned}$$

b. Các qui ước.

Một con số trong số nhị phân được gọi 1 bit (*Binary Digital*). Bit đầu (*hàng tận cùng bên trái*) có giá trị cao nhất được gọi là MSB (*Most Significant Bit – bit có nghĩa lớn nhất*), bit cuối (*hàng tận cùng bên phải*) có giá trị nhỏ nhất và được gọi LSB (*Least Significant Bit – bit có nghĩa nhỏ nhất*).

Số nhị phân có 8 bit được gọi là 1 byte, số nhị phân có 4 bit gọi là nippel. Một nhóm các bit nhị phân nói chung được gọi một word (từ) nhưng thường dùng để chỉ số có 16 bit, số 32 bit gọi là doubleword, 64 bit gọi là quadword.

Để thuận tiện cho việc chuyển đổi số ta cần phải biết một số lũy thừa nguyên của. Lũy thừa của  $2^{10} = 1024$  được gọi tắt là 1K (*đọc K hay kilo*), trong ngôn ngữ nhị phân 1K là 1024 chứ không phải là 1000. Những giá trị lớn hơn tiếp theo như:

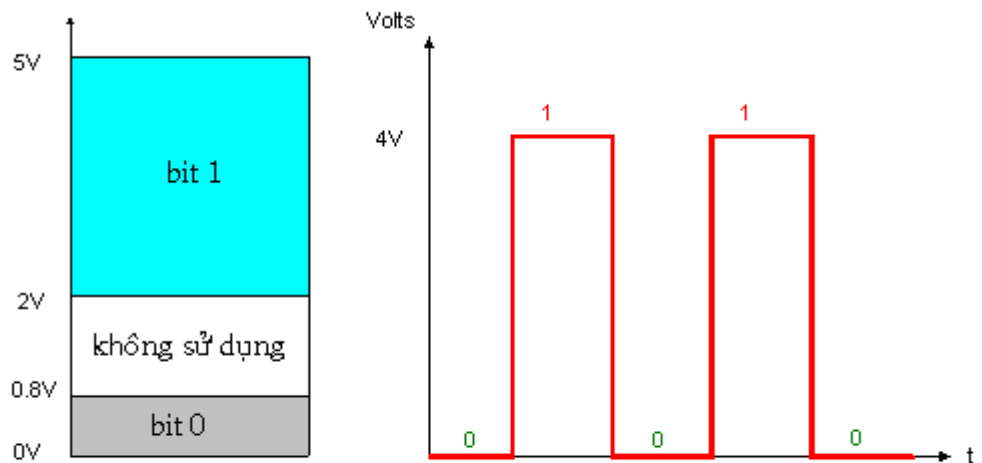
$$\begin{aligned}
 2^{11} &= 2^1 \cdot 2^{10} = 2K \\
 2^{12} &= 2^2 \cdot 2^{10} = 4K \\
 2^{20} &= 2^{10} \cdot 2^{10} = 1K \cdot 1K = 1M \text{ (Mega)} \\
 2^{24} &= 2^4 \cdot 2^{20} = 4 \cdot 1M = 4M \\
 2^{30} &= 2^{10} \cdot 2^{20} = 1K \cdot 1M = 1G \text{ (Giga)} \\
 2^{32} &= 2^2 \cdot 2^{30} = 4 \cdot 1G = 4G
 \end{aligned}$$

Bảng trị giá của  $2^n$



n	$2^n$	Viết tắt
0	1	
1	2	
2	4	
3	8	
4	16	
5	32	
6	64	
7	128	
8	256	
9	512	
10	1024	1K
11	2048	2K
12	4096	4K
13	8192	8K
14	16384	16K
15	32768	32K
16	65536	64K
20	1048576	1M
24	16777216	16M
30	1073741824	1G
32	4294967296	4G

Tín hiệu số và mức điện áp qui định thông dụng được biểu thị thông qua biểu đồ thời gian. Biểu đồ thời gian dùng để biểu diễn sự thay đổi biên độ của tín hiệu số theo thời gian, đặc biệt là biểu diễn của hai hay nhiều tín hiệu số trong cùng một mạch điện hay một hệ thống.



Các mức điện thế tiêu biểu trong thiết bị số và biểu đồ thời gian của tín hiệu số

Hình 1.5

### 2.3. Hệ thống số thập lục phân

Hệ thống số thập lục phân sử dụng cơ số 16, nghĩa là có 16 ký số. Hệ thập lục phân dùng các ký số từ 0 đến 9 cộng thêm 6 chữ A, B, C, D, E, F. Mỗi một ký số thập lục phân biểu diễn một nhóm 4 ký số nhị phân.

Ý nghĩa của hệ thống số thập lục phân được mô tả bằng bảng sau:

$16^3$	$16^2$	$16^1$	$16^0$	.	$16^{-1}$	$16^{-2}$	$16^{-3}$
= 4096	= 256	= 16	= 1	.	= 1/16	= 1/256	= 1/4096
<b>MSD</b>				Dấu chấm thập lục phân			<b>LSD</b>

Mối quan hệ giữa các hệ thống thập lục phân, thập phân và nhị phân được trình bày bằng bảng sau:

Thập lục phân	Thập phân	Nhị phân
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
A	10	1010
B	11	1011
C	12	1100
D	13	1101
E	14	1110
F	15	1111

Khi đếm số thập lục phân, mỗi vị trí được tăng dần 1 đơn vị từ 0 cho đến F. Khi đếm đến giá trị F, vòng đếm lại trở về 0 và vị trí ký số kế tiếp tăng lên 1. Trình tự đếm được minh họa như dưới đây: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F, 10, 11, 12, 13, ..., 1A, 1B, ..., 20, 21, ..., 26, 27, 28, 29, 2A, 2B, 2D, 2E, 2F, ..., 40, 41, 42, ..., 6F8, 6F9, 6FA, 6FB, 6FC, 6FD, 6FE, 6FF, 700, ...

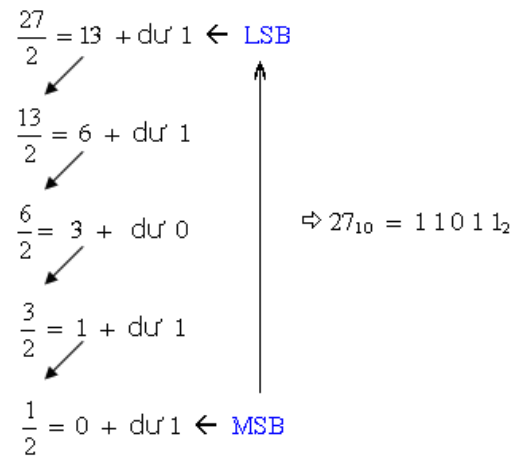
#### 2.4. Chuyển đổi giữa các hệ đếm.

##### a. Chuyển đổi từ hệ thập phân sang hệ nhị phân

Dùng phương pháp lặp lại liên tục phép chia cho 2 và ghi lại số dư sau mỗi lần chia cho đến khi thu được thương số bằng 0. Kết quả nhị phân hình thành bằng cách viết số dư theo chiều từ dưới lên, bắt đầu là số MSB và cuối cùng là số LSB.

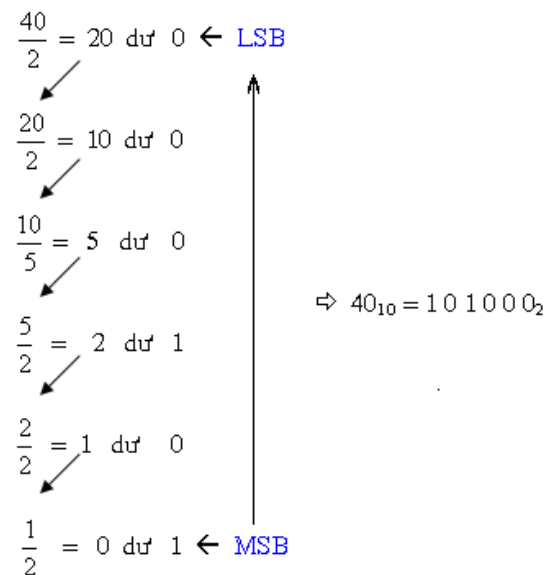
Ví dụ 1:

Đổi số thập phân 27 thành số nhị phân



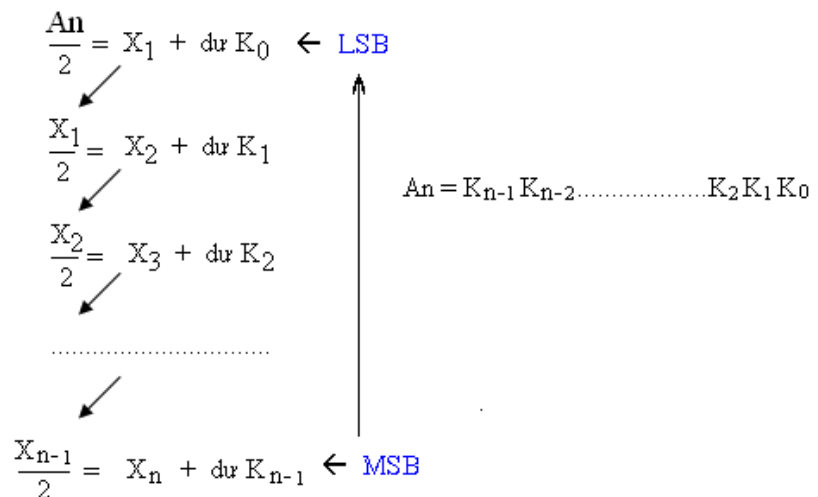
Ví dụ 2:

Đổi số thập phân 40 thành số nhị phân



Tổng quát :

Đổi số thập phân  $A_n$  thành số nhị phân



b. Chuyển đổi từ hệ nhị phân sang hệ thập phân

Tổng quát :

Chuyển đổi số nhị phân  $K_{n-1}K_{n-2}.....K_2K_1K_0$  sang số thập phân

$$K_{n-1}K_{n-2}....K_2K_1K_0 = K_{n-1}.2^{n-1} + K_{n-2}.2^{n-2} + \dots + K_2.2^2 + K_1.2^1 + K_0.2^0$$

Ví dụ 1 : Chuyển đổi số nhị phân 01011100 sang số thập phân

$$01011100_{(2)} = 0.2^7 + 1.2^6 + 0.2^5 + 1.2^4 + 1.2^3 + 1.2^2 + 0.2^1 + 0.2^0 = 92_{(10)}$$

Ví dụ 2 : Chuyển đổi số nhị phân 10011010 sang số thập phân

$$10011010_{(2)} = 1.2^7 + 0.2^6 + 0.2^5 + 1.2^4 + 1.2^3 + 0.2^2 + 1.2^1 + 0.2^0 = 154_{(10)}$$

c. Chuyển đổi từ hệ thập phân sang hệ thập lục phân.

Tương tự như cách đổi từ thập phân sang nhị phân, khi đổi từ thập phân sang thập lục phân ta cũng dùng cách lặp lại phép chia cho 16 và lấy số dư của phép chia.

Ví dụ : đổi số thập phân  $765_{10}$  thành số thập lục phân.

Thực hiện phép chia, ta được:

Đổi số thập phân 765 thành số thập lục phân

$$\begin{array}{l} \frac{765}{16} = 47 + \text{dư } 13 \text{ (D)} \leftarrow \text{LSD} \\ \swarrow \\ \frac{47}{16} = 2 + \text{dư } 15 \text{ (F)} \\ \swarrow \\ \frac{2}{16} = 0 + \text{dư } 2 \leftarrow \text{MSD} \end{array} \quad \Rightarrow 765_{10} = DF2_{16}$$

d. Chuyển đổi từ hệ thập lục phân sang hệ thập phân

Một số thập lục phân có thể được đổi thành số thập phân tương đương dựa vào dữ liệu mỗi vị trí ký số thập lục phân có trọng số là lũy thừa 16. LSD có trọng số là  $16^0$ , ký số thập lục phân ở vị trí tiếp theo có số mũ tăng lên. Quá trình chuyển đổi như sau:

Ví dụ : Đổi một số thập lục phân  $456_{(16)}$  sang số thập phân.

$$\begin{aligned} 456_{(16)} &= 4.16^2 + 5.16^1 + 6.16^0 \\ &= 4.256 + 5.16 + 6.1 \\ &= 1024 + 80 + 6 \\ &= 1110_{(10)} \end{aligned}$$

Ví dụ : Đổi số thập lục phân  $4BE_{16}$  thành số thập phân.

$$\begin{aligned} 4BE_{16} &= 4.16^2 + B.16^1 + E.16^0 \\ &= 4.16^2 + 11.16^1 + 14.16^0 \\ &= 1024 + 176 + 14 \\ &= 1214_{10} \end{aligned}$$

e. Chuyển đổi từ hệ thập lục phân sang hệ nhị phân.

Cách đổi từ số thập lục phân sang số nhị phân cũng giống như đổi từ bát phân sang nhị phân, nghĩa là mỗi ký số thập lục phân được đổi sang giá trị nhị phân 4 bit tương đương.

Ví dụ: Đổi số  $8D2_{(16)}$  sang số nhị phân

$$\begin{aligned}
8D2_{16} &= && 8 && D && 2 \\
&= && \Downarrow && \Downarrow && \Downarrow \\
&= && 1000 && 1101 && 0010 \\
&= && 100011010010_2
\end{aligned}$$

f. Chuyển đổi từ hệ nhị phân sang hệ thập lục phân.

Để đổi từ số nhị phân sang thập lục phân ta làm ngược lại cách đổi từ thập lục phân sang nhị phân. Nghĩa là ta nhóm thành từng nhóm 4 bit, mỗi nhóm được đổi sang ký số thập lục phân tương đương. Số 0 có thể được thêm vào để hoàn chỉnh 4 bit cuối cùng.

Ví dụ : Đổi số  $110011011012$  thành số thập lục phân

$$\begin{aligned}
11001101101_2 &= && 0110 && 0110 && 1101 \\
&= && \Downarrow && \Downarrow && \Downarrow \\
&= && 6 && 6 && D \\
&= && 66D_{16}
\end{aligned}$$

### 3. Đại số Bool và hàm logic cơ bản.

#### 3.1. Khái niệm.

Hàm số và biến số của môn đại số logic khác với hàm số và biến số của môn đại số thông thường là nó chỉ bao gồm hai giá trị là "0" và "1" và thường được gọi là logic0 và logic1.

Biểu thức tổng quát

$$Y = f(x_1; x_2; \dots x_n) \quad \text{trong đó} \quad \left\{ \begin{array}{l} Y: \text{Hàm số logic; } Y = \{0; 1\} \\ x_1; x_2; \dots x_n : \text{Các biến logic;} \\ x_i = \{0; 1\} \end{array} \right.$$

#### 3.2. Các phép tính cơ bản của biến logic.

Có 3 phép tính cơ bản giữa các biến logic.

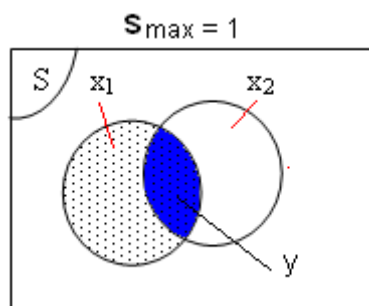
- Phép hội (phép nhân logic).
- Phép tuyển (phép cộng logic).
- Phép phủ định.

a. Phép hội (*phép nhân logic*).

Gọi  $x_1; x_2$  là hai biến số logic, hàm số logic  $y$  thực hiện phép hội giữa hai biến logic  $x_1; x_2$  có biểu thức:

$$y = x_1 \wedge x_2 = x_1 \cdot x_2 = x_1 x_2$$

Biểu diễn bằng giản đồ Venn. Trong tập không gian  $S$  với  $S_{\max}=1$  có chứa  $x_1$  và  $x_2$ . Giá trị của  $y$  là khoảng giao nhau giữa  $x_1$  và  $x_2$

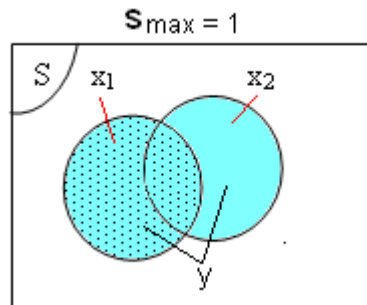


b. Phép tuyển (*phép cộng logic*).

Gọi  $x_1 ; x_2$  là hai biến số logic, hàm số logic  $y$  thực hiện phép tuyển giữa hai biến logic  $x_1 ; x_2$  có biểu thức:

$$y = x_1 \vee x_2 = x_1 + x_2$$

Biểu diễn bằng giản đồ Venn. Trong tập không gian  $S$  với  $S_{\max}=1$  có chứa  $x_1$  và  $x_2$ . Giá trị của  $y$  là bao gồm cả  $x_1$  và  $x_2$

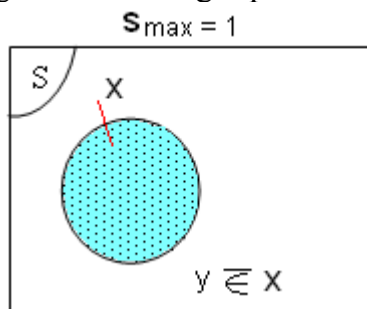


c. Phép phủ định :

Gọi  $x$  là biến số logic, hàm số logic  $y$  thực hiện phép phủ định của biến logic  $x$  biểu thức:

$$y = \bar{x}$$

Biểu diễn bằng giản đồ Venn. Trong tập không gian  $S$  với  $S_{\max}=1$  có chứa  $x$ . Giá trị của  $y$  nằm ngoài  $x$  và trong tập  $S$



Trình tự của các phép toán: *Phép phủ định – Phép hội – Phép tuyển*

### 3.3. Các định luật trong đại số logic.

a. Luật giao hoán.

$$X_1 + X_2 = X_2 + X_1$$

$$X_1 \cdot X_2 = X_2 \cdot X_1$$

b. Luật kết hợp.

$$X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3$$

$$X_1 \cdot (X_2 \cdot X_3) = (X_1 \cdot X_2) \cdot X_3$$

c. Luật phân bố.

$$X_1 + (X_2 \cdot X_3) = (X_1 + X_2) \cdot (X_1 + X_3)$$

$$X_1 \cdot (X_2 + X_3) = X_1 \cdot X_2 + X_1 \cdot X_3$$

d. Luật ghim.

$$X_1 + (X_1 \cdot X_2) = X_1$$

$$X_1 \cdot (X_1 + X_2) = X_1$$

e. Luật đồng nhất.

$$X + X = X$$

$$X \cdot X = X$$

f. Luật hoàn nguyên.

$$\overline{\overline{X}} = X$$

g. Định luật Demorgan.

$$\overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2}$$

$$\overline{X_1 \cdot X_2} = \overline{X_1} + \overline{X_2}$$

h. Luật phủ định.

$$X + \overline{X} = 1$$

$$X \cdot \overline{X} = 0$$

i. Quy tắc tính với hàng số "0" và "1".

$$X + 0 = X \quad X \cdot 0 = 0 \quad \overline{1} = 0$$

$$X + 1 = 1 \quad X \cdot 1 = X \quad \overline{0} = 1$$

Các định luật nêu trên được dùng nhằm để đơn giản (tối thiểu hóa) một biểu thức đại số logic.

### 3.4. Biến số và hàm số trong đại số logic.

a. Khái quát chung.

Biểu thức của hàm đại số logic :  $Y=f(X_1, X_2, \dots, X_n)$

- Trong đó  $X_1, X_2, \dots, X_n$  là các biến logic ( $n$  biến). Mỗi biến chỉ nhận một trong hai giá trị là "0" hoặc "1" hay có thể viết  $X_i = [0; 1]$ .

- Hàm  $Y$  cũng chỉ nhận một trong hai giá trị là "0" hoặc "1" -->  $Y = [0; 1]$ .

b. Biến số logic.

Ta hãy xét mối quan hệ giữa số lượng biến ( $n$ ) có trong hàm logic với số lượng các tổ hợp biến phân biệt ( $N$ ) của chúng.

\* Xét hàm 1 biến  $\rightarrow n = 1 \rightarrow$  biểu thức hàm  $Y = f(x) \rightarrow$  Có 2 giá trị phân biệt của biến  $x$  là  $\{0, 1\} \rightarrow N = 2 = 2^1$

\* Xét hàm 2 biến  $\rightarrow n = 2 \rightarrow$  biểu thức hàm  $Y = f(x_1, x_2) \rightarrow$  Có 4 tổ hợp giá trị phân biệt của 2 biến  $x_1, x_2$  là  $\{00, 01, 10, 11\} \rightarrow N = 4 = 2^2$

\* Xét hàm 3 biến  $\rightarrow n = 3 \rightarrow$  biểu thức hàm  $Y = f(x_1, x_2, x_3) \rightarrow$  Có 8 tổ hợp giá trị phân biệt của 3 biến  $x_1, x_2, x_3$  là  $\{000, 001, 010, 011, 100, 101, 110, 111\} \rightarrow N = 8 = 2^3$

\* Tổng quát: Xét hàm  $n$  biến  $\rightarrow$  biểu thức hàm  $Y = f(x_1, x_2, \dots, x_n) \rightarrow$  Có  $2^n$  tổ hợp giá trị phân biệt của  $n$  biến  $x_1, x_2, x_3 \dots x_n$

Vậy nếu hàm logic có  $n$  biến ta sẽ có  $2^n$  tổ hợp biến phân biệt.

c. Hàm số logic.

Xét quan hệ giữa số lượng biến ( $n$ ) có trong hàm logic với số lượng các hàm logic có tính phân biệt ( $M$ ).

\* Xét hàm 1 biến  $\rightarrow n = 1 \rightarrow$  biểu thức hàm  $Y = f(x)$

Ta có:

Biến Hàm	x		Biểu thức hàm	Tên hàm
	0	1		
$f_0(x)$	0	0	$Y = 0$	Hàm hằng số 0
$f_1(x)$	0	1	$Y = x$	Hàm theo biến x
$f_2(x)$	1	0	$Y = \overline{x}$	Hàm phủ định biến x
$f_3(x)$	1	1	$Y = 1$	Hàm hằng số 1

Như vậy, đối với hàm 1 biến ta sẽ xây dựng được 4 hàm có tính chất riêng biệt  $\rightarrow M = 4 = 2^2$

\* Xét hàm 2 biến  $\rightarrow n = 2 \rightarrow$  biểu thức hàm  $Y = f(x_1, x_2)$

Ta có

Biến Hàm	x <sub>2</sub>	0		1		Biểu thức hàm	Tên hàm
	x <sub>1</sub>	0	1	0	1		
f <sub>0</sub> (x <sub>1</sub> , x <sub>2</sub> )	0	0	0	0	0	f <sub>0</sub> = 0	Hằng số 0
f <sub>1</sub> (x <sub>1</sub> , x <sub>2</sub> )	0	0	0	1	1	f <sub>1</sub> = x <sub>1</sub> · x <sub>2</sub>	Nhân logic ( AND )
f <sub>2</sub> (x <sub>1</sub> , x <sub>2</sub> )	0	0	1	0	0	f <sub>2</sub> = x <sub>1</sub> · $\overline{x_2}$	Cấm x <sub>2</sub>
f <sub>3</sub> (x <sub>1</sub> , x <sub>2</sub> )	0	0	1	1	1	f <sub>3</sub> = x <sub>1</sub>	Theo x <sub>1</sub>
f <sub>4</sub> (x <sub>1</sub> , x <sub>2</sub> )	0	1	0	0	0	f <sub>4</sub> = $\overline{x_1}$ · x <sub>2</sub>	Cấm x <sub>1</sub>
f <sub>5</sub> (x <sub>1</sub> , x <sub>2</sub> )	0	1	0	1	1	f <sub>5</sub> = x <sub>2</sub>	Theo x <sub>2</sub>
f <sub>6</sub> (x <sub>1</sub> , x <sub>2</sub> )	0	1	1	0	0	f <sub>6</sub> = $\overline{x_1}x_2 + x_1\overline{x_2} = x_1 \oplus x_2$	Cộng Modul 2 (EX- OR )
f <sub>7</sub> (x <sub>1</sub> , x <sub>2</sub> )	0	1	1	1	1	f <sub>7</sub> = x <sub>1</sub> + x <sub>2</sub>	Cộng logic ( OR )
f <sub>8</sub> (x <sub>1</sub> , x <sub>2</sub> )	1	0	0	0	0	f <sub>8</sub> = $\overline{x_1 + x_2}$	Hàm Pierce ( NOR )
f <sub>9</sub> (x <sub>1</sub> , x <sub>2</sub> )	1	0	0	1	1	f <sub>9</sub> = $\overline{x_1}\overline{x_2} + x_1x_2 = x_1 \oplus x_2$	Cộng cùng dấu (EX-NOR)
f <sub>10</sub> (x <sub>1</sub> , x <sub>2</sub> )	1	0	1	0	0	f <sub>10</sub> = $\overline{x_2}$	Phủ định x <sub>2</sub>
f <sub>11</sub> (x <sub>1</sub> , x <sub>2</sub> )	1	0	1	1	1	f <sub>11</sub> = x <sub>1</sub> + $\overline{x_2}$	Kéo theo x <sub>1</sub>
f <sub>12</sub> (x <sub>1</sub> , x <sub>2</sub> )	1	1	0	0	0	f <sub>12</sub> = $\overline{x_1}$	Phủ định x <sub>1</sub>
f <sub>13</sub> (x <sub>1</sub> , x <sub>2</sub> )	1	1	0	1	1	f <sub>13</sub> = $\overline{x_1} + x_2$	Kéo theo x <sub>2</sub>
f <sub>14</sub> (x <sub>1</sub> , x <sub>2</sub> )	1	1	1	0	0	f <sub>14</sub> = $\overline{x_1 \cdot x_2}$	Hàm Sheffer ( NAND )
f <sub>15</sub> (x <sub>1</sub> , x <sub>2</sub> )	1	1	1	1	1	f <sub>15</sub> = 1	Hằng số 1

Như vậy, đối với hàm 2 biến ta sẽ xây dựng được 16 hàm có tính chất riêng biệt  $\rightarrow M = 16 = 4^2 = 2^{2^2}$ .

\* Tổng quát : Đối với hàm có n biến ta sẽ xây dựng được  $2^{2^n}$  hàm có tính chất riêng biệt



## Bài 2 : Các cổng logic cơ bản

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được các khái niệm cơ bản về các cổng logic.
- Nhận biết được ký hiệu, phân tích được nguyên lý hoạt động và bảng chân lý của các cổng logic cơ bản.

\* *Kỹ năng:*

- Lắp ráp, kiểm tra được sự hoạt động các cổng logic cơ bản

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

### 1. Khái quát chung.

Mọi hàm logic đều có thể được mô tả bởi các sơ đồ mạch điện tương ứng. Các sơ đồ này được gọi là các mạch logic. Trong thực tế kỹ thuật, người ta chỉ đưa ra nghiên cứu một số hàm logic có tính chất đặc trưng nhất và được gọi là các hàm logic cơ bản, tương ứng với các hàm logic cơ bản là các mạch điện logic cơ bản hay còn gọi là các phần tử logic cơ bản, các cổng logic cơ bản.

Ký hiệu của các cổng logic chỉ nói lên chức năng logic mà không nói lên cấu trúc bên trong của mạch. Mỗi cổng logic có một hoặc một vài lối vào và thường chỉ có một lối ra.

Mức điện áp tín hiệu trên lối ra được xác định theo mức điện áp tín hiệu tại các lối vào và được biểu thị bằng hai giá trị là mức cao (H - high) và mức thấp (L - low).

### 2. Cổng NOT.

#### 2.1. Ký hiệu, nguyên lý hoạt động, bảng chân lý.

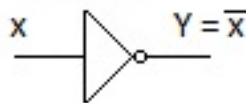
a. Khái niệm: Là mạch thực hiện chức năng của phép phủ định logic  $Y = \bar{x}$

b. Ký hiệu.

c. Hoạt động.

Nếu đầu vào của mạch có tín hiệu (logic1) thì ở đầu ra không có tín hiệu (logic0) và ngược lại.

d. Bảng chân lý.



x	Y
0	1
1	0

Hình 2.1: Ký hiệu, bảng chân lý cổng NOT

#### 2.2. Lắp ráp, khảo sát cổng NOT.

a. Nội dung:

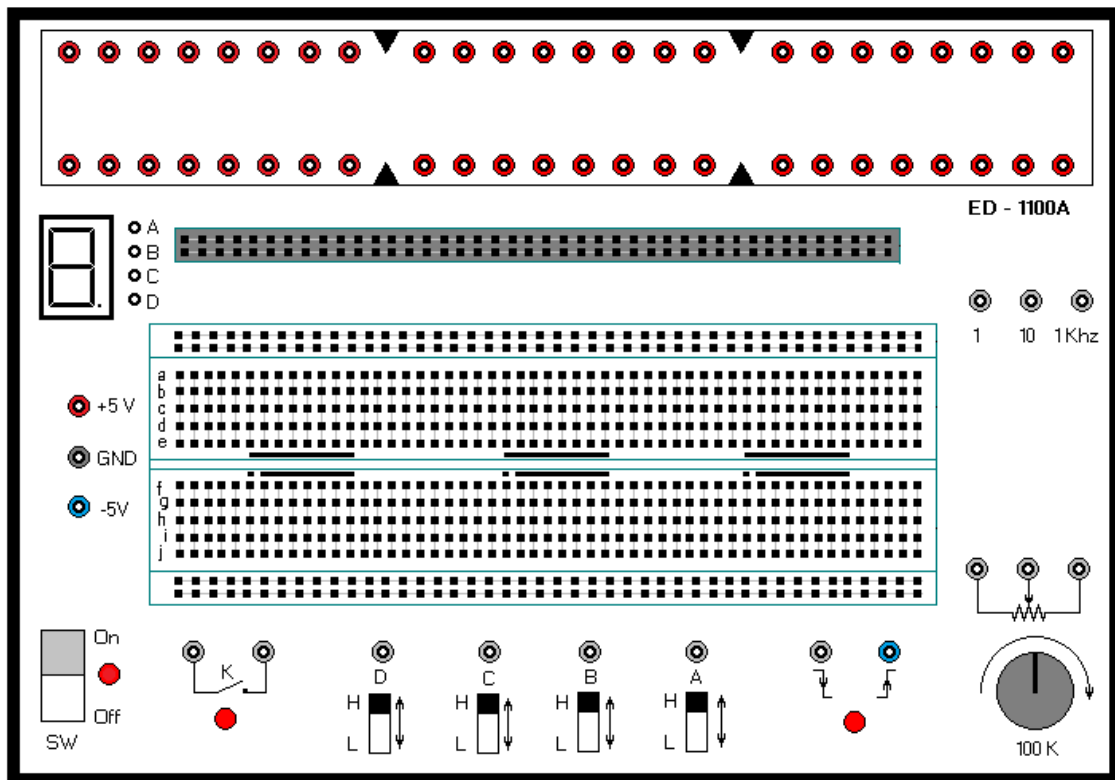
- Tìm hiểu chức năng, tính năng kỹ thuật của máy thực tập số ED-1100A.
- Làm quen và nhận dạng về IC số chứa cổng NOT.
- Các ký hiệu thông dụng trong mạch logic.
- Lắp mạch, khảo sát nguyên lý hoạt động của cổng NOT.

- Lập bảng chân lý mô tả hoạt động của cổng NOT theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.
- b. Tổ chức thực hiện:  
Chia lớp thành các nhóm với 2 sinh viên/nhóm.
- c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng NOT	IC 7404	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.1: Bảng thiết bị, vật tư khảo sát cổng NOT

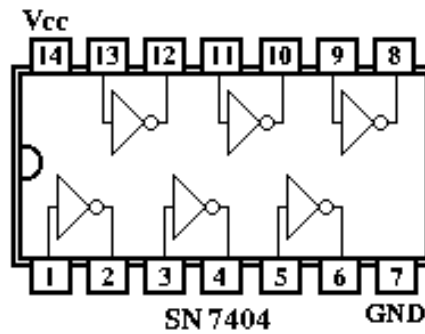
- d. Quy trình thực hiện.
- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu chức năng, tính năng kỹ thuật của máy thực tập số ED-1100A.



Hình 2.1: Cấu trúc bảng mặt máy thực tập số ED-1100A

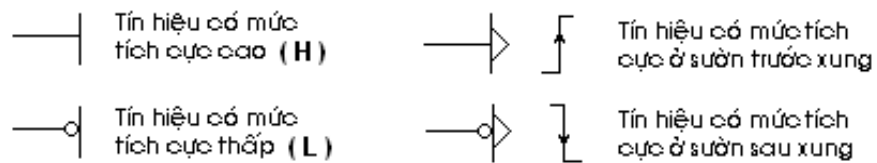
- \* Khu vực cắm linh kiện: Bảng cắm linh kiện bao gồm 4 phần độc lập nhau
  - + Phần A và D gồm hai hàng lỗ cắm liên thông theo chiều ngang dùng để cấp nguồn hoặc cấp tín hiệu.
  - + Phần B và C gồm các hàng lỗ cắm liên thông theo chiều dọc dùng để cắm IC và các linh kiện phối hợp R; C. Vị trí cắm IC là vùng có đánh dấu vạch đen với chân số 1 bắt đầu từ dấu chấm.
- \* Khu vực cấp tín hiệu:

- + 4 jack cấp mức điện áp là A, B, C, D đi kèm 4 công tắc gạt lên xuống. Công tắc gạt lên trên tương ứng với cấp mức điện áp cao (H), công tắc gạt xuống dưới tương ứng với cấp mức điện áp thấp (L).
- + 2 jack cấp tín hiệu kích thích tương ứng với sườn dương và sườn âm xung với thời điểm kích thích qua công tắc nhấn.
- + 3 jack cấp dao động xung vuông tương ứng là 1Hz; 10Hz; 1KHz
- \* Khu vực hiển thị:
  - + Hàng đèn LED dùng để hiển thị tín hiệu vào/ra trên các chân của IC.
  - + LED 7 thanh để hiển thị số thập phân tự nhiên từ 0 đến 9.
- \* Linh kiện hỗ trợ: Biến trở 100KΩ. Công tắc nhấn loại thường hở (K).
- \* Nguồn cấp: +5VDC; -5VDC, GND
- Tìm hiểu về IC số chứa cổng NOT (IC 7404).



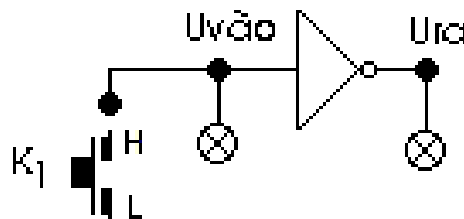
Hình 2.2: Cấu trúc IC 7404

- Các ký hiệu thông dụng trong mạch logic.



Hình 2.3: Các ký hiệu qui ước trong mạch logic

- Lắp mạch, khảo sát nguyên lý hoạt động của cổng NOT.



Hình 2.4: Đầu nối khảo sát cổng NOT

- + Cắm dây đầu nối từ 1 lõi vào của cổng NOT với 1 Jack cấp mức điện áp.
- + Đưa công tắc lên mức cao (H) và xuống mức thấp (L).

- + Quan sát đèn LED tại các chân IC tương ứng với cổng NOT đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của cổng NOT theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

$U_{\text{vào}}$	$U_{\text{ra}}$

Bảng 2.2: Bảng chân lý khảo sát cổng NOT

### 3. Cổng OR.

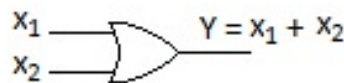
#### 3.1. Ký hiệu, nguyên lý hoạt động, bảng chân lý.

- Khái niệm: Là mạch thực hiện chức năng của phép cộng logic  $Y = x_1 + x_2$
- Ký hiệu.
- Hoạt động.

Nếu một trong hai đầu vào hoặc cả hai có tín hiệu (logic1) thì lối ra sẽ có tín hiệu.

Còn nếu cả hai đầu vào không có tín hiệu thì lối ra sẽ không có tín hiệu (logic0).

- Bảng chân lý



$X_1$	$X_2$	$Y$
0	0	0
0	1	1
1	0	1
1	1	1

Hình 2.5: Ký hiệu, bảng chân lý cổng OR

#### 3.2. Lắp ráp, khảo sát cổng OR.

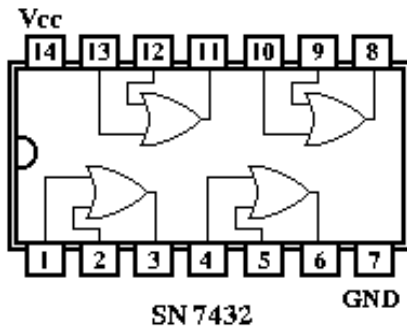
- Nội dung:
  - Tìm hiểu về IC số chứa cổng OR.
  - Lắp mạch, khảo sát nguyên lý hoạt động của cổng OR.
  - Lập bảng chân lý mô tả hoạt động của cổng OR theo mức điện áp trên các lối vào/ra.
  - So sánh với bảng chân lý theo lý thuyết mô tả.
- Tổ chức thực hiện:
  - Chia lớp thành các nhóm với 2 sinh viên/nhóm.
- Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng OR	IC 7432	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

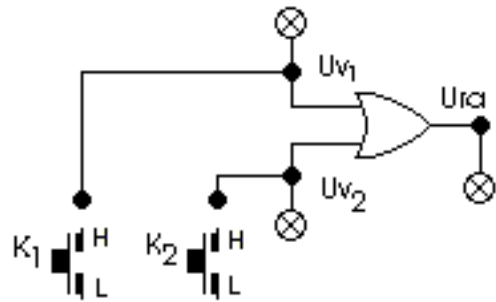
Bảng 2.3: Bảng thiết bị, vật tư khảo sát cổng NOT

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu về IC số chứa cổng OR (IC 7432).



Hình 2.6: Cấu trúc IC 7432



Hình 2.7: Đầu nối khảo sát cổng OR

- Lắp mạch, khảo sát nguyên lý hoạt động của cổng OR.
- + Cắm dây đầu nối từ 2 lối vào của cổng OR với 2 Jack cấp mức điện áp.
- + Đưa các công tắc lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED tại các chân IC tương ứng với cổng OR đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của cổng OR theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

$U_{v1}$	$U_{v2}$	$U_{ra}$

Bảng 2.4: Bảng chân lý khảo sát cổng OR

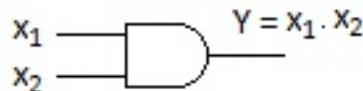
#### 4. Cổng AND.

##### 4.1. Ký hiệu, nguyên lý hoạt động, bảng chân lý.

- Khái niệm: Là mạch thực hiện chức năng của phép nhân logic  $Y = x_1 \cdot x_2$
- Ký hiệu.
- Hoạt động.

Nếu hai đầu vào cùng có tín hiệu (logic1) thì lối ra sẽ có tín hiệu. Còn nếu một trong hai đầu vào hoặc cả hai không có tín hiệu (logic0) thì lối ra sẽ không có tín hiệu.

d. Bảng chân lý



$X_1$	$X_2$	$Y$
0	0	0
0	1	0
1	0	0
1	1	1

Hình 2.8: Ký hiệu, bảng chân lý cổng AND

**4.2. Lắp ráp, khảo sát cổng AND.**

a. Nội dung:

- Tìm hiểu về IC số chứa cổng AND.
- Lắp mạch, khảo sát nguyên lý hoạt động của cổng AND.
- Lập bảng chân lý mô tả hoạt động của cổng AND theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

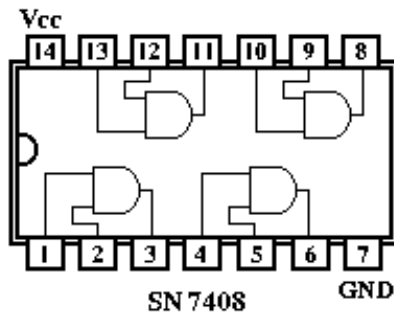
c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng AND	IC 7408	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

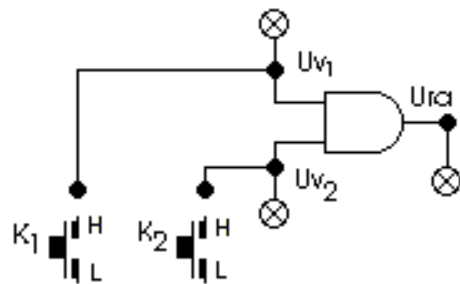
Bảng 2.5: Bảng thiết bị, vật tư khảo sát cổng AND

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu về IC số chứa cổng AND (IC 7408).



Hình 2.9: Cấu trúc IC 7408



Hình 2.10: Đầu nối khảo sát cổng AND

- Lắp mạch, khảo sát nguyên lý hoạt động của cổng AND.
- + Cắm dây đầu nối từ 2 lối vào của cổng AND với 2 Jắc cấp mức điện áp.
- + Đưa các công tắc lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED tại các chân IC tương ứng với cổng AND đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của cổng AND theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

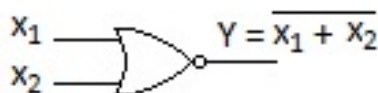
$U_{v1}$	$U_{v2}$	$U_{ra}$

Bảng 2.6: Bảng chân lý khảo sát cổng AND

## 5. Cổng NOR.

### 5.1. Ký hiệu, nguyên lý hoạt động, bảng chân lý.

- a. Khái niệm: Là mạch thực hiện chức năng của phép tính logic  $Y = \overline{x_1 + x_2}$   
 b. Ký hiệu.  
 c. Hoạt động.



X <sub>1</sub>	X <sub>2</sub>	Y
0	0	1
0	1	0
1	0	0
1	1	0

Hình 2.11: Ký hiệu, bảng chân lý cổng NOR

Nếu hai đầu vào cùng không có tín hiệu (logic0) thì lối ra sẽ có tín hiệu. Còn nếu một trong hai đầu vào hoặc cả hai có tín hiệu (logic1) thì lối ra sẽ không có tín hiệu.

d. Bảng chân lý (hình 2.11)

### 5.2. Lắp ráp, khảo sát cổng NOR.

- a. Nội dung:  
 - Tìm hiểu về IC số chứa cổng NOR.  
 - Lắp mạch, khảo sát nguyên lý hoạt động của cổng NOR.  
 - Lập bảng chân lý mô tả hoạt động của cổng NOR theo mức điện áp trên các lối vào/ra.  
 - So sánh với bảng chân lý theo lý thuyết mô tả.  
 b. Tổ chức thực hiện:  
 Chia lớp thành các nhóm với 2 sinh viên/nhóm.  
 c. Bảng thiết bị, vật tư.

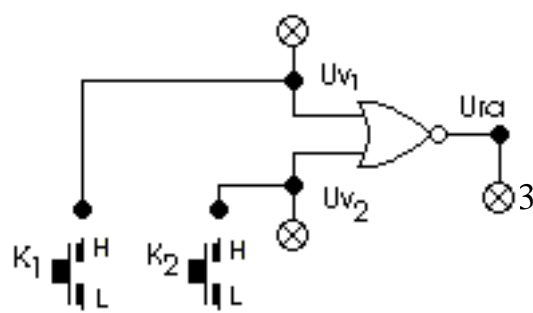
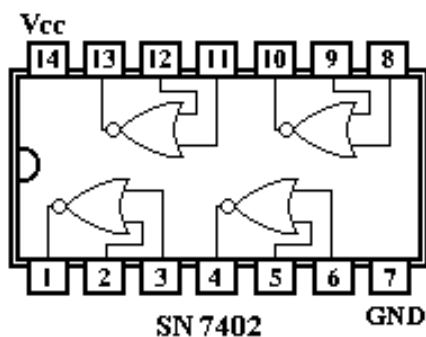
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng NOR	IC 7402	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.7: Bảng thiết bị, vật tư khảo sát cổng NOR

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thông kê.

74  
02)  
.  
Tìm hiểu về IC số chứa cổng NOR (IC



Hình 2.12: Cấu trúc IC 7402

Hình 2.13: Đầu nối khảo sát cổng NOR

- Lắp mạch, khảo sát nguyên lý hoạt động của cổng NOR.
- + Cắm dây đầu nối từ 2 lối vào của cổng NOR với 2 Jack cấp mức điện áp.
- + Đưa các công tắc lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED tại các chân IC tương ứng với cổng NOR đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của cổng NOR theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

$U_{v1}$	$U_{v2}$	$U_{ra}$

Bảng 2.8: Bảng chân lý khảo sát cổng NOR

## 6. Cổng NAND.

### 6.1. Ký hiệu, nguyên lý hoạt động, bảng chân lý.

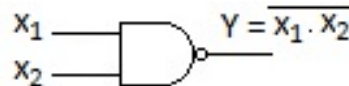
a. Khái niệm: Là mạch thực hiện chức năng của phép tính logic  $Y = \overline{x_1 \cdot x_2}$

b. Ký hiệu.

c. Hoạt động.

Nếu một trong hai đầu vào hoặc cả hai không có tín hiệu (logic0) thì lối ra sẽ có tín hiệu. Còn nếu cả hai đầu vào có tín hiệu (logic1) thì lối ra sẽ không có tín hiệu.

d. Bảng chân lý



$X_1$	$X_2$	$Y$
0	0	1
0	1	1
1	0	1
1	1	0

Hình 2.14: Ký hiệu, bảng chân lý cổng NAND



## 6.2. Lắp ráp, khảo sát cổng NAND.

a. Nội dung:

- Tìm hiểu về IC số chứa cổng NAND.
- Lắp mạch, khảo sát nguyên lý hoạt động của cổng NAND.
- Lập bảng chân lý mô tả hoạt động của cổng NAND theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

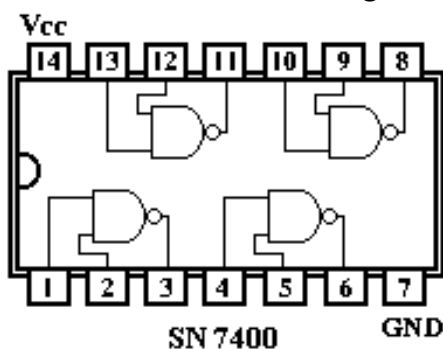
c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng NAND	IC 7400	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

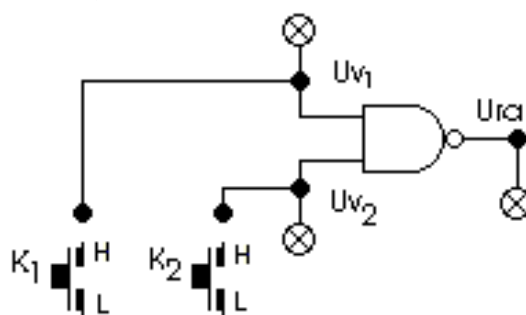
Bảng 2.9: Bảng thiết bị, vật tư khảo sát cổng NAND

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu về IC số chứa cổng NAND (IC 7400).



Hình 2.15: Cấu trúc IC 7402



Hình 2.16: Đầu nối khảo sát cổng NOR

- Lắp mạch, khảo sát nguyên lý hoạt động của cổng NAND.
- + Cắm dây đầu nối từ 2 lối vào của cổng NAND với 2 Jắc cấp mức điện áp.
- + Đưa các công tắc lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED tại các chân IC tương ứng với cổng NAND đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của cổng NAND theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

$U_{v1}$	$U_{v2}$	$U_{ra}$

Bảng 2.10: Bảng chân lý khảo sát cổng NAND.

## 7. Cổng EX - OR.

### 7.1. Ký hiệu, nguyên lý hoạt động, bảng chân lý.

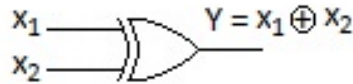
a. Khái niệm: Là mạch thực hiện chức năng của phép tính logic  $Y = x_1 \oplus x_2$

b. Ký hiệu.

c. Hoạt động.

Nếu hai đầu vào có cùng trạng thái tín hiệu thì đầu ra sẽ không có tín hiệu (logic0). Còn nếu như hai đầu vào khác trạng thái tín hiệu thì đầu ra sẽ có tín hiệu (logic1).

d. Bảng chân lý



X <sub>1</sub>	X <sub>2</sub>	Y
0	0	0
0	1	1
1	0	1
1	1	0

Hình 2.17: Ký hiệu, bảng chân lý cổng EX-OR

### 7.2. Lắp ráp, khảo sát cổng EX - OR.

a. Nội dung:

- Tìm hiểu về IC số chứa cổng EX - OR.

- Lắp mạch, khảo sát nguyên lý hoạt động của cổng EX - OR.

- Lập bảng chân lý mô tả hoạt động của cổng EX - OR theo mức điện áp trên các lối vào/ra.

- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

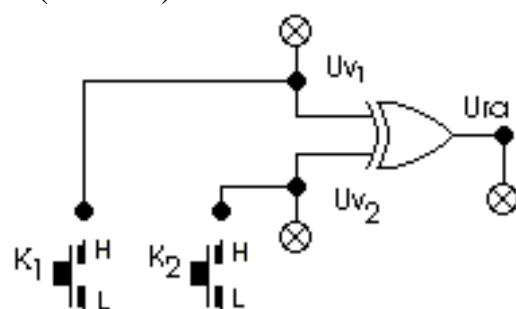
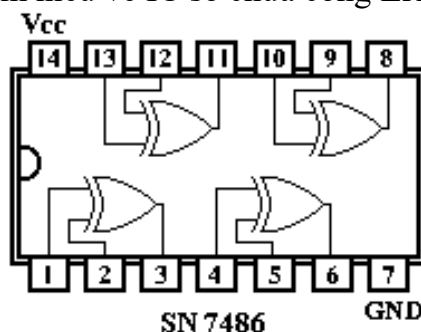
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng EX - OR	IC 7486	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.11: Bảng thiết bị, vật tư khảo sát cổng EX - OR

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.

- Tìm hiểu về IC số chứa cổng EX - OR (IC 7486).



Hình 2.18: Cấu trúc IC 7486

Hình 2.19: Đấu nối khảo sát cổng EX-OR

- Lắp mạch, khảo sát nguyên lý hoạt động của cổng EX - OR .
- + Cắm dây đấu nối từ 2 lối vào của cổng EX - OR với 2 Jack cấp mức điện áp.
- + Đưa các công tắc lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED tại các chân IC tương ứng với cổng EX - OR đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của cổng EX – OR theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

$U_{v1}$	$U_{v2}$	$U_{ra}$

Bảng 2.12: Bảng chân lý khảo sát cổng EX-OR.

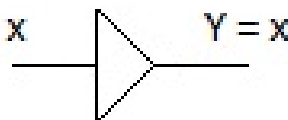
## 8. Cổng đệm (Buffer)

### 8.1. Ký hiệu, nguyên lý hoạt động, bảng chân lý.

- a. Khái niệm: Là mạch thực hiện chức năng của phép tính logic  $Y = x$
- b. Ký hiệu.
- c. Hoạt động.

Nếu đầu vào của mạch có tín hiệu (logic1) thì ở đầu ra cũng có tín hiệu (logic1) và ngược lại hay nói một cách khác tín hiệu ra lặp lại dạng tín hiệu vào.

- d. Bảng chân lý



x	Y
0	0
1	1

Hình 2.20: Ký hiệu, bảng chân lý cổng đệm(Buffer)

### 8.2. Lắp ráp, khảo sát cổng đệm.

- a. Nội dung:
  - Tìm hiểu về IC số chứa cổng đệm.
  - Lắp mạch, khảo sát nguyên lý hoạt động của cổng đệm.
  - Lập bảng chân lý mô tả hoạt động của cổng đệm theo mức điện áp trên các lối vào/ra.
  - So sánh với bảng chân lý theo lý thuyết mô tả.
- b. Tổ chức thực hiện:
  - Chia lớp thành các nhóm với 2 sinh viên/nhóm.
- c. Bảng thiết bị, vật tư.

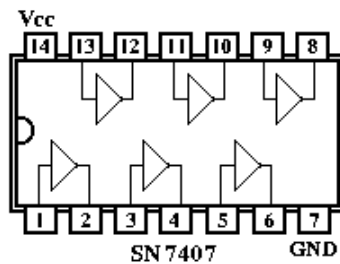
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
----	-------------------	-------------------	----------

1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng đệm	IC 7407	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

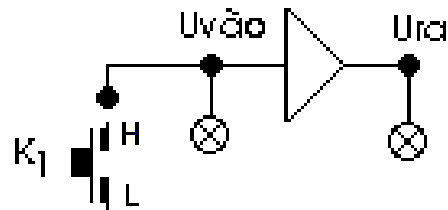
Bảng 2.13: Bảng thiết bị, vật tư khảo sát cổng đệm

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu về IC số chứa cổng đệm (IC 7407)



Hình 2.21: Cấu trúc IC 7407



Hình 2.22: Đấu nối khảo sát cổng EX-OR

- Lắp mạch, khảo sát nguyên lý hoạt động của cổng đệm.
- + Cắm dây đầu nối từ 1 lõi vào của cổng đệm với 1 Jack cấp mức điện áp.
- + Đưa công tắc lên mức cao (H) và xuống mức thấp (L).
- + Quan sát đèn LED tại các chân IC tương ứng với cổng đệm đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của cổng đệm theo mức điện áp trên các lõi vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

$U_{vào}$	$U_{ra}$

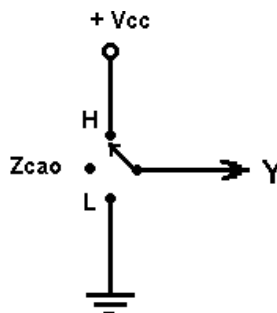
Bảng 2.14: Bảng chân lý khảo sát cổng đệm

## 9. Cổng 3 trạng thái.

### 9.1. Ký hiệu, nguyên lý hoạt động, bảng chân lý.

a. Khái niệm: Là mạch điện mà lõi ra tồn tại ở ba trạng thái

- Lõi ra ở trạng thái mức điện áp cao (H)
- Lõi ra ở trạng thái mức điện áp thấp (L)
- Lõi ra ở trạng thái hở mạch có trở kháng cao ( $Z_{cao}$ )

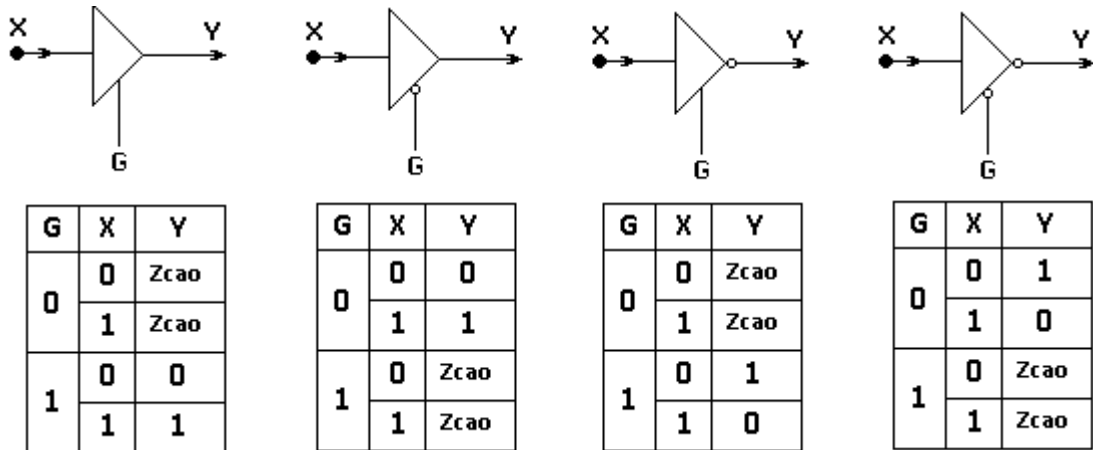


Hình 2.23: Mạch tương đương mô tả tính chất của mạch 3 trạng thái

b. Ký hiệu, hoạt động, bảng chân lý

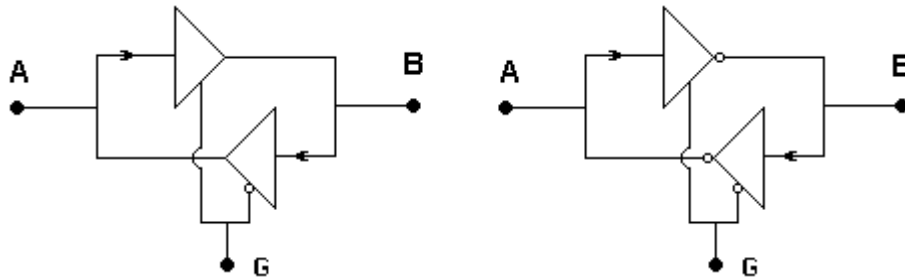
Quan hệ tín hiệu vào/ra tùy thuộc vào trạng thái tín hiệu tại lối vào điều khiển G. Khi có tín hiệu cho phép tại lối vào điều khiển G, mạch hoạt động như một công đệm hoặc công NOT. Khi không có tín hiệu cho phép tại lối vào điều khiển G, lối ra của mạch tồn tại ở trạng thái trở kháng cao.

Mạch ba trạng thái được ứng dụng để làm phần tử không chế trong đường truyền số liệu, dữ liệu số. Nếu ghép hai phần tử 3 trạng thái theo chiều thuận/ngược và có tín hiệu cho phép (G) ở trạng thái đối ngược nhau ta sẽ có đường truyền tín hiệu theo hai chiều.



Hình 2.24: Ký hiệu, bảng chân lý của các cổng 3 trạng thái

Mạch ba trạng thái được ứng dụng để làm phần tử không chế trong đường truyền số liệu, dữ liệu số. Nếu ghép hai phần tử 3 trạng thái theo chiều thuận/ngược và có tín hiệu cho phép (G) ở trạng thái đối ngược nhau ta sẽ có đường truyền tín hiệu theo hai chiều.



Hình 2.25: Mạch ứng dụng của cổng 3 trạng thái trong truyền dữ liệu

**9.2. Lắp ráp, khảo sát cổng 3 trạng thái.**

a. Nội dung:

- Tìm hiểu về IC số chứa cổng 3 trạng thái.
- Lắp mạch, khảo sát nguyên lý hoạt động của cổng 3 trạng thái.
- Lập bảng chân lý mô tả hoạt động của cổng 3 trạng thái theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

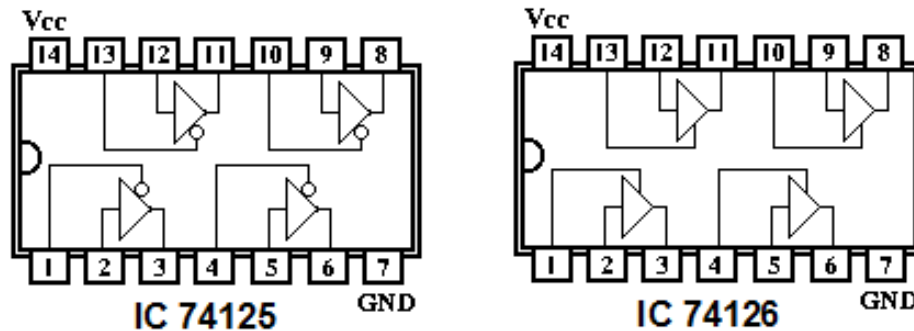
c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng 3 trạng thái	IC 74125; 74126	2 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.13: Bảng thiết bị, vật tư khảo sát cổng đệm

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu về IC số chứa cổng đệm (IC 74125; IC 74126)



Hình 2.26: Cấu trúc IC chứa cổng 3 trạng thái

- Lắp mạch, khảo sát nguyên lý hoạt động của 2 loại cổng 3 trạng thái đối với lần lượt từng loại IC.
- + Cắm dây đầu nối từ các lỗ vào của cổng 3 trạng thái với các Jack cấp mức điện áp trên máy thực tập.
- + Đưa công tắc lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED tại các chân IC tương ứng với cổng 3 trạng thái đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của cổng 3 trạng thái theo mức điện áp trên các lỗ vào/ra theo như trạng thái đã quan sát trên.

G	X	Y

Bảng 2.14: Bảng chân lý khảo sát cổng 3 trạng thái

- Phối hợp 2 loại cổng 3 trạng thái trong 2 IC để tạo ra đường truyền tín hiệu theo hai chiều như hình 2.25.

## 10. Đánh giá kết quả.

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Nhận biết được ký hiệu, phân tích được nguyên lý hoạt động và bảng chân lý của các cổng logic cơ bản.	<b>4</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của các	<b>4</b>

	cổng logic cơ bản.	
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

### Bài 3 : Biểu diễn hàm đại số logic

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được ý nghĩa các phương pháp biểu diễn hàm đại số logic.

\* *Kỹ năng:*

- Chuyển đổi được các hình thức biểu diễn của hàm logic

- Tối thiểu được hàm đại số logic bằng phương pháp thích hợp

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

#### 1. Biểu diễn bằng bảng chân lý.

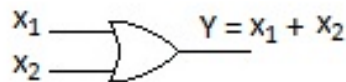
- Bảng chân lý là một trong những hình thức được sử dụng nhiều nhất để mô tả mối quan hệ giữa hàm đại số logic với các biến của nó.

- Bảng chân lý là một bảng được lập theo hàng ngang và cột dọc, số cột dọc là số lượng của biến và hàm, số hàng ngang là số các tổ hợp các biến theo biểu thức  $2^n$  (với  $n$  là số lượng biến của hàm).

- Trong các hàng ngang sẽ ghi giá trị của các tổ hợp biến theo số nhị phân và giá trị của hàm tương ứng.

- Trong kỹ thuật số, các bài toán thường được cho dưới dạng bảng chân lý hoặc nếu không chúng ta phải xây dựng bảng chân lý căn cứ vào các dữ liệu và điều kiện đưa ra của bài toán.

Ví dụ: Bảng chân lý của cổng logic OR.



$X_1$	$X_2$	$Y$
0	0	0
0	1	1
1	0	1
1	1	1

Hình 3.1: Ký hiệu, bảng chân lý cổng OR

#### 2. Biểu diễn bằng biểu thức đại số logic.

##### 2.1. Định lý.

- Một hàm đại số logic bất kỳ  $n$  biến luôn có thể biểu diễn dưới 2 dạng:

+ Dạng tuyển chuẩn tắc (TCT).

+ Dạng hội chuẩn tắc (HCT).

- Dạng tuyển chuẩn tắc (TCT): Là tổng của nhiều thành phần, mỗi một thành phần là tích đầy đủ của n biến.

Ví dụ: Một hàm đại số logic 3 biến  $X_1, X_2, X_3$  có biểu thức được cho

$$Y = f[X_1, X_2, X_3] = X_1 \cdot X_2 \cdot X_3 + \overline{X_1} \cdot X_2 \cdot X_3 + X_1 \cdot \overline{X_2} \cdot X_3$$

Biểu thức đại số của hàm Y nêu trên được viết dưới dạng TCT. Nó là tổng của 3 thành phần, mỗi thành phần là tích đầy đủ của 3 biến  $X_1, X_2, X_3$ .

- Dạng hội chuẩn tắc (HCT): Là tích của nhiều thành phần, mỗi một thành phần là tổng đầy đủ của n biến.

Ví dụ: Một hàm đại số logic 3 biến  $X_1, X_2, X_3$  có biểu thức được cho

$$Y = f[X_1, X_2, X_3] = [X_1 + X_2 + X_3] \cdot [\overline{X_1} + X_2 + X_3] \cdot [\overline{X_1} + \overline{X_2} + X_3]$$

Biểu thức đại số của hàm Y nêu trên được viết dưới dạng HCT. Nó là tích của 3 thành phần, mỗi thành phần là tổng đầy đủ của 3 biến  $X_1, X_2, X_3$ .

## 2.2. Chuyển đổi từ bảng chân lý sang biểu thức đại số.

Trong đại số logic, việc chuyển đổi qua lại giữa các cách biểu diễn là một công việc thông thường, vì vậy ta cần thiết phải nắm chắc được các cách chuyển đổi này.

### 2.2.1 Bài toán:

Một hàm đại số logic 3 biến  $X_3, X_2, X_1$  được cho bằng bảng chân lý. Hãy viết biểu thức của hàm dưới dạng TCT và HCT.

Số thập phân	Biến			Hàm	
	$X_3$	$X_2$	$X_1$	$Y$	
0	0	0	0	0	<-- $z_1$
1	0	0	1	1	<-- $y_1$
2	0	1	0	1	<-- $y_2$
3	0	1	1	x	
4	1	0	0	0	<-- $z_2$
5	1	0	1	0	<-- $z_3$
6	1	1	0	x	
7	1	1	1	1	<-- $y_3$

Bảng 3.1 : Bảng chân lý của bài toán mục 2.2.1

### 2.2.2. Quy tắc viết hàm dạng TCT:

- Chỉ quan tâm đến tổ hợp biến mà hàm có giá trị bằng 1.

- Số lần hàm bằng 1 là số tích của biểu thức.

- Trong mỗi một tích, nếu giá trị của biến mà bằng 1 thì ta để nguyên, còn nếu giá trị của biến bằng 0 thì ta lấy phủ định  $[X_i = 1 \rightarrow X_i; X_i = 0 \rightarrow \overline{X_i}]$ .

- Hàm logic sẽ bằng tổng các tích nói trên.

\* Viết hàm:

Áp dụng quy tắc trên, ta có:

- 3 lần hàm Y bằng 1 --> biểu thức có 3 tích



- Tích thứ nhất :  $Y_1 = \bar{X}_3 \cdot \bar{X}_2 \cdot X_1$
- Tích thứ hai :  $Y_2 = \bar{X}_3 \cdot X_2 \cdot \bar{X}_1$
- Tích thứ ba :  $Y_3 = X_3 \cdot X_2 \cdot X_1$
- Hàm logic :

$$Y = f(X_3, X_2, X_1) = Y_1 + Y_2 + Y_3 = \bar{X}_3 \cdot \bar{X}_2 \cdot X_1 + \bar{X}_3 \cdot X_2 \cdot \bar{X}_1 + X_3 \cdot X_2 \cdot X_1$$

- Tổng quát :

$$Y = f(X_3, X_2, X_1) = \sum (1 ; 2 ; 7) \text{ với } N = 3 ; 6$$

### 2.2.3. Quy tắc viết hàm dạng HCT:

- Chỉ quan tâm đến tổ hợp biến mà hàm có giá trị bằng 0.
- Số lần hàm bằng 0 là số tổng của biểu thức.
- Trong mỗi một tổng, nếu giá trị của biến mà bằng 0 thì ta để nguyên, còn nếu giá trị của biến bằng 1 thì ta lấy phủ định [ $X_i = 0 \rightarrow \bar{X}_i$ ;  $X_i = 1 \rightarrow X_i$ ].
- Hàm logic sẽ bằng tích các tổng nói trên.

\* Viết hàm:

Áp dụng quy tắc trên, ta có:

- 3 lần hàm Y bằng 0 --> biểu thức có 3 tổng

- Tổng thứ nhất :  $Z_1 = X_3 + X_2 + X_1$

- Tổng thứ hai :  $Z_2 = \bar{X}_3 + X_2 + X_1$

- Tổng thứ ba :  $Z_3 = \bar{X}_3 + X_2 + \bar{X}_1$

- Hàm logic :

$$Y = f(X_3, X_2, X_1) = Z_1 \cdot Z_2 \cdot Z_3 = (X_3 + X_2 + X_1) \cdot (\bar{X}_3 + X_2 + X_1) \cdot (\bar{X}_3 + X_2 + \bar{X}_1)$$

- Tổng quát :

$$Y = f(X_3, X_2, X_1) = \prod (0 ; 4 ; 5) \text{ với } N = 3 ; 6$$

## 3. Biểu diễn bằng bảng các-nô.

### 3.1. Khái quát chung.

Cũng như bảng chân lý, bảng các-nô cũng là một hình thức biểu diễn thông dụng của hàm logic, nhưng hơn thế nữa nó còn là một phương tiện hữu hiệu để rút gọn biểu thức hàm logic

#### 3.1.1 Nguyên tắc xây dựng bảng.

- Nếu một hàm logic có n biến ta cần xây dựng một bảng gồm có  $2^n$  ô. Mỗi một ô sẽ tương ứng với một tổ hợp biến.
- Các ô được lập sẽ theo hàng và cột, nếu số biến là chẵn thì số hàng ngang và số cột dọc bằng nhau. Nếu số biến là lẻ thì số cột nhiều hơn số hàng một biến.

#### 3.1.2 Cách ghi.

- Đầu hàng và đầu cột sẽ ghi giá trị của các tổ hợp biến.
- Các hàng và cột đứng cạnh nhau hoặc đối xứng nhau chỉ khác nhau giá trị ở một biến.
- Trong các ô sẽ ghi giá trị của hàm ứng với giá trị của tổ hợp biến tại ô đó.
- + Đối với dạng TCT: Giá trị hàm bằng 0 thì để trống.
- + Đối với dạng HCT: Giá trị hàm bằng 1 thì để trống.

### 3.2. Chuyển đổi từ bảng chân lý sang bảng các-nô.

Ví dụ: Hãy chuyển đổi từ bảng chân lý sang bảng các-nô ở Bảng 3.1

- Ghi cho dạng TCT

$$\frac{X_3 X_2}{\text{-----}}$$

$X_1$		00	01	11	10
0			1	x	
1		1	x	1	

- Ghi cho dạng HCT

	$X_3$	$X_2$				
$X_1$			00	01	11	10
0			0		x	0
1				x		0

Bảng 3.2 : Bảng các-nô cho dạng TCT và HCT của bài toán mục 2.2.1

- Chú ý: Cách ghi biến và cách đọc thông thường theo thứ tự từ trái sang phải, từ trên xuống dưới.

### 3.3. Bài tập

- Bài tập 1: Lập bảng trạng thái, viết biểu thức, lập bảng các-nô cho hàm logic sau

$$Y_a = f(B, C, A) = \sum (0; 2; 3; 4; 6)$$

$$Y_b = f(B, C, A) = \prod (0; 1; 4; 5; 6)$$

- Bài tập 2 : Lập bảng trạng thái, viết biểu thức, lập bảng các-nô cho hàm logic sau

$$Y_c = f(X_3, X_2, X_1, X_0) = \sum (0; 1; 2; 5; 7; 10; 14; 16)$$

$$Y_d = f(D, B, C, A) = \sum (0; 1; 2; 4; 5; 8; 10) \text{ với } N = 3; 9$$

- Bài tập 3 : Lập bảng trạng thái, viết biểu thức, lập bảng các-nô cho hàm logic sau

$$Y_1 = f(X_3, X_2, X_1, X_0) = \prod (3; 4; 6; 7; 8; 9; 12; 13; 14)$$

$$Y_2 = f(D, B, C, A) = \prod (1; 5; 6; 7; 11; 13) \text{ với } N = 12; 15$$

## 4. Tối thiểu hàm đại số logic

### 4.1. Tối thiểu bằng phương pháp đại số.

#### 4.1.1 Khái niệm:

- Tối thiểu hàm đại số logic là phương cách đưa hàm về dạng tối giản nhất.
- Tối thiểu bằng phương pháp đại số là cách thức đưa hàm về dạng tối giản thông qua việc biến đổi trực tiếp các thành phần trong biểu thức nhằm giảm lược một cách tối đa các thành phần và các biến trong hàm.
- Việc rút gọn hàm được thực hiện trên cơ sở các định lý về hàm logic.

#### 4.1.2 Phương pháp tiến hành

Ví dụ 1: Tối thiểu biểu thức đại số logic sau

$$Y = A \cdot x + \bar{A} \cdot x + A \cdot \bar{x}$$

- Biểu thức hàm y có 3 thành phần
- Dùng luật phân bố để nhóm thành phần 1 với 2 và 1 với 3 ta sẽ có:

$$Y = x(A + \bar{A}) + A(x + \bar{x})$$

- Áp dụng phép phủ định với các thành phần trong ngoặc cuối cùng ta có:

$$Y = x + A$$

Ví dụ 2: Tối thiểu biểu thức đại số logic sau

$$Y = \bar{X}_1 + X_1 \bar{X}_2 X_3 + (\bar{X}_1 + X_1 \bar{X}_2 \bar{X}_3) (\bar{X}_1 + X_1 \bar{X}_2 X_3)$$

- Dùng luật phân bố để phá ngoặc của biểu thức, ta có

$$Y = \bar{X}_1 + X_1 X_2 X_3 + \bar{X}_1 \bar{X}_1 + \bar{X}_1 X_1 \bar{X}_2 X_3 + X_1 \bar{X}_2 \bar{X}_3 \bar{X}_1 + X_1 \bar{X}_2 \bar{X}_3 X_1 \bar{X}_2 X_3$$

- Dùng luật đồng nhất và phép phủ định, ta có

$$Y = \bar{X}_1 + X_1 X_2 X_3 + \bar{X}_1 \bar{X}_1 + \bar{X}_1 X_1 \bar{X}_2 X_3 + X_1 \bar{X}_2 \bar{X}_3 \bar{X}_1 + X_1 \bar{X}_2 \bar{X}_3 X_1 \bar{X}_2 X_3$$

$$Y = \bar{X}_1 + X_1 \bar{X}_2 X_3 + \bar{X}_1 + \underbrace{0}_{y_1} + \underbrace{0}_{y_2} + \underbrace{0}_{y_3}$$

$$Y = \bar{X}_1 + X_1 \bar{X}_2 X_3$$

- Dùng luật phân bố và phép phủ định, ta có biểu thức cuối cùng rút gọn

$$Y = (\bar{X}_1 + X_1) (\bar{X}_1 + \bar{X}_2 X_3)$$

$$Y = \bar{X}_1 + \bar{X}_2 X_3$$

## 4.2. Tối thiểu bằng bảng các-nô.

### 4.2.1 Viết hàm từ bảng các-nô

Ví dụ 1: Hãy viết biểu thức đại số của hàm logic cho bằng bảng các-nô

		$X_3 X_2$				
		$X_1$	00	01	11	10
	0	1			1	
	1		1	1	x	
			$y_1$	$y_2$	$y_3$	$y_4$

$$Y = f(X_3 X_2 X_1) = y_1 + y_2 + y_3 + y_4 = \bar{X}_3 \bar{X}_2 \bar{X}_1 + X_3 \bar{X}_2 \bar{X}_1 + \bar{X}_3 X_2 X_1 + X_3 X_2 X_1$$

Ví dụ 2: Hãy viết biểu thức đại số của hàm logic cho bằng bảng các-nô

		$X_3 X_2$			
		$X_1$	00	01	11
	0		0	0	
	1	0			x
			$z_1$	$z_2$	$z_3$

$$Y = f(X_3 X_2 X_1) = z_1 + z_2 + z_3 = (X_3 + X_2 + \bar{X}_1)(X_3 + \bar{X}_2 + X_1)(\bar{X}_3 + \bar{X}_2 + X_1)$$

### 4.2.2. Qui tắc viết tối giản.

a. Qui tắc 1: Nếu 2 ô đứng cạnh nhau hoặc đối xứng nhau có chứa toàn số 1 (hoặc số 0) thì ta có thể kết hợp để loại đi 1 biến.

Ví dụ:

		$X_3 X_2$			
		$X_1$	00	01	11
	0	1			1
	1		1	1	
			$y_1$	$y_2$	

$$y_1 = \bar{X}_2 \bar{X}_1$$

$$y_2 = X_2 X_1$$

$$\rightarrow Y = f(X_3 X_2 X_1) = y_1 + y_2 = \bar{X}_2 \bar{X}_1 + X_2 X_1$$

b. Qui tắc 2: Nếu 1 hàng hoặc 1 cột hoặc 4 ô đứng liền nhau hoặc 4 ô ở 4 góc có chứa toàn số 1 (hoặc số 0) thì ta có thể kết hợp để loại đi 2 biến.

Ví dụ:

		$X_3 X_2$			
		$X_1 X_0$	00	01	11

		$X_3 X_2$			
		$X_1 X_0$	00	01	11

00				
01	1	1	1	1
11				
10				

$$Y = f(X_3 X_2 X_1 X_0) = \bar{X}_1 X_0$$

(loại biến  $X_3, X_2$ )

00		1		
01		1		
11		1		
10		1		

$$Y = f(X_3 X_2 X_1 X_0) = \bar{X}_3 X_2$$

(loại biến  $X_1, X_0$ )

	$X_3 X_2$				
$X_1 X_0$		00	01	11	10
00					
01		1	1		
11		1	1		
10					

$$Y = f(X_3 X_2 X_1 X_0) = \bar{X}_3 X_0$$

(loại biến  $X_2, X_1$ )

	$X_3 X_2$				
$X_1 X_0$		00	01	11	10
00		1			1
01					
11					
10		1			1

$$Y = f(X_3 X_2 X_1 X_0) = \bar{X}_2 \bar{X}_0$$

(loại biến  $X_3, X_1$ )

c. Quy tắc 3: Nếu 2 hàng hoặc 2 cột đứng liền nhau, 2 hàng ở hai biên 2 cột ở hai biên có chứa toàn số 1 (hoặc số 0) thì ta có thể kết hợp để loại đi 3 biến.  
Ví dụ:

	$X_3 X_2$				
$X_1 X_0$		00	01	11	10
00		1	1	1	1
01		1	1	1	1
11					
10					

$$Y = f(X_3 X_2 X_1 X_0) = \bar{X}_1$$

(loại biến  $X_3, X_2, X_0$ )

	$X_3 X_2$				
$X_1 X_0$		00	01	11	10
00		1	1		
01		1	1		
11		1	1		
10		1	1		

$$Y = f(X_3 X_2 X_1 X_0) = \bar{X}_3$$

(loại biến  $X_2, X_1, X_0$ )

	$X_3 X_2$				
$X_1 X_0$		00	01	11	10
00		0	0	0	0
01					

	$X_3 X_2$				
$X_1 X_0$		00	01	11	10
00		0			0
01		0			0

11				
10	0	0	0	0

$$Y = f(X_3 X_2 X_1 X_0) = X_0$$

( loại biến  $X_3, X_2, X_1$  )

11	0			0
10	0			0

$$Y = f(X_3 X_2 X_1 X_0) = X_2$$

( loại biến  $X_3, X_1, X_0$  )

#### 4.2.3. Bài tập.

Tối thiểu các hàm logic sau :

- Bài tập 1:

$$Y_a = f(B, C, A) = \sum (0; 2; 3; 4; 6)$$

$$Y_b = f(B, C, A) = \prod (0; 1; 4; 5; 6)$$

- Bài tập 2 :

$$Y_c = f(X_3, X_2, X_1, X_0) = \sum (0; 1; 2; 5; 7; 10; 14; 16)$$

$$Y_d = f(D, B, C, A) = \sum (0; 1; 2; 4; 5; 8; 10) \text{ với } N = 3; 9$$

- Bài tập 3 :

$$Y_1 = f(X_3, X_2, X_1, X_0) = \prod (3; 4; 6; 7; 8; 9; 12; 13; 14)$$

$$Y_2 = f(D, B, C, A) = \prod (1; 5; 6; 7; 11; 13) \text{ với } N = 12; 15$$

### Bài 4 : Biểu thức logic và mạch điện

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được ý nghĩa mối quan hệ giữa biểu thức logic và mạch điện.

\* *Kỹ năng:*

- Xây dựng được biểu thức logic hoặc mạch điện từ các điều kiện ban đầu.

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

#### 1. Xây dựng biểu thức logic từ mạch điện cho trước.

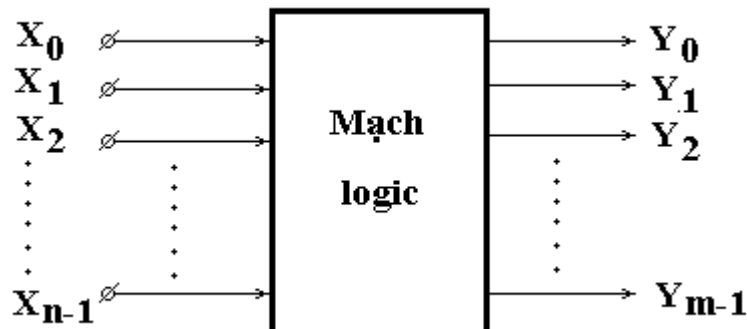
##### 1.1 Khái quát chung.

- Mạch điện logic được chia làm 2 loại cơ bản

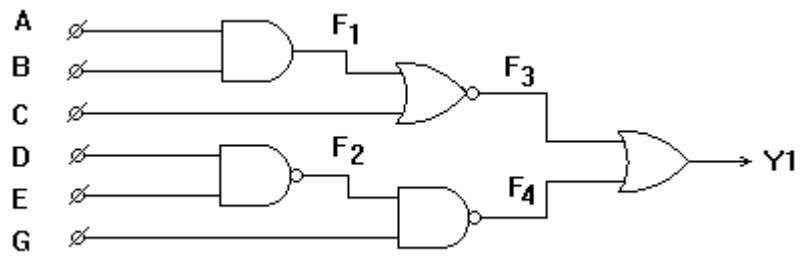
+ Mạch logic tổ hợp (Combination circuits).

+ Mạch logic tuần tự (Sequential circuits).

- Sơ đồ tổng quát của một mạch điện logic bất kỳ được mô tả :







Hình 4.1: Mạch logic cho ví dụ 1

Các bước thực hiện:

\* Bước 1:

- Mạch logic được cho có 6 đầu vào và 1 đầu ra.

- Các đầu vào được đặt tên là A; B; C; D; E; G. Đầu ra là  $Y_1$  (Như hình vẽ)

\* Bước 2: Đặt 4 hàm phụ là  $F_1$ ;  $F_2$ ;  $F_3$ ;  $F_4$  (Như hình vẽ).

\* Bước 3: Viết phương trình cho 4 hàm phụ

$$F_1 = A \cdot B$$

$$F_2 = \overline{D \cdot E} = \overline{D} + \overline{E}$$

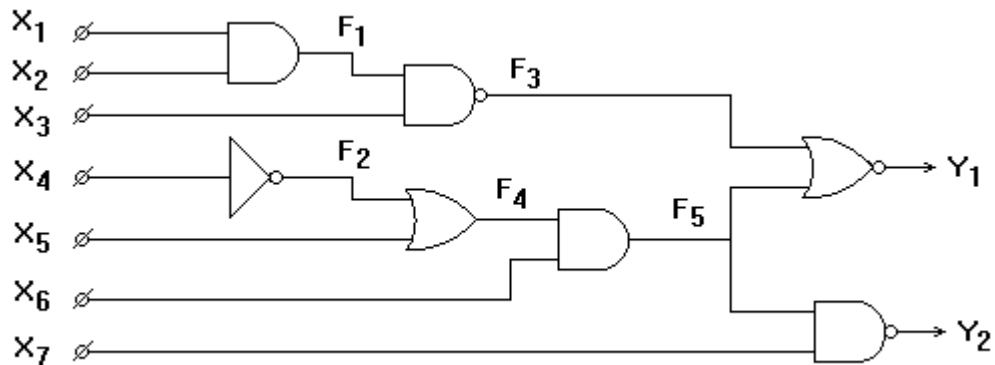
$$F_3 = \overline{F_1 + C} = \overline{[A \cdot B] + C} = \overline{[A \cdot B]} \cdot \overline{C} = [\overline{A} + \overline{B}] \cdot \overline{C} = \overline{A} \cdot \overline{C} + \overline{B} \cdot \overline{C}$$

$$F_4 = \overline{F_2} \cdot G = \overline{[\overline{D \cdot E}]} \cdot G = D \cdot E + \overline{G}$$

\* Bước 4: Viết phương trình cho đầu ra  $Y_1$

$$Y_1 = F_3 + F_4 = [\overline{A} \cdot \overline{C} + \overline{B} \cdot \overline{C}] + [D \cdot E + \overline{G}] = \overline{A} \cdot \overline{C} + \overline{B} \cdot \overline{C} + D \cdot E + \overline{G}$$

Ví dụ 2 : Viết biểu thức của mạch điện logic sau



Hình 4.2: Mạch logic cho ví dụ 2

Các bước thực hiện:

\* Bước 1:

- Mạch logic được cho có 7 đầu vào và 2 đầu ra.

- Các đầu vào được đặt tên là  $X_1$ ;  $X_2$ ;  $X_3$ ;  $X_4$ ;  $X_5$ ;  $X_6$ ;  $X_7$ . Đầu ra là  $Y_1$ ;  $Y_2$  (Như hình vẽ)

\* Bước 2: Đặt 5 hàm phụ là  $F_1$ ;  $F_2$ ;  $F_3$ ;  $F_4$ ;  $F_5$  (Như hình vẽ).

\* Bước 3: Viết phương trình cho 5 hàm phụ

$$F_1 = X_1 \cdot X_2$$

$$F_2 = \overline{X_4}$$

$$F_3 = \overline{F_1 \cdot X_3} = \overline{F_1 + X_3} = \overline{X_1 \cdot X_2 + X_3} = \overline{X_1} + \overline{X_2} + \overline{X_3}$$

$$F_4 = F_2 + X_5 = \overline{X_4} + X_5$$

$$F_5 = F_4 \cdot X_6 = (\overline{X_4} + X_5) \cdot X_6 = \overline{X_4} \cdot X_6 + X_5 \cdot X_6$$

\* Bước 4:

- Viết phương trình cho đầu ra  $Y_1$

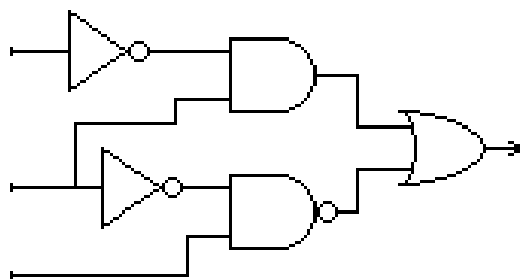
$$\begin{aligned} Y_1 &= \overline{F_3 + F_5} = \overline{F_3} \cdot \overline{F_5} = \overline{(\overline{X_1 + X_2 + X_3}) \cdot (\overline{X_4 \cdot X_6 + X_5 \cdot X_6})} \\ &= \overline{(\overline{X_1 \cdot X_2 \cdot X_3}) \cdot (\overline{X_4 \cdot X_6}) \cdot (\overline{X_5 \cdot X_6})} \\ &= \overline{(\overline{X_1 \cdot X_2 \cdot X_3}) \cdot (\overline{X_4 + X_6}) \cdot (\overline{X_5 + X_6})} \\ &= \overline{(\overline{X_1 \cdot X_2 \cdot X_3}) \cdot (\overline{X_4 \cdot X_5 + X_4 \cdot X_6 + X_5 \cdot X_6 + X_6})} \\ &= \overline{(\overline{X_1 \cdot X_2 \cdot X_3}) \cdot (\overline{X_4 \cdot X_5 + X_6})} \\ &= X_1 \cdot X_2 \cdot X_3 \cdot X_4 \cdot \overline{X_5} + X_1 \cdot X_2 \cdot X_3 \cdot X_4 \cdot \overline{X_6} \end{aligned}$$

- Viết phương trình cho đầu ra  $Y_2$

$$\begin{aligned} Y_2 &= \overline{F_5 \cdot X_7} = \overline{F_5} + \overline{X_7} = \overline{(\overline{X_4 \cdot X_6 + X_5 \cdot X_6})} + \overline{X_7} = \overline{(\overline{X_4 \cdot X_6}) \cdot (\overline{X_5 \cdot X_6})} + \overline{X_7} \\ &= \overline{(\overline{X_4 + X_6}) \cdot (\overline{X_5 + X_6})} + \overline{X_7} \\ &= \overline{(\overline{X_4 \cdot X_5 + X_4 \cdot X_6 + X_5 \cdot X_6 + X_6})} + \overline{X_7} \\ &= X_4 \cdot \overline{X_5} + \overline{X_6} + \overline{X_7} \end{aligned}$$

### 1.3. Bài tập.

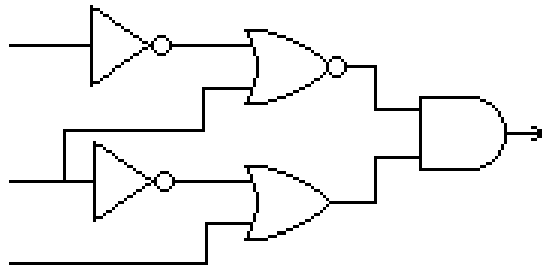
Bài tập 1 : Viết biểu thức của mạch điện logic sau



Hình 4.3: Mạch logic cho bài tập 1

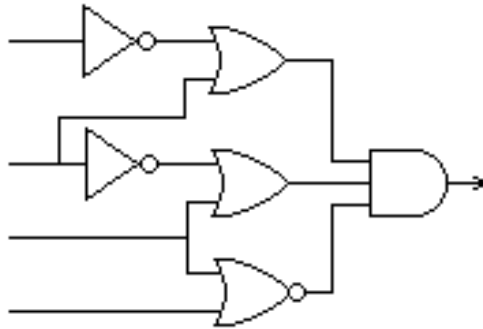
Bài tập 2 : Viết biểu thức của mạch điện logic sau





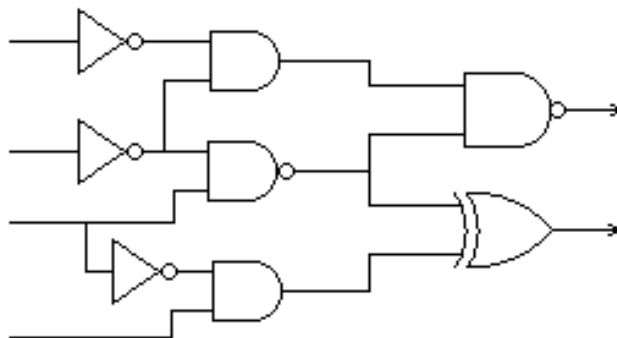
Hình 4.4: Mạch logic cho bài tập 2

Bài tập 3 : Viết biểu thức của mạch điện logic sau



Hình 4.5: Mạch logic cho bài tập 3

Bài tập 4 : Viết biểu thức của mạch điện logic sau



Hình 4.6: Mạch logic cho bài tập 4

## 2. Xây dựng mạch điện từ biểu thức logic.

### 2.1 Khái quát chung.

- Ngoài bài toán phân tích mạch logic như đã đề cập ở trên, trong kỹ thuật số còn có một dạng bài toán rất quan trọng đó là bài toán thiết kế xây dựng mạch logic.

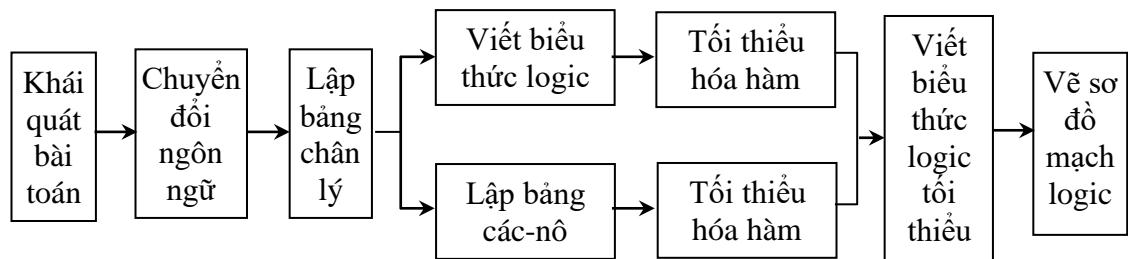
- Bài toán thiết kế xây dựng mạch logic là những bài toán từ những yêu cầu cụ thể đưa ra (*chức năng, dạng sóng, tính năng kỹ thuật...*), ta phải xây dựng sơ đồ mạch điện logic thực hiện những chức năng nói trên từ những công logic cho trước hoặc có sẵn.

- Để xây dựng được mạch điện logic đúng với chức năng theo yêu cầu, chúng ta phải có biểu thức logic của hàm đầu ra.

### 2.2 Các bước thực hiện.

a. Giảm đồ các bước xây dựng.

Trong việc xây dựng mạch logic tổ hợp dùng các cổng logic rời rạc hoặc các vi mạch số cỡ nhỏ (SSI) có chứa vài cổng logic, ta sẽ thực hiện tuần tự các bước theo giản đồ sau



Hình 4.7: Giản đồ các bước xây dựng mạch số dùng cổng logic rời rạc.

#### b. Các bước thực hiện.

##### \* Bước 1 : *Khái quát bài toán*

- Dùng các ký tự, ký hiệu để mô tả các dữ kiện và các yêu cầu mà bài toán đưa ra.

- Kết quả của bước này ta có sơ đồ tổng quát của mạch logic cần xây dựng với các lối vào và lối ra theo các dữ kiện của bài toán.

##### \* Bước 2 : *Chuyển đổi ngôn ngữ*

Căn cứ vào các dữ kiện đã cho của bài toán, ta chuyển đổi ngôn ngữ kỹ thuật biểu thị cho các trạng thái kỹ thuật trong thực tế (*Có điện áp - không có điện áp, động cơ quay - động cơ không quay, đèn sáng - đèn tắt, trên - dưới, trong - ngoài v.v..*) thành các trạng thái logic (logic0, logic1).

##### \* Bước 3 : *Lập bảng chân lý*

Từ các trạng thái logic đã được chuyển đổi, ta lập bảng chân lý mô tả đúng nguyên lý hoạt động mà bài toán nêu ra bằng ngôn ngữ logic.

##### \* Bước 4: *Tối thiểu hóa hàm*

- Nếu bảng chân lý đơn giản, ta có thể viết biểu thức logic ngay và tiến hành tối thiểu theo phương pháp biến đổi đại số (*nhánh trên*).

- Nếu bảng chân lý phức tạp, ta chuyển sang bảng các-nô và tiến hành tối thiểu hàm (*nhánh dưới*).

- Sau bước tối thiểu, ta nhận được hàm logic đã tối giản.

##### \* Bước 5 : *Vẽ sơ đồ mạch logic*

Căn cứ vào biểu thức đại số đã tối giản, ta chỉ ra các cổng logic cần thực hiện và các đường kết nối giữa chúng. Ghi tên cho các lối vào và ra theo biểu thức hàm.

#### c. Bài toán:

Hãy xây dựng mạch tự động điều khiển một máy bơm nước từ nguồn nước lên bể chứa với yêu cầu:

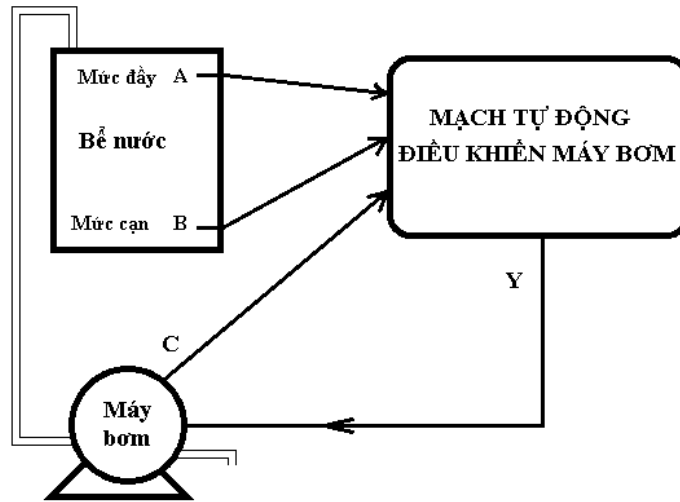
- Khi bể nước cạn, máy bơm sẽ chạy để bơm nước lên bể.

- Khi bể nước đầy, máy bơm sẽ ngừng chạy.

- Mức nước đầy, nước cạn do sự quy định thực tế.

#### d. Phương pháp xây dựng

##### \* Bước 1 : *Khái quát bài toán*



Hình 4.8: Khái quát bài toán mạch điều khiển máy bơm.

Mạch tự động điều khiển máy bơm có:

- 3 đầu vào nhận các tín hiệu thông báo từ các mức nước trong bể, từ trạng thái làm việc của máy bơm.

+ A : Tín hiệu thông báo mức nước đầy.

+ B : Tín hiệu thông báo mức nước vơi.

+ C : Tín hiệu thông báo trạng thái làm việc của máy bơm.

- 1 lối ra đưa tín hiệu điều khiển máy bơm là Y

\* Bước 2 : Chuyển đổi ngôn ngữ

- Chuyển đổi ngôn ngữ cho mức nước trong bể.

+ Mức nước đầy: Nước đã đầy --> Logic 1 --> (A = 1)

Nước chưa đầy --> Logic 0 --> (A = 0)

+ Mức nước cạn: Nước chưa cạn --> Logic 1 --> (B = 1)

Nước đã cạn --> Logic 0 --> (B = 0)

- Chuyển đổi ngôn ngữ cho trạng thái hoạt động của máy bơm.

+ Máy bơm đang chạy --> Logic 1 --> (C = 1)

+ Máy bơm không chạy --> Logic 0 --> (C = 0)

- Chuyển đổi ngôn ngữ cho tín hiệu điều khiển máy bơm.

+ Tín hiệu điều khiển máy bơm chạy --> Logic 1 --> (Y = 1)

+ Tín hiệu điều khiển máy bơm nghỉ --> Logic 0 --> (Y = 0)

\* Bước 3 : Lập bảng chân lý

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	X
1	0	1	X
1	1	0	0
1	1	1	0

Bảng 4.1: Bảng chân lý mô tả hoạt động mạch điều khiển máy bơm.

\* Bước 4: *Tối thiểu hóa hàm*

- Bảng chân lý không đơn giản nên ta chuyển sang bảng các-nô để tiến hành tối thiểu.

		<b>a)</b>			
		AB	00	01	11
C	0	1			x
	1	1	1		x

		<b>b)</b>			
		AB	00	01	11
C	0		0	0	x
	1			0	x

Bảng 4.2: a. Bảng các-nô ghi cho hàm dạng TCT.  
b. Bảng các-nô ghi cho hàm dạng HCT.

- Viết biểu thức hàm dạng TCT

$$y_1 = \overline{A} \cdot C$$

$$y_2 = \overline{B}$$

$$Y = y_1 + y_2 = \overline{A} \cdot C + \overline{B}$$

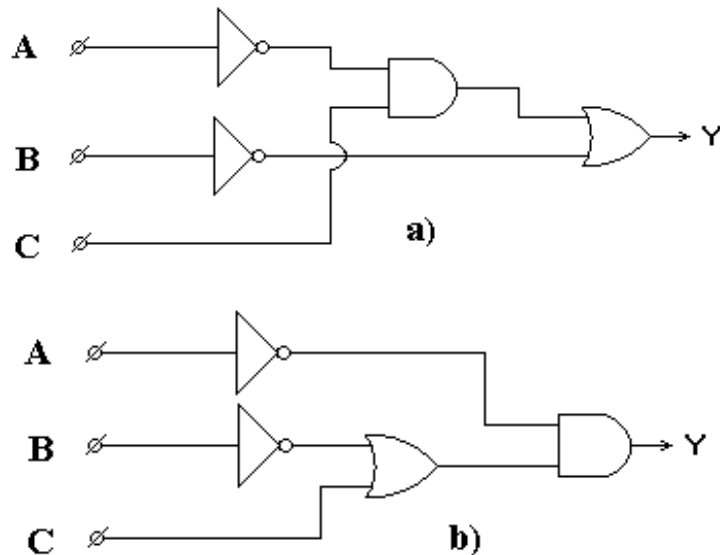
- Viết biểu thức hàm dạng HCT

$$z_1 = \overline{B} + C$$

$$z_2 = \overline{A}$$

$$Y = z_1 \cdot z_2 = (\overline{B} + C) \cdot \overline{A}$$

\* Bước 5 : *Vẽ sơ đồ mạch logic*



Bảng 4.9: a. Mạch điện xây dựng bằng hàm dạng TCT.  
b. Mạch điện xây dựng bằng hàm dạng HCT.

## 2.2. Bài tập.

Bài tập số 1:

Có 2 máy phát điện và 3 nơi sử dụng điện.

- Khi 1 nơi sử dụng điện thì chỉ cần máy công suất nhỏ chạy.
- Khi 2 nơi sử dụng điện thì chỉ cần máy công suất lớn chạy.
- Khi cả 2 nơi sử dụng điện thì 2 máy phát điện đều chạy.

Hãy xây dựng mạch điều khiển tự động hai máy phát điện trên theo nhu cầu sử dụng điện của các nơi như đã nói ở trên.

Bài tập số 2:

## **Bài 5 : Mạch mã hóa – giải mã**

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được cấu trúc, nguyên tắc hoạt động mạch mã hóa – giải mã.

\* *Kỹ năng:*

- Lắp ráp, kiểm tra được sự hoạt động của một số mạch mã hóa – giải mã đúng yêu cầu kỹ thuật.

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

### **1. Mạch mã hóa**

#### **1.1. Khái quát chung.**

1.1.1. Mã : Mã là các ký tự, ký hiệu hay một tổ hợp ký tự, ký hiệu mà con người chủ động đưa ra có ẩn chứa thông tin bên trong để truyền tải đi xa.

1.1.2. Mã nhị phân :

- Các ký tự, ký hiệu được sử dụng là các con số nhị phân là "0" và "1".
- Một con số trong dãy số nhị phân được gọi 1 bit (*Binary Digital*). Bit đầu (*hàng tận cùng bên trái*) có giá trị cao nhất được gọi là MSB (*Most Significant Bit – bit có nghĩa lớn nhất*), bit cuối (*hàng tận cùng bên phải*) có giá trị nhỏ nhất và được gọi LSB (*Least Significant Bit – bit có nghĩa nhỏ nhất*).
- Số nhị phân có 8 bit được gọi là 1 byte, số nhị phân có 4 bit gọi là nibble. Một

nhóm các bit nhị phân nói chung được gọi một word (từ) nhưng thường dùng để chỉ số có 16 bit, số 32 bit gọi là doubleword, 64 bit gọi là quadword.

- Một từ (word) nhị phân n bit có thể mã hóa cho  $2^n$  phân tử tin khác nhau, từ (word) nhị phân n bit đó được gọi là mã của phân tử tin tức.

1.1.3. Tiêu chuẩn về mã:

- Mã ASCII : dùng 7 bit trong 1 từ mã để mã hóa cho một ký tự.

- Mã EBCDI : dùng 7 bit trong 1 từ mã để mã hóa cho một ký tự.

Mã được sử dụng rộng rãi nhất hiện nay là mã ASCII (*American Standard Code for Information Interchange*). Mã ASCII là mã 7 bit, nên có  $2^7 = 128$  nhóm mã, đủ để biểu thị tất cả ký tự của một bàn phím chuẩn cũng như các chức năng điều khiển. Bảng dưới đây minh họa một phần danh sách mã ASCII.

Ký tự	Mã ASCII 7 bit	Thập lục phân
A	100 0001	41
B	100 0010	42
C	100 0011	43
D	100 0100	44
E	100 0101	45
F	100 0110	46
G	100 0111	47
H	100 1000	48
I	100 1001	49
J	100 1010	4A
K	100 1011	4B
L	100 1100	4C
M	100 1101	4D
N	100 1110	4E
O	100 1111	4F
P	101 0000	50
Q	101 0001	51
R	101 0010	52
S	101 0011	53
T	101 0100	54
U	101 0101	55
V	101 0110	56
W	101 0111	57
X	101 1000	58
Y	101 1001	59
Z	101 1010	5A
0	011 0000	30
1	011 0001	31
2	011 0010	32
3	011 0011	33
4	011 0100	34
5	011 0101	35
6	011 0110	36
7	011 0111	37

8	011 1000	30
9	011 1001	39
<ký tự riêng>	010 0000	20
.	010 1110	2E
(	010 1000	28
+	010 1011	2B
\$	010 0100	24
*	010 1010	2A
)	010 1001	29
-	010 1101	2D
/	010 1111	2F
,	010 1100	2C
=	010 1101	2D
<RETURN>	000 1101	0D
<LINEFEED>	000 1010	0A

1.1.4. Các loại mã thường dùng để mã hóa các con số.

- Mã nhị phân (tự nhiên): Là một loại mã có trọng số. Trọng số của các ký hiệu nhị phân được sắp xếp từ thấp đến cao (theo chiều từ phải sang trái).

$2^{n-1} \dots 2^3; 2^2; 2^1; 2^0$ .

Ví dụ : Mã nhị phân tự nhiên 4 bit

Trọng số	$2^3 = 8$	$2^2 = 4$	$2^1 = 2$	$2^0 = 1$	Thập phân tương đương
	0	0	0	0	
0	0	0	0	1	1
0	0	0	1	0	2
0	0	0	1	1	3
0	1	0	0	0	4
0	1	0	1	1	5
0	1	1	0	0	6
0	1	1	1	1	7
1	0	0	0	0	8
1	0	0	1	1	9
1	0	1	0	0	10
1	0	1	1	1	11
1	1	0	0	0	12
1	1	0	1	1	13
1	1	1	0	0	14
1	1	1	1	1	15

- Mã BCD (Binary Coded Decimal- mã số thập phân được mã hóa nhị phân).

+ Mã này dùng để mã hóa nhị phân cho 10 chữ số thập phân tự nhiên từ 0 :- 9

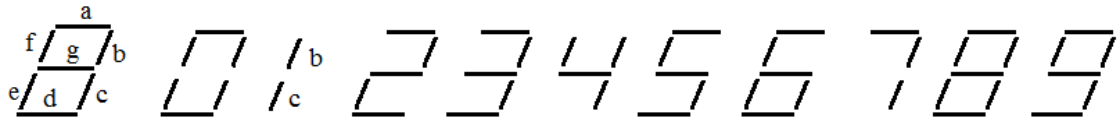
+ Để mã hóa cho 10 chữ số thập phân, ta cần một từ mã nhị phân có độ dài 4 bit.

+ Tùy theo cách lựa chọn 10/16 tổ hợp mã nhị phân 4 bit mà ta có các loại mã BCD khác nhau:

Mã NBCD (BCD 8421): là một loại mã BCD có trọng số tự nhiên 8-4-2-1

Mã BCD 2421; Mã BCD 5121: Trọng số của các mã này được sắp xếp không theo tự nhiên, dãy số phía sau chỉ trọng số của mã.

- Mã dư 3 (SX-3): Mã này được tạo thành từ mã nhị phân (*tự nhiên*) bằng cách cộng thêm một giá trị 0011 (Cộng thêm 3) vào từng mã nhị phân tương ứng.
- Mã Gray: Mã này không có trọng số, nó có đặc điểm là các từ mã kế cận nhau chỉ khác nhau ở một vị trí (*mã này được dùng ghi cho bảng các-nô*).
- Mã 7 vạch: Mã này dùng một từ mã có độ dài 7 bit để biểu diễn cho các chữ số thập phân từ 0 :- 9

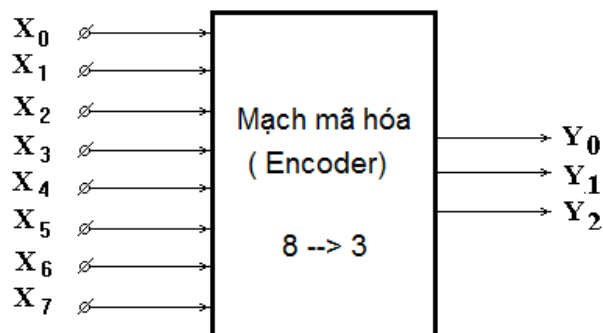


- Bảng mã nhị phân 4 bit thường dùng để mã hóa các con số.

Số thập phân	Mã nhị phân (tự nhiên)	Mã dư 3 (SX-3)	Mã Gray	Mã BCD			Mã 7 vạch
				NBCD	BCD 2421	BCD 5121	a b c d e f g
0	0000	0011	0000	0000	0000	0000	1 1 1 1 1 1 0
1	0001	0100	0001	0001	0001	0001	0 1 1 0 0 0 0
2	0010	0101	0011	0010	0010	0010	1 1 0 1 1 0 1
3	0011	0110	0010	0011	0011	0011	1 1 1 1 0 0 1
4	0100	0111	0110	0100	0100	0111	0 1 1 0 0 1 1
5	0101	1000	0111	0101	1011	1000	1 0 1 1 0 1 1
6	0110	1001	0101	0110	1100	1001	1 0 1 1 1 1 1
7	0111	1010	0100	0111	1101	1010	1 1 1 0 0 0 0
8	1000	1011	1100	1000	1110	1011	1 1 1 1 1 1 1
9	1001	1100	1101	1001	1111	1111	1 1 1 1 0 1 1
10	1010	1101	1111				
11	1011	1110	1110				
12	1100	1111	1010				
13	1101	0000	1011				
14	1110	0001	1010				
15	1111	0010	1000				

### 1.2. Mạch mã hóa từ 8 sang 3

#### 1.2.1. Sơ đồ tổng quát.



Mạch mã hoá 8 đường sang 3 đường còn gọi là mã hoá bát phân sang nhị phân (có 8 ngõ vào chuyển thành 3 ngõ ra dạng số nhị phân 3 bit).

Mạch có 8 lối vào dành cho 8 tín hiệu khác nhau ( $X_0$  :-  $X_7$ )



Mạch có 3 lối ra đại diện cho một tổ hợp mà nhị phân 3 bit ( $Y_0$  :-  $Y_2$ )

### 1.2.2. Nguyên lý làm việc.

Tại một thời điểm bất kỳ nào đó, một lối vào có tín hiệu tích cực mang đến thì lập tức tại các lối ra sẽ hình thành một tổ hợp mà nhị phân 3 bit đại diện cho tín hiệu tại lối vào đó.

Ví dụ : Lối vào  $X_3$  có tín hiệu vào ở mức cao (H). Khi đó các lối ra ra cho ra tổ hợp mã nhị phân tương ứng  $Y_2Y_1Y_0 = 011$

- Bảng chân lý

Tín hiệu vào								Tín hiệu ra		
$X_0$	$X_1$	$X_2$	$X_3$	$X_4$	$X_5$	$X_6$	$X_7$	$Y_2$	$Y_1$	$Y_0$
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

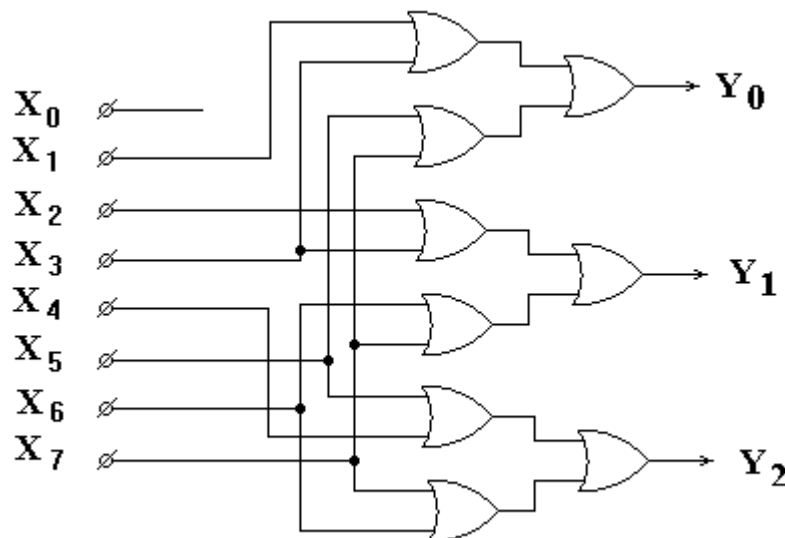
- Biểu thức hàm

$$Y_0 = X_1 + X_3 + X_5 + X_7$$

$$Y_1 = X_2 + X_3 + X_6 + X_7$$

$$Y_2 = X_4 + X_5 + X_6 + X_7$$

- Mạch logic



### 1.2.3. Lắp ráp, khảo sát mạch mã hóa từ 8 sang 3

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch mã hóa từ 8 sang 3 .

- Lập bảng chân lý mô tả hoạt động của cổng mạch theo mức điện áp trên các lối vào/ra.

- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

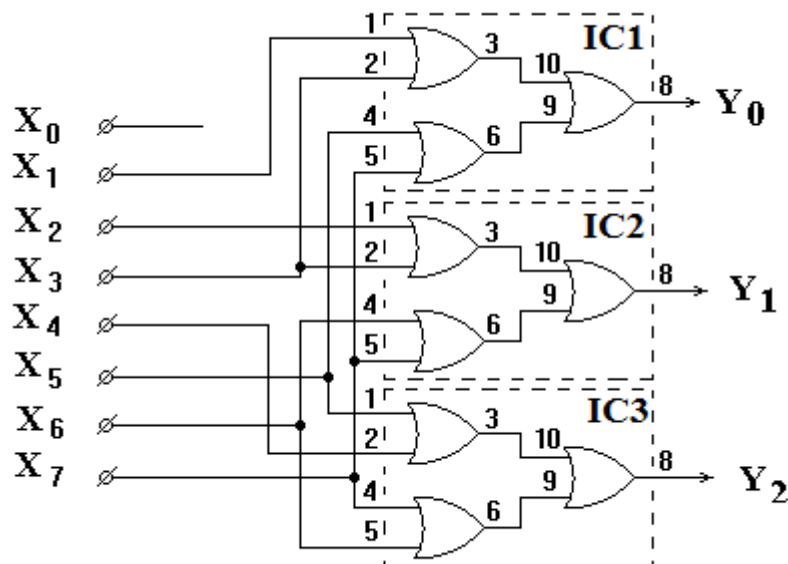
c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng OR	IC 7432	3 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch Encoder 8-->3.
- + Phân định IC cho các cổng logic trong sơ đồ.
- + Phân định cổng logic trong từng IC
- + Đưa các lối vào lần lượt từ  $X_0$  :-  $X_7$  lên mức cao (H) cho từng trường hợp.
- + Quan sát đèn LED tại các chân IC tương ứng với các lối ra từ  $Y_2$  :-  $Y_0$  đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)



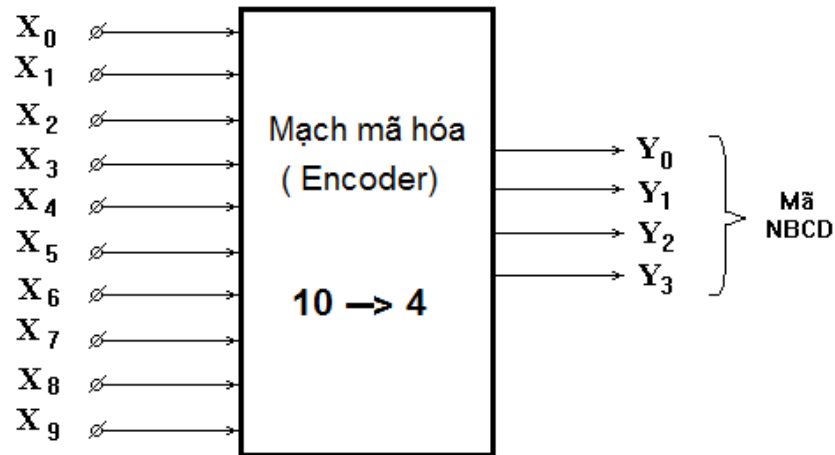
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

Tín hiệu vào								Tín hiệu ra		
$X_0$	$X_1$	$X_2$	$X_3$	$X_4$	$X_5$	$X_6$	$X_7$	$Y_2$	$Y_1$	$Y_0$



### 1.3. Mạch mã hóa từ 10 sang 4

#### 1.3.1. Sơ đồ tổng quát.



- Mạch có 10 lối vào đại diện cho 10 chữ số thập phân tự nhiên từ 0-:9

- Mạch có 4 lối ra đại diện cho tổ hợp mã nhị phân 4 bit mã NBCD

#### 1.3.2. Nguyên lý làm việc.

Tại một thời điểm bất kỳ nào đó, một lối vào có tín hiệu tích cực mang đến thì lập tức tại các lối ra sẽ hình thành một tổ hợp mã nhị phân 4 bit mã NBCD đại diện cho tín hiệu tại lối vào đó.

Ví dụ : Lối vào  $X_6$  có tín hiệu vào ở mức cao (H). Khi đó các lối ra ra cho ra tổ hợp mã nhị phân tương ứng  $Y_3Y_2Y_1Y_0 = 0110$

- Bảng chân lý

Tín hiệu vào										Tín hiệu ra			
$X_0$	$X_1$	$X_2$	$X_3$	$X_4$	$X_5$	$X_6$	$X_7$	$X_8$	$X_9$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1

- Biểu thức hàm

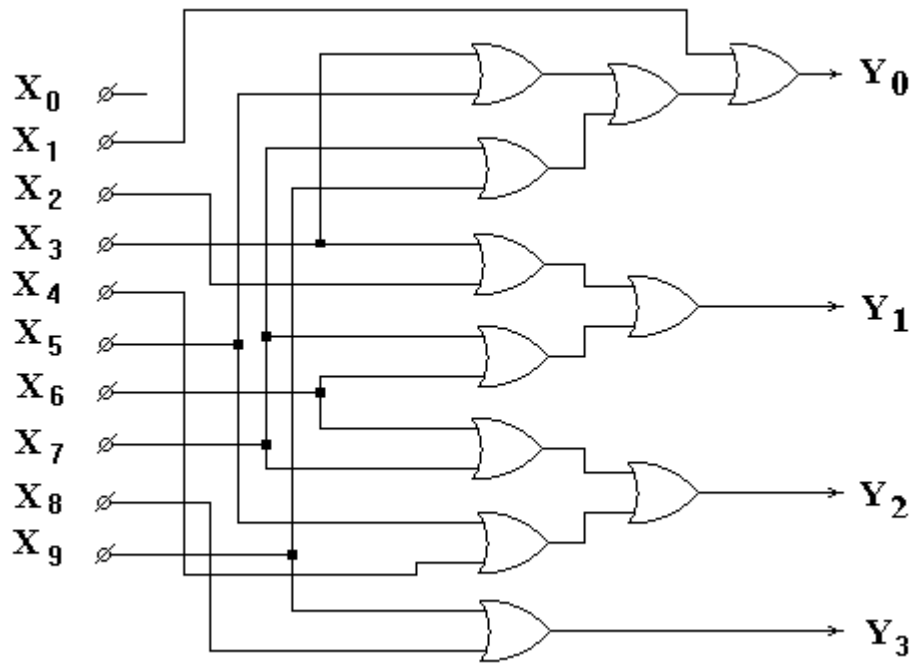
$$Y_3 = X_8 + X_9$$

$$Y_2 = X_4 + X_5 + X_6 + X_7$$

$$Y_1 = X_2 + X_3 + X_6 + X_7$$

$$Y_0 = X_1 + X_3 + X_5 + X_7 + X_9$$

- Mạch logic



### 1.3.3. Lắp ráp, khảo sát mạch mã hóa từ 10 sang 4

#### a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch mã hóa từ 10 sang 4 .
- Lập bảng chân lý mô tả hoạt động của cổng mạch theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

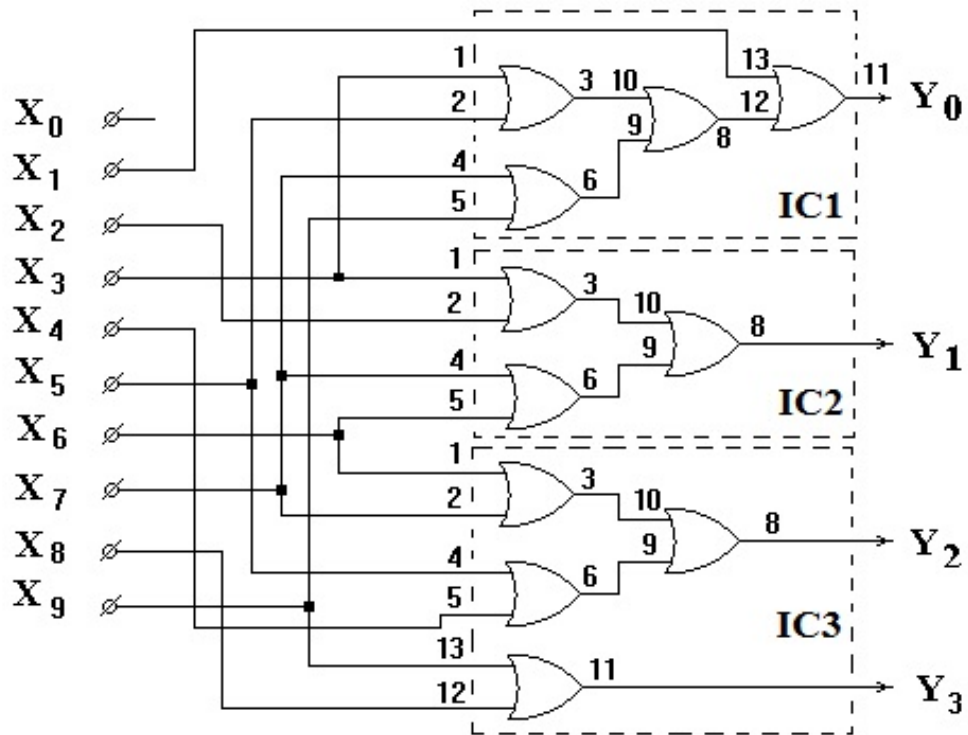
#### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng OR	IC 7432	3 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

#### d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch Encoder 10-->4.
- + Phân định IC cho các cổng logic trong sơ đồ.
- + Phân định cổng logic trong từng IC
- + Đưa các lối vào lần lượt từ X<sub>0</sub> :- X<sub>9</sub> lên mức cao (H) cho từng trường hợp.



- + Quan sát đèn LED tại các chân IC tương ứng với các lỗi ra từ  $Y_3$  :-  $Y_0$  đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lỗi vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

Tín hiệu vào										Tín hiệu ra			
$X_0$	$X_1$	$X_2$	$X_3$	$X_4$	$X_5$	$X_6$	$X_7$	$X_8$	$X_9$	$Y_3$	$Y_2$	$Y_1$	$Y_0$

## 2. Mạch giải mã.

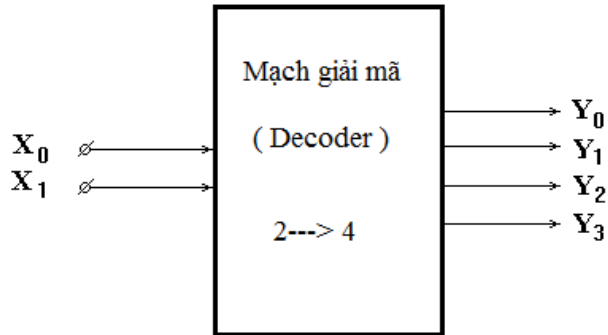
### 2.1. Khái quát chung.

Mạch giải mã (Decoder): là mạch có chức năng ngược lại với mạch mã hoá. Nó biến đổi mã nhận được tại đầu vào thành thông tin nguyên thủy ban đầu để đưa ra hoặc chuyển sang một mã khác theo yêu cầu.

Ví dụ : Mạch giải mã NBCD sang thập phân, Mạch giải mã NBCD sang mã 7 vạch.

### 2.2. Mạch giải mã 2 sang 4

### 2.2.1. Sơ đồ tổng quát.



- Mạch có 2 lối vào  $X_1, X_0$  để đón nhận tổ hợp mã nhị phân 2 bit.
- Mạch có 4 lối ra  $Y_3, Y_2, Y_1, Y_0$  để đưa tín hiệu ra.

### 2.2.2. Nguyên lý làm việc.

- Tại một thời điểm bất kỳ nào đó, tại các đầu vào  $X_1, X_0$  xuất hiện một tổ hợp mã nhị phân 2 bit thì tại một đầu ra tương ứng với tổ hợp mã nhị phân đó sẽ có tín hiệu đưa ra.

Ví dụ : Nếu ta cho  $X_1X_0 = 10$  thì tại đầu ra tương ứng là  $Y_2$  sẽ có tín hiệu đưa ra,  $Y_2$  sẽ có mức điện áp cao -->  $Y_2 = H = \text{logic}1$

- Bảng chân lý:

Vào		Ra			
$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

- Biểu thức hàm:

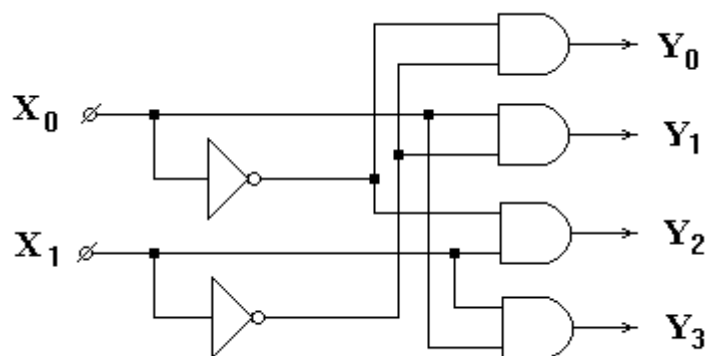
$$Y_3 = X_1 \cdot X_0$$

$$Y_2 = X_1 \cdot \overline{X_0}$$

$$Y_1 = \overline{X_1} \cdot X_0$$

$$Y_0 = \overline{X_1} \cdot \overline{X_0}$$

- Mạch logic:



### 2.2.3. Lắp ráp, khảo sát mạch giải mã 2 sang 4.

a. Nội dung:

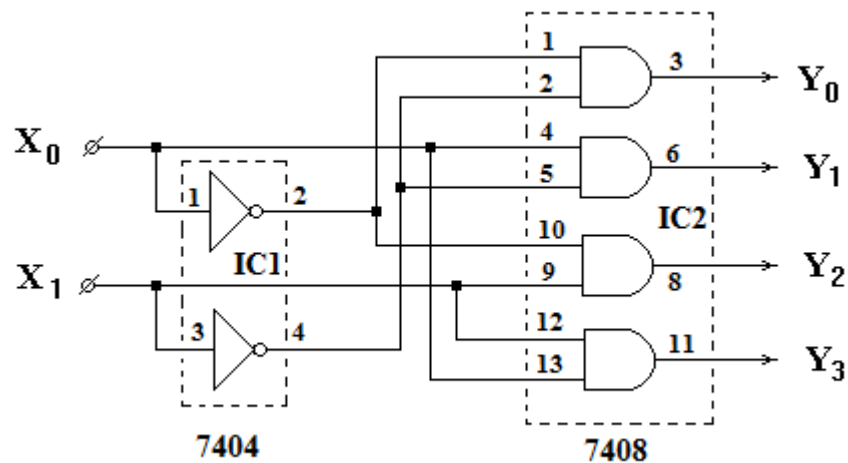
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch giải mã từ 2 sang 4 .

- Lập bảng chân lý mô tả hoạt động của công mạch theo mức điện áp trên các lối vào/ra.
  - So sánh với bảng chân lý theo lý thuyết mô tả.
- b. Tổ chức thực hiện:  
Chia lớp thành các nhóm với 2 sinh viên/nhóm.
- c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng NOT	IC 7404	1 IC/ nhóm
3	IC số chứa cổng AND	IC 7408	1 IC/ nhóm
4	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
5	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

- d. Quy trình thực hiện.
- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
  - Lắp mạch, khảo sát nguyên lý hoạt động của mạch Decoder 2-->4.
  - + Phân định IC cho các cổng logic trong sơ đồ (IC1 = 7404 ; IC2 = 7408)
  - + Phân định cổng logic trong từng IC
  - + Đưa các lối vào lần lượt từ  $X_0$  :-  $X_1$  lên mức cao (H) cho từng trường hợp

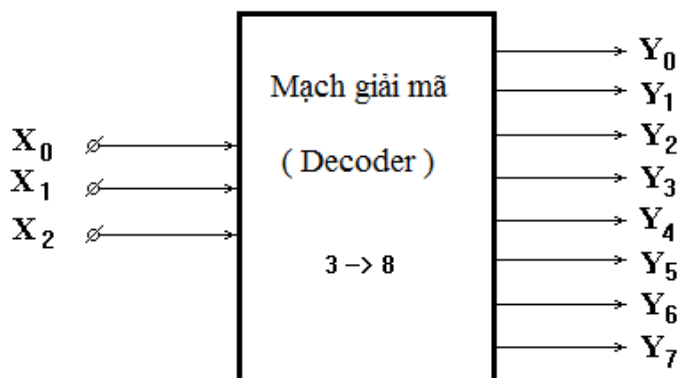


- + Quan sát đèn LED tại các chân IC tương ứng với các lối ra từ  $Y_3$  :-  $Y_0$  đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

Vào		Ra			
$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$

## 2.3. Mạch giải mã 3 sang 8

### 2.3.1. Sơ đồ tổng quát.



- Mạch có 3 lối vào  $X_2, X_1, X_0$  để đón nhận tổ hợp mã nhị phân 3 bit.

- Mạch có 8 lối ra  $Y_7$  :-  $Y_0$  để đưa tín hiệu ra.

### 2.3.2. Nguyên lý làm việc.

- Tại một thời điểm bất kỳ nào đó, tại các đầu vào  $X_2, X_1, X_0$  xuất hiện một tổ hợp mã nhị phân 3 bit thì tại một đầu ra tương ứng với tổ hợp mã nhị phân đó sẽ có tín hiệu đưa ra.

Ví dụ : Nếu ta cho  $X_2X_1X_0 = 101$  thì tại đầu ra tương ứng là  $Y_5$  sẽ có tín hiệu đưa ra,  $Y_5$  sẽ có mức điện áp cao -->  $Y_5 = H = \text{logic } 1$

- Bảng chân lý:

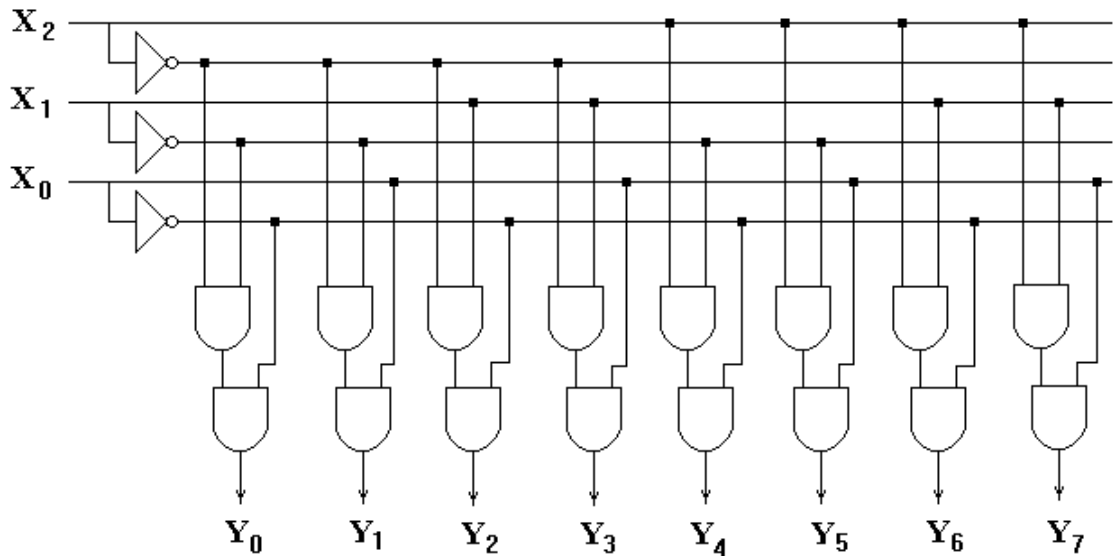
Vào			Ra							
$X_2$	$X_1$	$X_0$	$Y_7$	$Y_6$	$Y_5$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

- Hàm đầu ra:

$$\begin{aligned}
 Y_0 &= \overline{X_2} \cdot \overline{X_1} \cdot \overline{X_0} & Y_4 &= X_2 \cdot \overline{X_1} \cdot \overline{X_0} \\
 Y_1 &= \overline{X_2} \cdot \overline{X_1} \cdot X_0 & Y_5 &= X_2 \cdot \overline{X_1} \cdot X_0 \\
 Y_2 &= \overline{X_2} \cdot X_1 \cdot \overline{X_0} & Y_6 &= X_2 \cdot X_1 \cdot \overline{X_0} \\
 Y_3 &= \overline{X_2} \cdot X_1 \cdot X_0 & Y_7 &= X_2 \cdot X_1 \cdot X_0
 \end{aligned}$$

- Mạch logic:





### 2.3.3. Lắp ráp, khảo sát mạch giải mã 3 sang 8

#### a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch giải mã từ 3 sang 8.
- Lập bảng chân lý mô tả hoạt động của cổng mạch theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

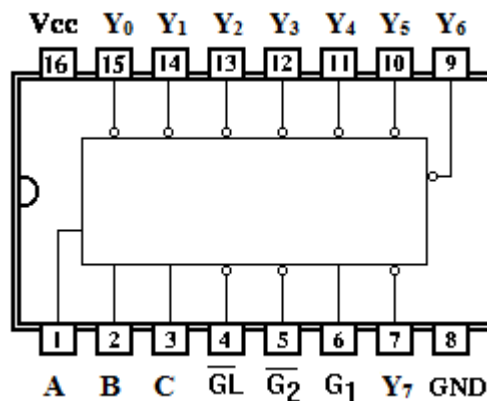
#### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC Decoder 3-->8	IC 74137	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

#### d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu về IC số Decoder 3-->8 (IC 74137).



+ C; B; A : Là các lối vào cho tín hiệu mã nhị phân, có mức tích cực là mức cao (H), với A là bit LSB.

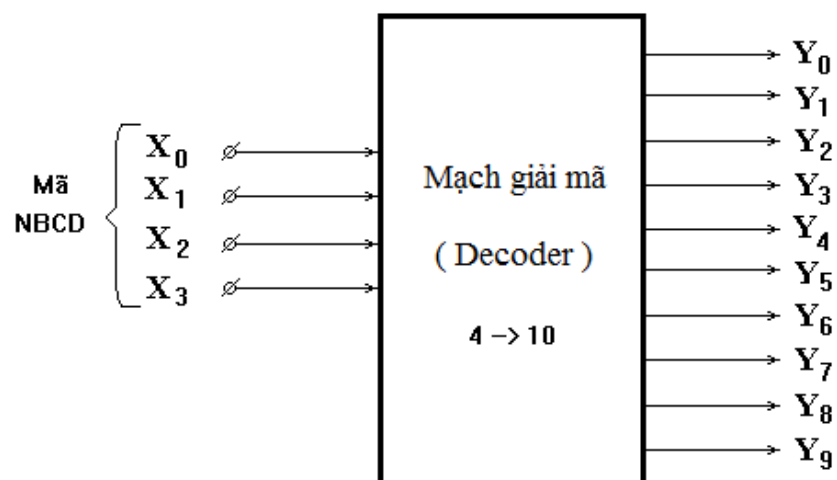
- +  $Y_0$  :-  $Y_7$  : Là các lỗi ra cho tín hiệu, có mức tích cực ở mức thấp (L)
- +  $\overline{G_1}$   $\overline{G_2}$   $G_1$  : Là các lỗi vào cho phép. Mạch sẽ hoạt động bình thường khi các chân cho phép có mức tín hiệu tương ứng đưa vào, chân 4 và 5 có mức thấp (L), chân 6 có mức cao (H).
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch IC Decoder 3-->8.
- + Cắm dây đầu nối từ các lỗi vào của IC (C, B, A) với các Jack cấp mức điện áp.
- + Cấp mức tín hiệu cho phép vào chân 4,5,6
- + Đưa các công tắc lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED tại các chân ra của IC tương ứng với các lỗi ra từ  $Y_0$  :-  $Y_7$  là các lỗi ra đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lỗi vào/ra theo như trạng thái đã quan sát trên.

Vào cho phép			Vào tín hiệu			Ra tín hiệu							
$\overline{G_1}$	$G_1$	$\overline{G_2}$	B	C	A	$Y_7$	$Y_6$	$Y_5$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
L	H	L											
L	H	L											
L	H	L											
L	H	L											
L	H	L											
L	H	L											
L	H	L											
L	H	L											
L	H	L											

- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

## 2.4. Mạch giải mã BCD sang thập phân

### 2.4.1. Sơ đồ tổng quát.



- Mạch có 4 lỗi vào  $X_3, X_2, X_1, X_0$  để đón nhận tổ hợp mã nhị phân 4 bit.
- Mạch có 10 lỗi ra  $Y_9$  :-  $Y_0$  để đưa tín hiệu ra.

### 2.4.2. Nguyên lý làm việc.

- Tại một thời điểm bất kỳ nào đó, tại các đầu vào  $X_3, X_2, X_1, X_0$  xuất hiện một tổ hợp mã nhị phân 4 bit NBCD thì tại một đầu ra tương ứng với tổ hợp mã nhị

phân đó sẽ có tín hiệu đưa ra.

Ví dụ : Nếu ta cho  $X_3X_2X_1X_0 = 0110$  thì tại đầu ra tương ứng là  $Y_6$  sẽ có tín hiệu đưa ra,  $Y_6$  sẽ có mức điện áp cao -->  $Y_6 = H = \text{logic } 1$

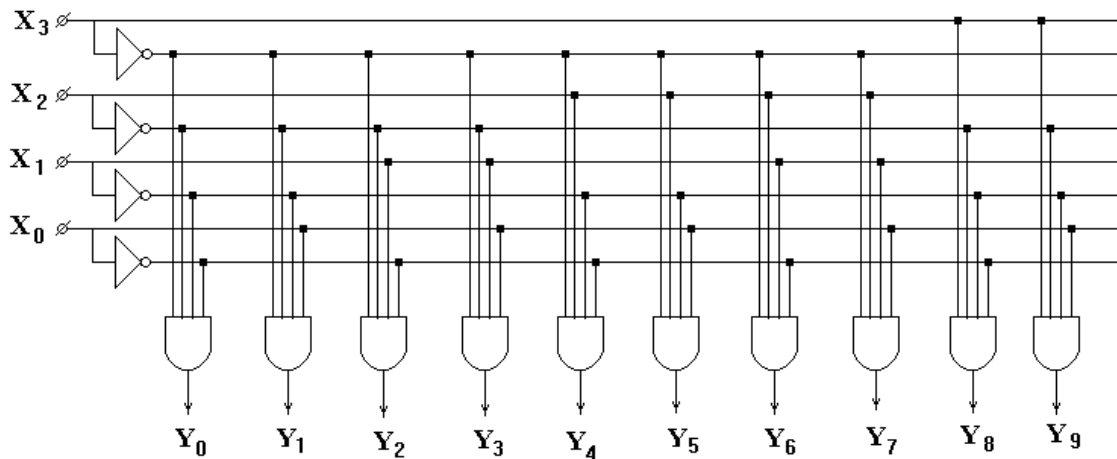
- Bảng chân lý:

Vào				Ra									
$X_3$	$X_2$	$X_1$	$X_0$	$Y_9$	$Y_8$	$Y_7$	$Y_6$	$Y_5$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0

- Hàm đầu ra :

$$\begin{aligned}
 Y_0 &= \overline{X_3} \cdot \overline{X_2} \cdot \overline{X_1} \cdot \overline{X_0} & Y_5 &= \overline{X_3} \cdot X_2 \cdot \overline{X_1} \cdot X_0 \\
 Y_1 &= \overline{X_3} \cdot \overline{X_2} \cdot \overline{X_1} \cdot X_0 & Y_6 &= \overline{X_3} \cdot X_2 \cdot X_1 \cdot \overline{X_0} \\
 Y_2 &= \overline{X_3} \cdot \overline{X_2} \cdot X_1 \cdot \overline{X_0} & Y_7 &= \overline{X_3} \cdot X_2 \cdot X_1 \cdot X_0 \\
 Y_3 &= \overline{X_3} \cdot \overline{X_2} \cdot X_1 \cdot X_0 & Y_8 &= X_3 \cdot \overline{X_2} \cdot \overline{X_1} \cdot \overline{X_0} \\
 Y_4 &= \overline{X_3} \cdot X_2 \cdot \overline{X_1} \cdot \overline{X_0} & Y_9 &= X_3 \cdot \overline{X_2} \cdot \overline{X_1} \cdot X_0
 \end{aligned}$$

- Mạch logic:



### 2.4.3. Lắp ráp, khảo sát mạch giải mã BCD sang thập phân.

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch giải mã BCD sang thập phân.

- Lập bảng chân lý mô tả hoạt động của công mạch theo mức điện áp trên các lối vào/ra.

- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

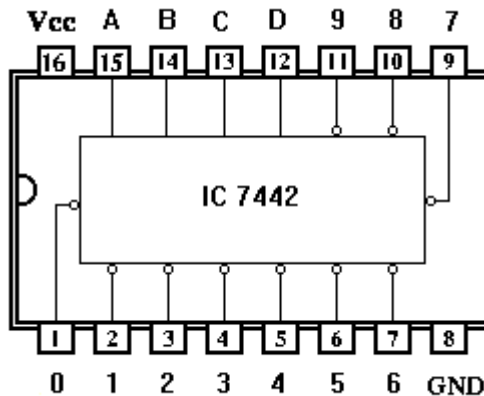
c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC Decoder BCD sang thập phân	IC 7442	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu về IC số Decoder 3-->8 (IC 7442).
- + D, C, B, A : Là các lối vào cho mã nhị phân NBCD với A là bit LSB
- + 0 :- 9 là các lối ra tương ứng với các số thập phân từ 0 :- 9

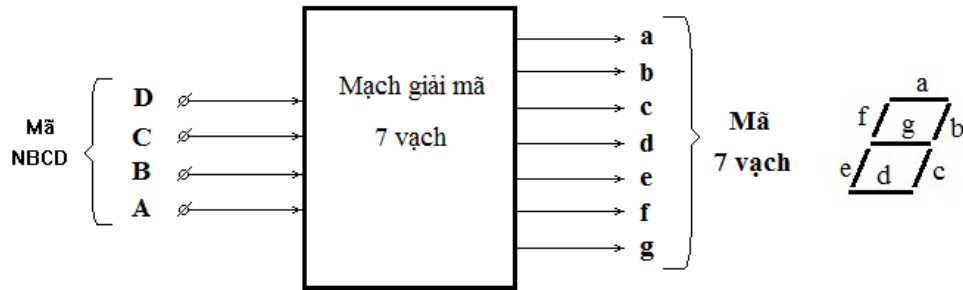


- Lắp mạch, khảo sát nguyên lý hoạt động của mạch IC Decoder BCD sang thập phân.
- + Cắm dây đầu nối từ các lối vào của IC (D, C, B, A) với các Jack cấp mức điện áp.
- + Đưa các công tắc lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED tại các chân ra của IC tương ứng với các lối ra từ 0 :- 9 là các lối ra đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.

Vào				Ra									
D	C	B	A	0	1	2	3	4	5	6	7	8	9


## 2.5. Mạch giải mã BCD sang Led 7 đoạn

### 2.5.1. Sơ đồ tổng quát.



- D, C, B, A : Là bốn lối vào cho tổ hợp mã nhị phân 4 bit mã NBCD với A là bit LSB.

- a, b, c, d, e, f, g : Là 7 lối ra cho tổ hợp mã nhị phân 7 bit của mã 7 vạch.

### 2.5.2. Nguyên lý làm việc.

- Tại một thời điểm bất kỳ nào đó, tại các đầu vào D C B A xuất hiện một tổ hợp mã nhị phân 4 bit NBCD thì tại các đầu ra a b c d e f g tương ứng với tổ hợp mã nhị phân đó sẽ có tín hiệu đưa ra.

Ví dụ : Nếu ta cho D C B A = 0101 thì tại các đầu ra tương ứng a b c d e f g sẽ có tín hiệu đưa ra là a b c d e f g = 1011011.

- Bảng chân lý:

Vào				Ra						
D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1

### 2.5.3. Lắp ráp, khảo sát mạch giải mã BCD sang Led 7 đoạn

#### a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch giải mã BCD sang mã 7 vạch.

- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

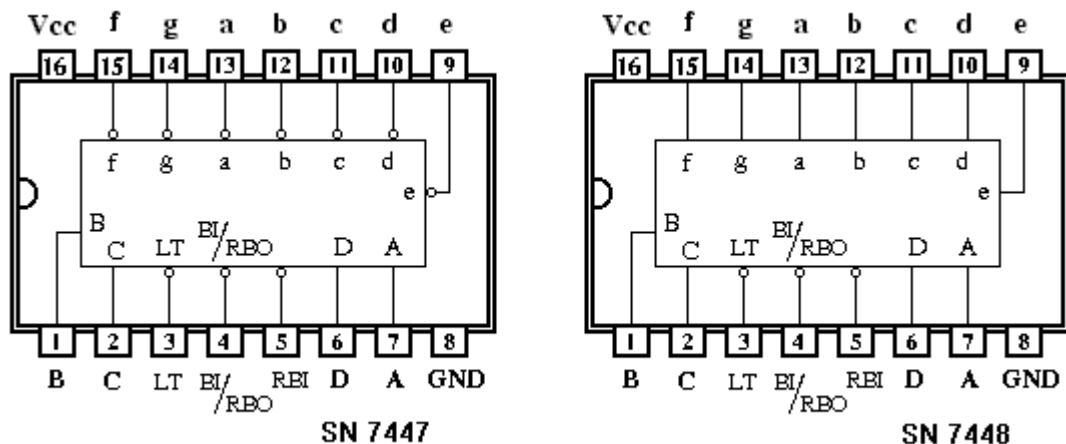
#### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC Giải mã 7 vạch	IC 7447, IC 7448	2 IC/ nhóm
3	LED 7 vạch	A chung, K chung	2 LED/nhóm
	Điện trở	220Ω/ 0,25w	7 R/nhóm
4	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
5	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

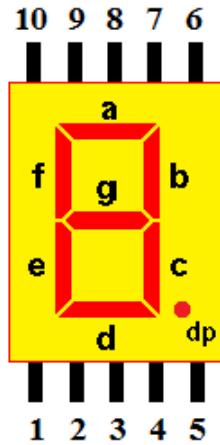
Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

d. Quy trình thực hiện.

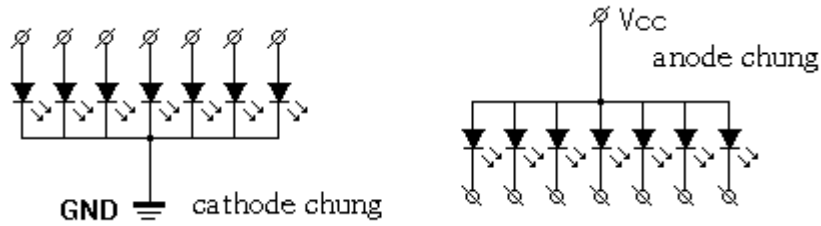
- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu về IC số giải mã 7 vạch (IC 7447 và IC 7448).



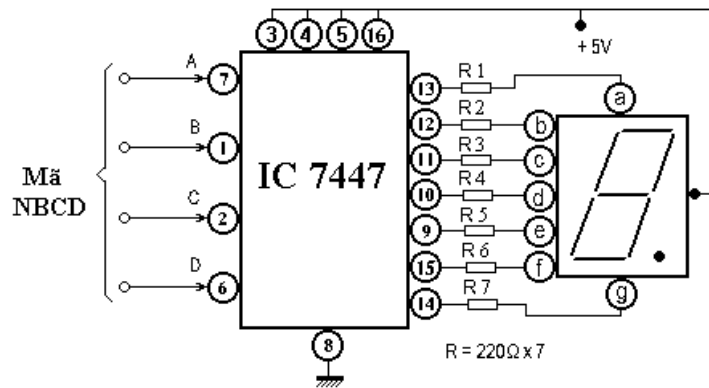
- + D, C, B, A : Là bốn lối vào cho tổ hợp mã nhị phân 4 bit mã NBCD với A là bit LSB. Mức tích cực tại các lối vào này ở mức cao (H)
- + a, b, c, d, e, f, g : Là 7 lối ra cho tổ hợp mã nhị phân 7 bit của mã 7 vạch. Mức tích cực tại các lối ra này ở mức thấp (L) đối với IC 7447. Còn đối với IC 7448 mức tích cực tại lối ra này ở mức cao (H).
- + LT (Lampstest) là lối vào thử đèn.
- + RBI ; BI/RBO là lối vào xóa số "0" thập phân.
- + IC 7447 làm việc tương thích với LED 7 vạch có Anode chung.
- + IC 7448 làm việc tương thích với LED 7 vạch có Cathode chung.
- Tìm hiểu về LED 7 vạch.
- + LED 7 vạch có nhiều hình dáng và kích thước khác nhau
- LED kích thước to - kích thước nhỏ
- LED đơn - LED kép
- LED hai hàng chân trên /dưới - hai hàng chân phải /trái
- LED có Anode chung - Cathode chung .....
- + Thông dụng trong thực tế là LED đơn, có hai hàng chân trên /dưới



- PIN
- 1 Thanh e
  - 2 Thanh d
  - 3 Anode (Cathode)
  - 4 Thanh c
  - 5 Dấu chấm (dp)
  - 6 Thanh b
  - 7 Thanh a
  - 8 Anode (Cathode)
  - 9 Thanh f
  - 10 Thanh g



- Lắp mạch, khảo sát nguyên lý hoạt động của mạch IC giải mã 7 vạch



- + Cắm dây đầu nối từ các lối vào của IC (D, C, B, A) với các Jack cấp mức điện áp.
- + Đưa các công tắc lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát sự hiển thị của LED 7 vạch
- Lập bảng chân lý mô tả hoạt động của mạch.

Tín hiệu vào				Số hiển thị thập phân
D	C	B	A	


### Đánh giá kết quả.

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Nhận biết được ký hiệu, phân tích được nguyên lí hoạt động và bảng chân lý của các cổng logic cơ bản.	<b>3</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của một số mạch mã hóa – giải mã đúng yêu cầu kỹ thuật.	<b>5</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

### Bài 6 : Mạch dồn kênh – phân kênh

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được cấu trúc, nguyên tắc hoạt động mạch dồn kênh – phân kênh.

\* *Kỹ năng:*

- Lắp ráp, kiểm tra được sự hoạt động của một số mạch dồn kênh – phân kênh theo yêu cầu kỹ thuật

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

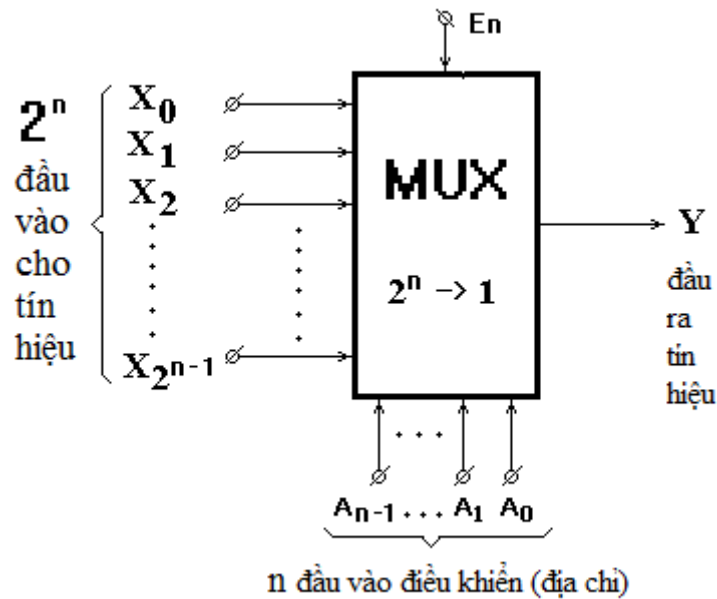
*Nội dung:*

#### 1. Mạch dồn kênh (MUX - Multiplexer).

##### 1.1. Khái quát chung.

##### 1.1.1 Mô hình toán học



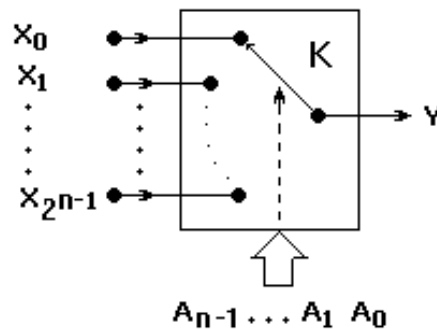


Mạch dồn kênh là mạch có:

- $2^n$  đầu vào cho tín hiệu ( $X_{2^n-1}, \dots, X_1, X_0$ ).
- $n$  đầu vào điều khiển thường gọi là đầu vào địa chỉ ( $A_{n-1}, \dots, A_1, A_0$ ).
- 1 lối vào cho phép ( $E_n$ )
- 1 đầu ra cho tín hiệu ( $Y$ ).

1.1.2 Nguyên tắc làm việc:

- Mạch chỉ làm việc khi có tín hiệu cho phép đưa vào tại lối vào  $E_n$
- Tùy theo giá trị của  $n$  đầu vào điều khiển mà lối ra  $Y$  sẽ được tiếp thông với lối vào  $X_i$  nào đó. Cụ thể là nếu giá trị nhị phân qui ra thập phân của  $n$  đầu vào điều khiển mà bằng  $i$  thì lối ra  $Y$  sẽ được nối tới  $X_i$  đó ( $Y=X_i$ ).
- Để hiểu rõ hơn điều này, ta coi mạch MUX tương đương với một chuyển mạch đầu ra  $K$  có  $2^n$  tiếp điểm đầu vào và chỉ 1 lối ra duy nhất.



- Tại một thời điểm, chuyển mạch khóa  $K$  chỉ có thể kết nối đầu ra với một đầu vào nào đó. Sự chuyển mạch của khóa  $K$  chuyển đến đầu vào nào ( $X_i$  nào) là do các tín hiệu điều khiển mang tới, các tín hiệu điều khiển này mang thông tin về vị trí (*địa chỉ*) theo số thập phân của tiếp điểm lối vào nhưng dưới dạng mã nhị phân.

Ví dụ:

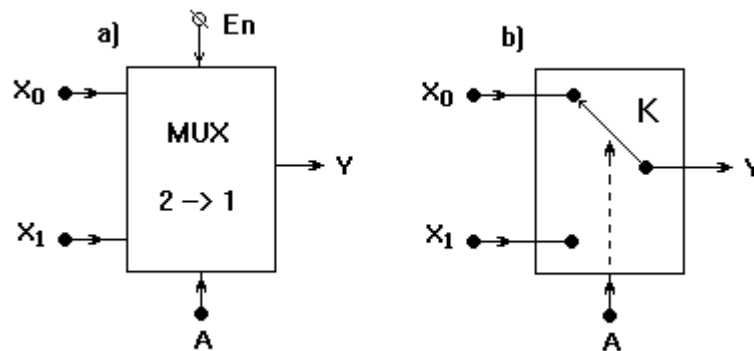
- Thông tin của các đầu vào điều khiển  $A_{n-1}, \dots, A_1, A_0$  dưới dạng mã nhị phân được qui đổi thành thập phân là  $8$  ( $i = 8$ ).
- Chuyển mạch khóa  $K$  sẽ nối tới  $X_8$ , như vậy đầu ra  $Y$  đã được tiếp thông tới đầu vào  $X_8$  ( $Y = X_8$ ).

- Bảng chân lý tổng quát:

Số thập phân	Vào địa chỉ					Ra Y
	$A_{n-1}$	...	$A_2$	$A_1$	$A_0$	
0	0	...	0	0	1	$X_0$
1	0	...	0	1	0	$X_1$
...	...	...	...	...	...	...
i	...	...	...	...	...	$X_i$
...	...	...	...	...	...	...
$2^{n-1}$	1	...	1	1	1	$X_{2^n-1}$

## 1.2. Mạch dồn 2 kênh tới 1 (MUX 2-->1)

### 1.2.1. Sơ đồ tổng quát.



- Mạch có 2 lối vào cho tín hiệu  $X_1, X_0$ .

- Có 1 đầu vào địa chỉ A.

- Có 1 đầu vào cho phép En

- Có 1 lối ra cho tín hiệu Y

### 1.2.2. Nguyên lý làm việc.

- Mạch chỉ làm việc khi có tín hiệu cho phép đưa vào tại lối vào En ( $En = 1$ )

- Tại thời điểm nào đó, cho tín hiệu địa chỉ  $A=0$ , khi đó chuyển mạch khóa K sẽ nối đầu ra Y tới đầu vào  $X_0 \rightarrow Y = X_0$ .

- Nếu cho tín hiệu địa chỉ  $A=1$ , khi đó chuyển mạch khóa K sẽ nối đầu ra Y tới đầu vào  $X_1 \rightarrow Y = X_1$ .

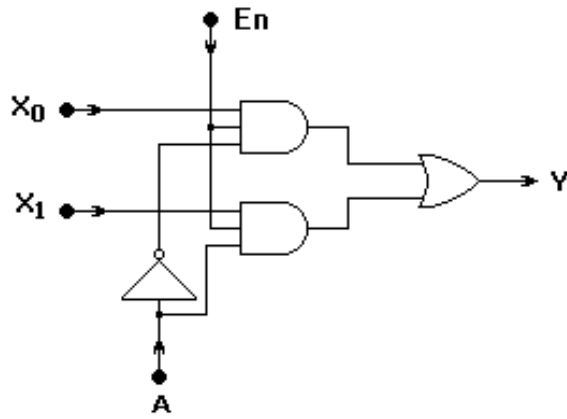
- Bảng chân lý:

Vào cho phép	Vào địa chỉ	Ra tín hiệu
En	A	Y
0	x	0
1	0	$X_0$
1	1	$X_1$

- Biểu thức hàm:

$$Y = E_n \cdot (X_0 \cdot \bar{A} + X_1 \cdot A)$$

- Mạch logic:



### 1.2.3. Lắp ráp, khảo sát mạch dồn 2 kênh tới 1 (MUX 2-->1)

#### a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch MUX 2-->1.
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

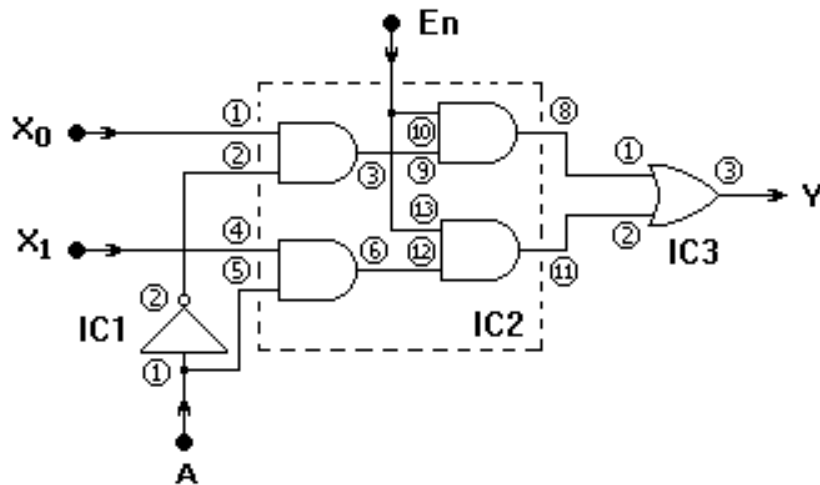
#### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng NOT	IC 7404 hoặc tương đương	1 IC/ nhóm
3	IC số chứa cổng AND	IC 7408 hoặc tương đương	1 IC/ nhóm
4	IC số chứa cổng OR	IC 7432 hoặc tương đương	1 IC/ nhóm
5	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
6	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

#### d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Chuyển sơ đồ sử dụng cổng AND 3 đầu vào thành công AND 2 đầu vào.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch MUX 2-->1.
- + Phân định IC cho các cổng logic trong sơ đồ (IC1 = 7404 ; IC2 = 7408; IC3 = 7432).
- + Phân định cổng logic trong từng IC

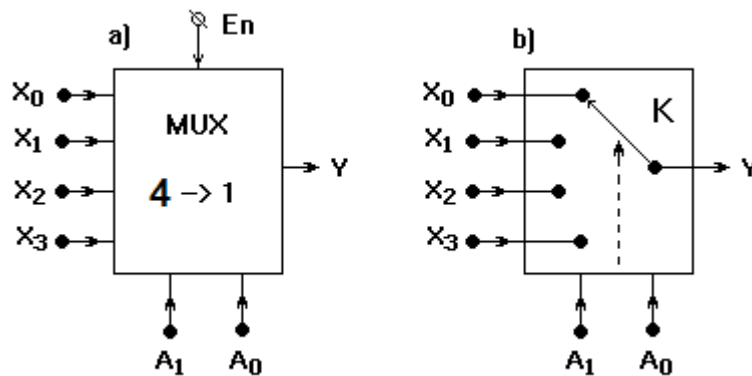


- + Kết nối 2 nguồn tín hiệu vào lối vào  $X_0$  và  $X_1$  (2 nguồn dao động xung 1 Hz và 10 Hz trên máy).
- + Đưa lối vào địa chỉ A lần lượt lên mức cao (H) và xuống mức thấp (L).
- + Quan sát đèn LED tại đầu ra IC3 trong từng trường hợp ứng với  $A = 0$  và  $A = 1$
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào địa chỉ A theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

Vào cho phép	Vào địa chỉ	Ra tín hiệu
En	A	Y

### 1.3. Mạch dồn 4 kênh tới 1 (MUX 4 --> 1)

#### 1.3.1. Sơ đồ tổng quát.



- Mạch có 4 lối vào cho tín hiệu  $X_3, X_2, X_1, X_0$ .
- Có 2 đầu vào địa chỉ  $A_1, A_0$ .
- Có 1 lối vào cho phép En
- Có 1 lối ra cho tín hiệu Y

#### 1.3.2. Nguyên lý làm việc.

- Tùy theo giá trị của 2 đầu vào điều khiển  $A_1, A_0$  mà lối ra Y sẽ được tiếp

thông với lối vào  $X_i$  nào đó.

- Ví dụ: Nếu cho giá trị nhị phân  $A_1 A_0 = 10$  khi đó lối ra  $Y$  sẽ được nối tới  $X_2$  ( $Y = X_2$ ).

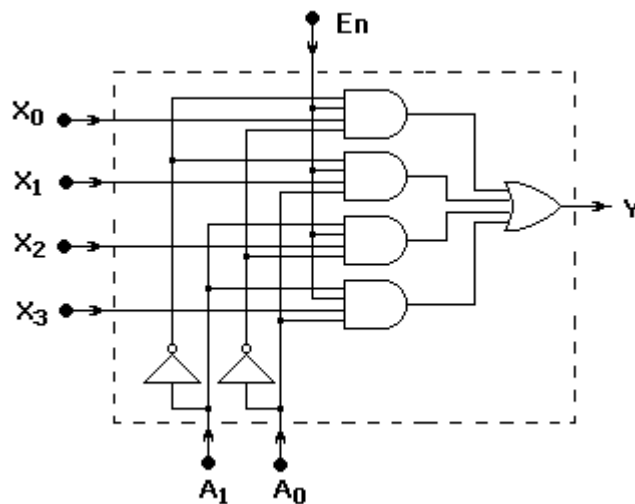
- Bảng chân lý:

Vào cho phép	Vào địa chỉ		Ra
	$A_1$	$A_0$	$Y$
0	x	x	x
1	0	0	$X_0$
1	0	1	$X_1$
1	1	0	$X_2$
1	1	1	$X_3$

- Biểu thức hàm:

$$Y = En [X_0 \cdot \bar{A}_1 \cdot \bar{A}_0 + X_1 \cdot \bar{A}_1 \cdot A_0 + X_2 \cdot A_1 \cdot \bar{A}_0 + X_3 \cdot A_1 \cdot A_0]$$

- Mạch logic:



### 1.3.3. Lắp ráp, khảo sát mạch dồn 4 kênh tới 1 (MUX 4 --> 1)

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch MUX 4-->1.
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào.
- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

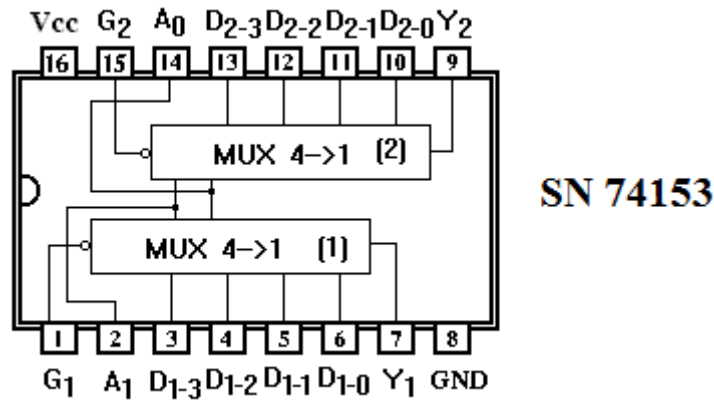
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số MUX 4-->1	IC 74153 hoặc tương đương	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.

- Tìm hiểu về IC MUX 4-->1 (IC 74153 hoặc tương đương).



- + IC 74153 bên trong có chứa 2 mạch MUX 4-->1
- + D<sub>1-0</sub>, D<sub>1-1</sub>, D<sub>1-2</sub>, D<sub>1-3</sub> : là 4 lối vào cho tín hiệu của mạch MUX<sub>1</sub>
- + D<sub>2-0</sub>, D<sub>2-1</sub>, D<sub>2-2</sub>, D<sub>2-3</sub> : là 4 lối vào cho tín hiệu của mạch MUX<sub>2</sub>
- + Y<sub>1</sub> là lối ra cho tín hiệu của MUX<sub>1</sub>
- + Y<sub>2</sub> là lối ra cho tín hiệu của MUX<sub>2</sub>
- + G<sub>1</sub> là lối vào cho phép của MUX<sub>1</sub> (có mức tích cực thấp - L)
- + G<sub>2</sub> là lối vào cho phép của MUX<sub>2</sub> (có mức tích cực thấp - L)
- + A<sub>1</sub> , A<sub>0</sub> là lối vào địa chỉ chung cho cả 2 mạch MUX
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch MUX 4-->1
- + Khảo sát 1 trong 2 mạch MUX (chọn MUX<sub>1</sub>)
- + Kết nối các nguồn tín hiệu vào lối vào D<sub>1-0</sub>, D<sub>1-1</sub>, D<sub>1-2</sub>, D<sub>1-3</sub> (các nguồn dao động xung 1 Hz, 10 Hz, 1 KHz ).
- + Đưa lối vào địa chỉ A<sub>1</sub> A<sub>0</sub> lần lượt lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED báo tín hiệu tại đầu ra Y<sub>1</sub> (chân 7 IC) trong từng trường hợp ứng với A<sub>1</sub> A<sub>0</sub> = [ 00; 01; 10; 11 ].
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào địa chỉ A<sub>1</sub> A<sub>0</sub> theo như trạng thái đã quan sát trên.

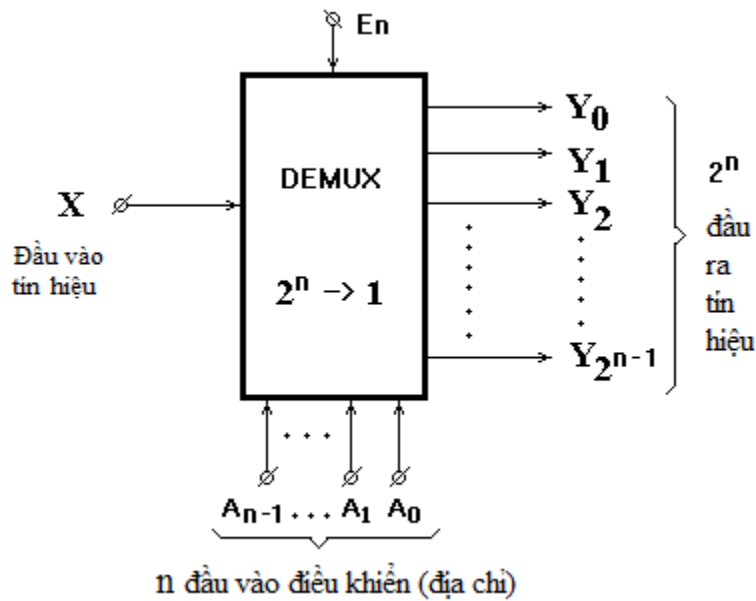
Vào cho phép	Vào địa chỉ		Ra
G <sub>1</sub>	A <sub>1</sub>	A <sub>0</sub>	Y <sub>1</sub>

- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

## 2. Mạch phân kênh (DEMUX - Demultiplexer)

### 2.1. Khái quát chung.

#### 1.1.1 Mô hình toán học

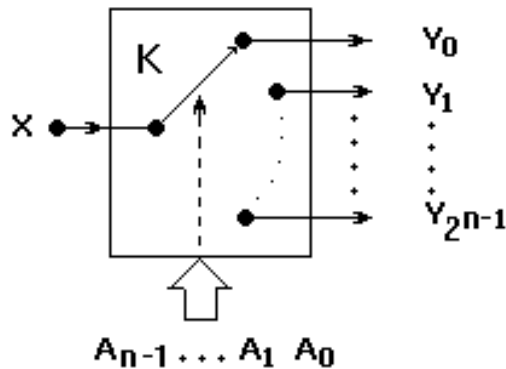


Mạch phân kênh là mạch có:

- 1 đầu vào cho tín hiệu X.
- n đầu vào điều khiển thường gọi là đầu vào địa chỉ ( $A_{n-1}, \dots, A_1, A_0$ ).
- 1 lối vào cho phép ( $E_n$ )
- $2^{n-1}$  đầu ra cho tín hiệu ( $Y_{2^n-1}, \dots, Y_2, Y_1, Y_0$ ).

1.1.2 Nguyên tắc làm việc:

- Mạch chỉ làm việc khi có tín hiệu cho phép đưa vào tại lối vào  $E_n$
- Hoạt động của mạch tương tự như mạch MUX, tức là tùy theo giá trị của n đầu vào điều khiển mà lối vào X sẽ được tiếp thông với lối ra  $Y_j$  nào đó. Cụ thể là nếu giá trị nhị phân qui ra thập phân của n đầu vào điều khiển mà bằng j thì lối vào X sẽ được nối tới lối ra  $Y_j$  đó ( $X=Y_j$ ).
- Để hiểu rõ hơn điều này, ta coi mạch DEMUX tương đương với một chuyển mạch đầu vào K có  $2^n$  tiếp điểm đầu ra và chỉ 1 lối vào duy nhất.



- Tại một thời điểm, chuyển mạch khóa K chỉ có thể kết nối đầu vào với một đầu ra nào đó. Sự chuyển mạch của khóa K chuyển đến đầu ra nào ( $Y_j$  nào) là do các tín hiệu điều khiển mang tới, các tín hiệu điều khiển này mang thông tin về vị trí (*địa chỉ*) theo số thập phân của tiếp điểm lối ra nhưng dưới dạng mã nhị phân.

Ví dụ:

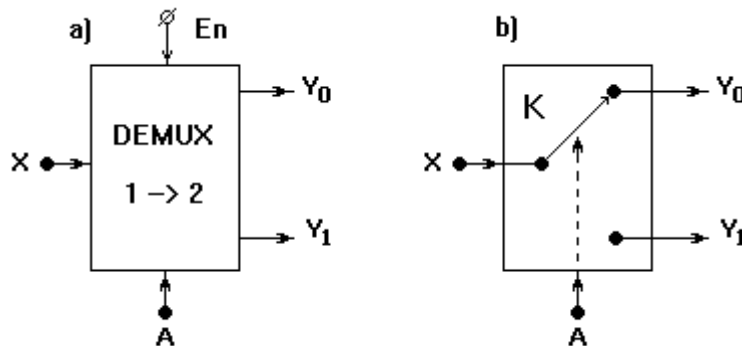
- Thông tin của các đầu vào điều khiển  $A_{n-1}, \dots, A_1, A_0$  dưới dạng mã nhị phân được qui đổi thành thập phân là 6 ( $j = 6$ ).

- Chuyển mạch khóa K sẽ nối tới  $Y_6$ , như vậy đầu vào X đã được tiếp thông tới đầu ra  $Y_6$  ( $X = Y_6$ ).
- Bảng chân lý tổng quát:

Số thập phân	Vào địa chỉ					Vào tín hiệu Y
	$A_{n-1}$	...	$A_2$	$A_1$	$A_0$	
0	0	...	0	0	1	$Y_0$
1	0	...	0	1	0	$Y_1$
...	...	...	...	...	...	...
j	...	...	...	...	...	$Y_j$
...	...	...	...	...	...	...
$2^{n-1}$	1	...	1	1	1	$Y_{2^n-1}$

## 2.2. Mạch phân kênh 1 sang 2

### 2.2.1. Sơ đồ tổng quát.



- Mạch có lối vào cho tín hiệu X.
- Có 1 đầu vào địa chỉ A.
- Có 1 đầu vào cho phép En
- Có 2 lối ra cho tín hiệu  $Y_1, Y_0$

### 2.2.2. Nguyên lý làm việc.

- Mạch chỉ làm việc khi có tín hiệu cho phép đưa vào tại lối vào En ( $En = 1$ )
- Tại thời điểm nào đó, cho tín hiệu địa chỉ  $A=0$ , khi đó chuyển mạch khóa K sẽ nối đầu vào X tới đầu ra  $Y_0 \rightarrow X = Y_0$ .
- Nếu cho tín hiệu địa chỉ  $A=1$ , khi đó chuyển mạch khóa K sẽ nối đầu vào X tới đầu ra  $Y_1 \rightarrow X = Y_1$ .

- Bảng chân lý:

Vào cho phép	Vào địa chỉ	Ra tín hiệu	
En	A	$Y_1$	$Y_0$
0	x	0	0
1	0	X	0
1	1	0	X

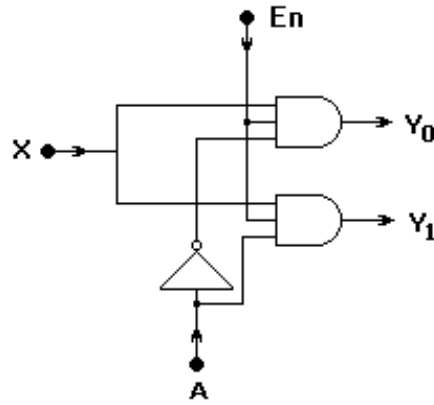
- Biểu thức hàm:

$$Y_0 = En \cdot X \cdot \bar{A}$$

$$Y_1 = En \cdot X \cdot A$$

- Mạch logic:





### 2.2.3. Lắp ráp, khảo sát mạch phân kênh 1 tới 2 (DEMUX 1-->2)

#### a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch DEMUX 1-->2.
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

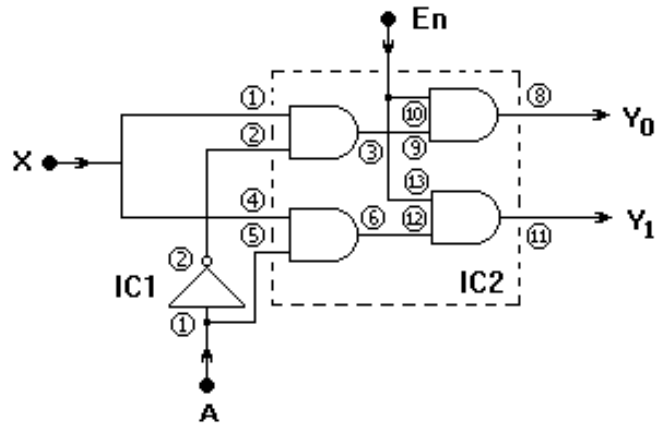
#### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng NOT	IC 7404 hoặc tương đương	1 IC/ nhóm
3	IC số chứa cổng AND	IC 7408 hoặc tương đương	1 IC/ nhóm
4	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
5	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

#### d. Quy trình thực hiện.

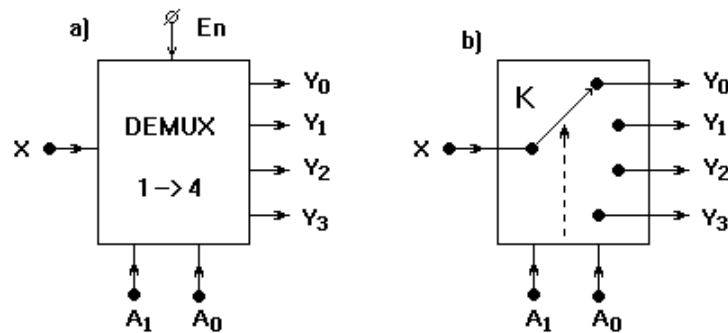
- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Chuyển sơ đồ sử dụng cổng AND 3 đầu vào thành công AND 2 đầu vào.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch DEMUX 1-->2.
- + Phân định IC cho các cổng logic trong sơ đồ (IC1 = 7404 ; IC2 = 7408).
- + Phân định cổng logic trong từng IC
- + Kết nối nguồn tín hiệu vào lối vào X ( nguồn dao động xung 1 Hz hoặc 10 Hz trên máy).
- + Đưa lối vào địa chỉ A lần lượt lên mức cao (H) và xuống mức thấp (L).
- + Quan sát đèn LED báo tín hiệu tại các đầu ra của IC2 (chân 8 và chân 11) trong từng trường hợp ứng với A = 0 và A = 1
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào địa chỉ A theo như trạng thái đã quan sát trên.
- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.



Vào cho phép	Vào địa chỉ	Ra tín hiệu	
En	A	Y <sub>1</sub>	Y <sub>0</sub>

### 2.3. Mạch phân kênh 1 sang 4 (DEMUX 1-->4)

#### 2.3.1. Sơ đồ tổng quát.



- Mạch có 1 lối vào duy nhất cho tín hiệu là X.
- Có 2 đầu vào địa chỉ A<sub>1</sub>, A<sub>0</sub>.
- Có 1 lối vào cho phép En
- Có 4 lối ra cho tín hiệu Y<sub>3</sub>, Y<sub>2</sub>, Y<sub>1</sub>, Y<sub>0</sub>.

#### 2.3.2. Nguyên lý làm việc.

- Tùy theo giá trị của 2 đầu vào điều khiển A<sub>1</sub>, A<sub>0</sub> mà lối vào X sẽ được tiếp thông với lối ra Y<sub>j</sub> nào đó.
- Ví dụ: Nếu cho giá trị nhị phân A<sub>1</sub> A<sub>0</sub> = 10 khi đó lối vào X sẽ được nối tới Y<sub>2</sub> (X = Y<sub>2</sub>).
- Bảng chân lý:

Vào cho phép	Vào địa chỉ		Ra tín hiệu			
En	A <sub>1</sub>	A <sub>0</sub>	Y <sub>3</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
0	x	x	0	0	0	0
1	0	0	0	0	0	X
1	0	1	0	0	X	0
1	1	0	0	X	0	0
1	1	1	X	0	0	0

- Biểu thức hàm:

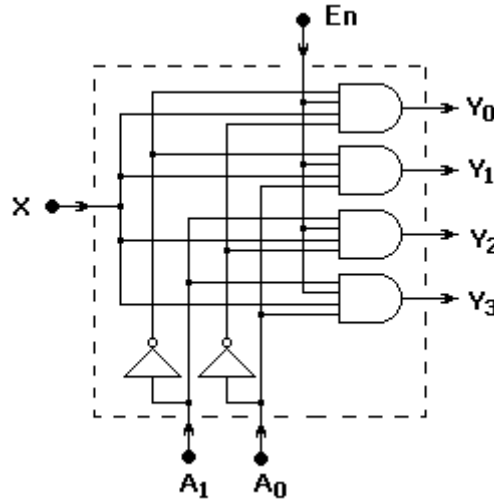
$$Y_0 = E_n \cdot X \cdot \overline{A_1} \cdot \overline{A_0}$$

$$Y_1 = E_n \cdot X \cdot \overline{A_1} \cdot A_0$$

$$Y_2 = E_n \cdot X \cdot A_1 \cdot \overline{A_0}$$

$$Y_3 = E_n \cdot X \cdot A_1 \cdot A_0$$

- Mạch logic:



### 2.3.3. Lắp ráp, khảo sát mạch phân kênh 1 tới 4 (DEMUX 1-->4)

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch DEMUX 1-->4.
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào.
- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

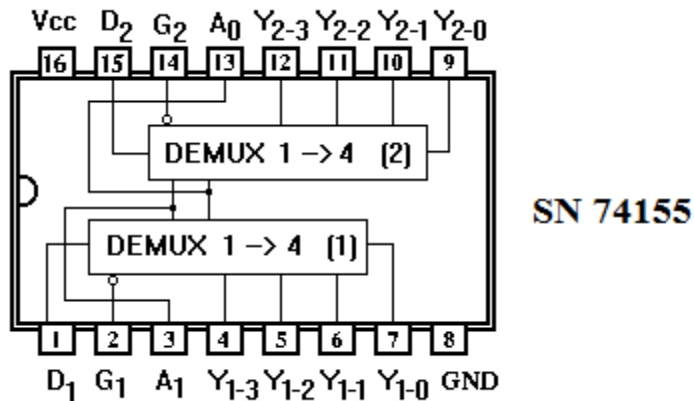
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC DEMUX 1-->4	IC 74155 hoặc tương đương	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch mã hóa từ 8 sang 3

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu IC DEMUX 1-->4 (IC 74155 hoặc tương đương).
- + IC 74155 bên trong có chứa 2 mạch DEMUX 1-->4
- +  $D_1$ : là lối vào cho tín hiệu của mạch DEMUX<sub>1</sub>
- +  $D_2$ : là lối vào cho tín hiệu của mạch DEMUX<sub>2</sub>
- +  $Y_{1-3}, Y_{1-2}, Y_{1-1}, Y_{1-0}$ : là 4 lối ra cho tín hiệu của DEMUX<sub>1</sub>
- +  $Y_{2-3}, Y_{2-2}, Y_{2-1}, Y_{2-0}$ : là 4 lối ra cho tín hiệu của DEMUX<sub>2</sub>
- +  $G_1$  là lối vào cho phép của DEMUX<sub>1</sub> (có mức tích cực thấp - L)
- +  $G_2$  là lối vào cho phép của DEMUX<sub>2</sub> (có mức tích cực thấp - L)

+  $A_1, A_0$  là lối vào địa chỉ chung cho cả 2 mạch DEMUX

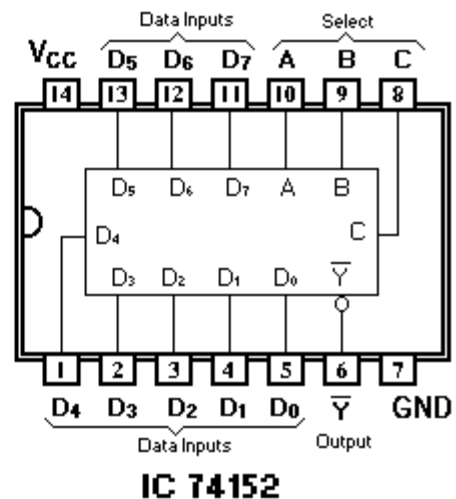
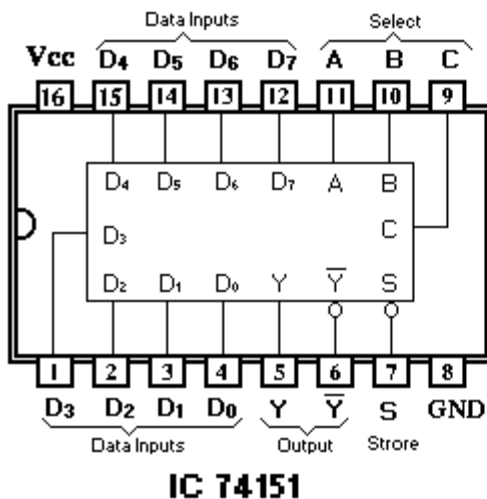


- Lắp mạch, khảo sát nguyên lý hoạt động của mạch DEMUX 1-->4
- + Khảo sát 1 trong 2 mạch DEMUX (chọn DEMUX<sub>1</sub>)
- + Kết nối nguồn tín hiệu vào lối vào D<sub>1</sub> (nguồn dao động xung 1Hz hoặc 10Hz).
- + Đưa lối vào địa chỉ A<sub>1</sub> A<sub>0</sub> lần lượt lên mức cao (H) và xuống mức thấp (L) cho từng trường hợp.
- + Quan sát đèn LED báo tín hiệu tại các đầu ra Y<sub>1-3</sub>, Y<sub>1-2</sub>, Y<sub>1-1</sub>, Y<sub>1-0</sub> (chân 4; 5; 6; 7 của IC) trong từng trường hợp ứng với A<sub>1</sub> A<sub>0</sub> = [ 00; 01; 10; 11 ].
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào địa chỉ A<sub>1</sub> A<sub>0</sub> theo như trạng thái đã quan sát trên.

Vào cho phép	Vào địa chỉ		Ra tín hiệu				
	G <sub>1</sub>	A <sub>1</sub>	A <sub>0</sub>	Y <sub>1-3</sub>	Y <sub>1-2</sub>	Y <sub>1-1</sub>	Y <sub>1-0</sub>

- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

### 3. Giới thiệu một số IC dồn kênh, phân kênh thông dụng.



## Bài 7 : Các phần tử Flip - Flop

Mục tiêu:

\* Kiến thức:

- Giải thích được cấu trúc, nguyên tắc hoạt động của các Flip - Flop;
- Trình bày được các ứng dụng của các Flip - Flop trong kỹ thuật.

\* Kỹ năng:

- Lắp ráp, kiểm tra được sự hoạt động của các Flip - Flop đúng yêu cầu kỹ thuật

\* Thái độ:

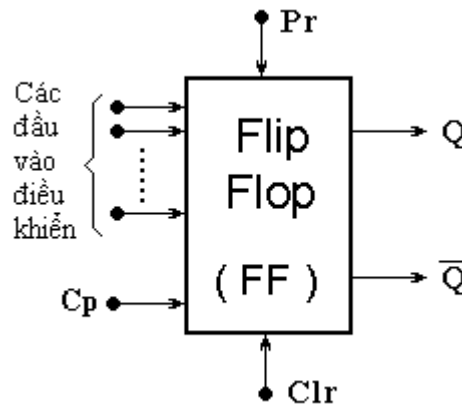
- Chủ động, sáng tạo trong quá trình học tập.

Nội dung:

### 1. Khái quát chung

**1.2 Khái niệm:** Flip-Flop (FF) là phần tử có khả năng lưu trữ một trong hai bit dữ liệu là “0” hoặc “1”

### 1.3 Cấu tạo chung



Hình 7.1: Cấu tạo chung của Flip--Flop

- Có 1 hoặc vài đầu vào điều khiển
- Có 2 lối ra  $Q$  ,  $\bar{Q}$  : Trạng thái tín hiệu tại 2 lối ra này luôn đảo nhau
- Tùy thuộc vào từng loại **FF** mà có thể có hay không có các lối vào là **Pr** và **Clr**.
- +  $C_p$  (Clock pulse): Lối vào cho xung đồng bộ (*xung nhịp, xung đồng hồ*)
- + **Pr** (Preset): Lối vào “thiết lập 1”. Nó có tác dụng đưa  $Q$  lên 1 ( $Q = 1$ )
- + **Clr** (Clear): Lối vào “thiết lập 0”. Nó có tác dụng đưa  $Q$  về 0 ( $Q = 0$ )
- > **Pr** và **Clr** là 2 lối vào điều khiển cưỡng bức.

### 1.4 Phân loại.

\* Phân loại theo chức năng của các đầu vào điều khiển:

- Loại một đầu vào điều khiển có D/FF ; T/FF.
- Loại hai đầu vào điều khiển có RS/FF ; JK/FF.

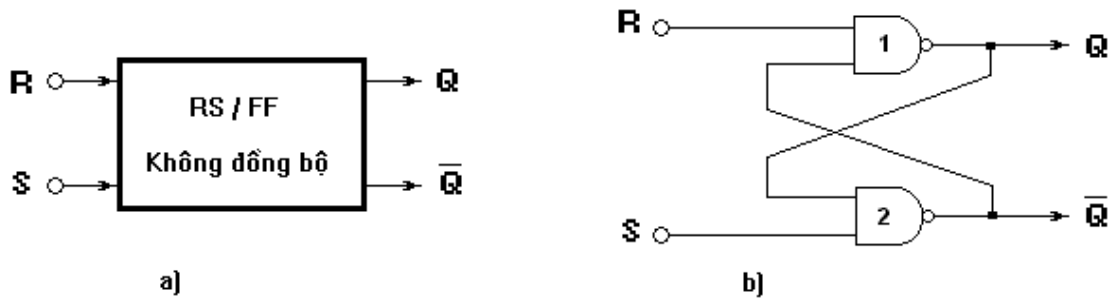
\* Phân loại theo phương thức làm việc:

- Flip-Flop không đồng bộ.
- Flip-Flop đồng bộ
- + Đồng bộ thường
- + Đồng bộ chính – phụ (M-S Master / Slaver)

## 2. Flip - Flop R-S (R-S/FF )

### 2.1. RS/FF không đồng bộ

a. Sơ đồ tổng quát và cấu trúc mạch



Hình 7.2: Sơ đồ tổng quát (a) và cấu trúc mạch RS/FF không đồng bộ (b)

- RS/FF không đồng bộ có 2 lối vào
- + R (Reset) : Là lối vào xóa.
- + S (Set) : Là lối vào đặt.
- Có 2 lối ra là  $Q$  ;  $\bar{Q}$  .
- Mạch có cấu trúc bằng 2 cổng NAND và được kết nối như hình vẽ.

b. Nguyên lý làm việc:

- Xét nhịp thứ nhất cho  $R = 1 ; S = 0$  Ta có  $Q = 0 ; \bar{Q} = 1$
- Xét nhịp thứ hai cho  $R = 0 ; S = 1$  Ta có  $Q = 1 ; \bar{Q} = 0$
- Xét nhịp thứ ba cho  $R = 1 ; S = 1$  Ta vẫn có  $Q = 1 ; \bar{Q} = 0$
- > trạng thái tại 2 lối ra này vẫn giữ nguyên trạng thái trước đó (nhịp thứ 3 giữ nguyên nhịp thứ 2), ta gọi là nhớ trạng thái trước.

- Xét nhịp thứ tư cho  $R = 0 ; S = 0$  Ta có  $Q = 1$  và  $\bar{Q} = 1$

Nhưng sau đó nhịp thứ năm, nếu ta lại cho  $R = 1 ; S = 1$  thì tại lối ra  $Q ; \bar{Q}$  sẽ không thể xác định được trạng thái tín hiệu cụ thể. Vì vậy, để tránh tình trạng này, tổ hợp tín hiệu  $R = 0 ; S = 0$  không được sử dụng và được gọi là tổ hợp cấm.

- Bảng chân lý

$R_n$	$S_n$	$Q_{n+1}$
0	0	x (Cấm)
0	1	1
1	0	0
1	1	$Q_n$ (Nhớ)

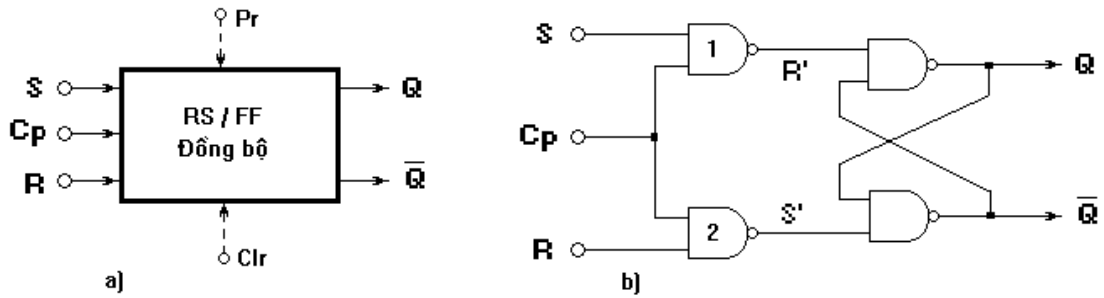
Bảng 7.1 : Bảng chân lý của RS/FF không đồng bộ cấu trúc bằng cổng NAND

2.2. RS/FF đồng bộ.

a. Sơ đồ tổng quát và cấu trúc mạch

- RS/FF đồng bộ có 3 lối vào
  - + R (Reset) : Là lối vào xóa.
  - + S (Set) : Là lối vào đặt.
  - + Cp (Clock pulse): Là lối vào cho xung đồng bộ (xung nhịp, xung đồng hồ)
- Ngoài ra mạch còn có thể có hay không có hai lối vào điều khiển cường bức là:
- + Pr (Preset): Lối vào “thiết lập 1”. Nó có tác dụng đưa Q lên 1 ( $Q = 1$ )
  - + Clr (Clear): Lối vào “thiết lập 0”. Nó có tác dụng đưa Q về 0 ( $Q = 0$ )

- Mạch có 2 lối ra là  $Q$  ;  $\bar{Q}$  .
- Mạch có cấu trúc bằng 4 cổng NAND và được kết nối như hình vẽ



Hình 7.3: Sơ đồ tổng quát (a) và cấu trúc mạch RS/FF đồng bộ (b)

b. Nguyên lý làm việc:

\* Xét trường hợp khi có xung đồng bộ đưa vào -->  $Cp = 1$

- Nếu cho  $R = 0$  ;  $S = 1$  Ta có  $R' = 0$  ;  $S' = 1$  -->  $Q = 1$  ;  $\bar{Q} = 0$

- Nếu cho  $R = 1$  ;  $S = 0$  Ta có  $R' = 1$  ;  $S' = 0$  -->  $Q = 0$  ;  $\bar{Q} = 1$

- Nếu cho  $R = 0$  ;  $S = 0$  Ta có  $R' = 1$  ;  $S' = 1$  Ta vẫn có  $Q = 0$  ;  $\bar{Q} = 1$

--> Lối ra Q vẫn giữ nguyên trạng thái trước đó (nhớ trạng thái trước).

- Nếu cho  $R = 1$  ;  $S = 1$  Ta có  $R' = 0$  ;  $S' = 0$  --> Khi đó lối ra Q sẽ không xác định được trạng thái tín hiệu cụ thể nếu sau đó ta lại cho  $R = 0$  ;  $S = 0$ . Vì vậy tổ hợp tín hiệu  $R = 1$  ;  $S = 1$  là tổ hợp cấm.

\* Xét trường hợp khi không có xung đồng bộ đưa vào -->  $Cp = 0$

Trường hợp này ta luôn có  $R' = 1$  ;  $S' = 1$  với trạng thái tín hiệu vào tại S và R, Như vậy lối ra Q luôn giữ nguyên trạng thái trước (nhớ trạng thái trước).

Bảng chân lý:

Cp	R <sub>n</sub>	S <sub>n</sub>	Q <sub>n+1</sub>
0	x	x	Q <sub>n</sub> (Nhớ)
1	0	0	Q <sub>n</sub> (Nhớ)
	0	1	1
	1	0	0
	1	1	x (Cấm)

Bảng 7.2 : Bảng chân lý của RS/FF đồng bộ cấu trúc bằng cổng NAND

### 2.3. Lắp ráp, khảo sát RS/FF

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch RS/FF đồng bộ .
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

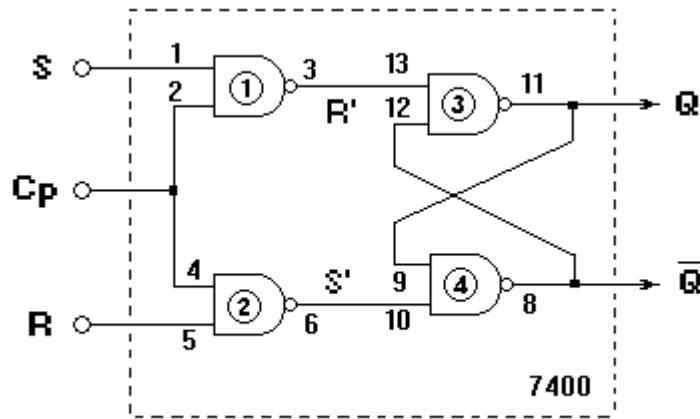
c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng NAND	IC 7400 hoặc tương đương	3 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 7.3: Bảng thiết bị, vật tư khảo sát mạch RS/FF đồng bộ

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch RS/FF đồng bộ (Hình 7.3 b).
- + Phân định cổng logic trong IC 7400.



Hình 7.4: Sơ đồ đầu nối khảo sát mạch RS/FF đồng bộ dùng IC 7400

- + Kết nối các lối vào R, S tới các jack cấp mức điện áp trên máy.
- + Kết nối Cp với jack cấp sườn dương xung kích thích trên máy.
- + Cấp tín hiệu vào cho R, S cho từng trường hợp [00; 01; 10; 11].
- + Trong mỗi trường hợp của R, S. Kích thích sườn dương cho lối vào Cp.
- + Quan sát đèn LED tại các chân IC tương ứng với hai lối ra Q đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)
- + Cho Cp = 0 --> Duy trì mức điện áp thấp (L) cho lối vào Cp.
- + Cấp tín hiệu vào cho R, S cho từng trường hợp [00; 01; 10; 11].
- + Quan sát đèn LED tại các chân IC tương ứng với hai lối ra Q
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.

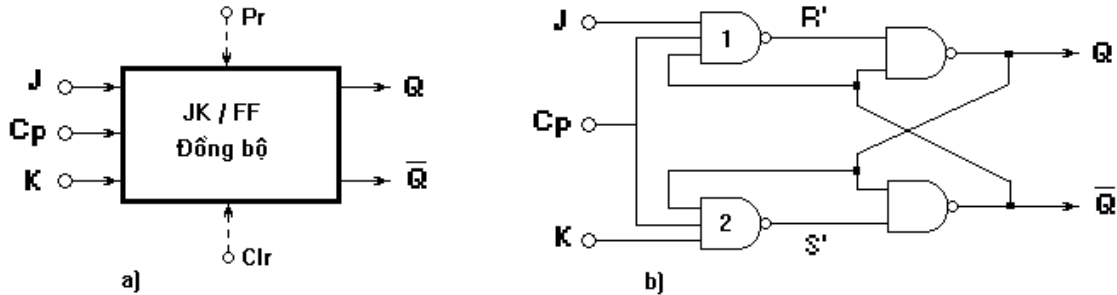
Cp	Vào		Ra Q
	R	S	




- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

### 3. Flip - Flop J -K (JK/FF)

#### 3.1. Cấu trúc mạch.



Hình 7.5: Sơ đồ tổng quát (a) và cấu trúc mạch JK/FF đồng bộ (b)

- JK/FF đồng bộ có các lối vào:

+ J ; K : Là 2 lối vào điều khiển.

+ Cp (Clock pulse): Là lối vào cho xung đồng bộ (xung nhịp, xung đồng hồ)

Mạch còn có thể có hay không có hai lối vào điều khiển cưỡng bức là:

+ Pr (Preset): Lối vào “thiết lập 1”. Nó có tác dụng đưa Q lên 1 (Q = 1)

+ Clr (Clear): Lối vào “thiết lập 0”. Nó có tác dụng đưa Q về 0 (Q = 0)

- Mạch có 2 lối ra là Q ;  $\bar{Q}$ .

- Mạch có cấu trúc bằng 4 cổng NAND và được kết nối như hình vẽ

#### 3.2. Nguyên lý làm việc.

a. Xét trường hợp khi không có xung đồng bộ đưa vào --> Cp = 0

Trường hợp này, các lối vào của NAND-1 và NAND-2 có 1 lối vào luôn bằng 0, do vậy đầu ra của nó luôn bằng 1 với mọi trạng thái tín hiệu tại các lối vào còn lại. Ta luôn có R' = 1 ; S' = 1 và lối ra Q luôn giữ nguyên trạng thái trước (nhớ trạng thái trước).

b. Xét trường hợp khi có xung đồng bộ đưa vào --> Cp = 1

- Trường hợp này đầu ra của cổng NAND-1 và NAND-2 chỉ còn phụ thuộc vào 2 đầu vào còn lại và tương đương như một cổng NAND 2 đầu vào.

Trong đó :

$$R'_n = \overline{J_n \cdot \bar{Q}_n} = \bar{J}_n + Q_n$$

$$S'_n = \overline{K_n \cdot Q_n} = \bar{K}_n + \bar{Q}_n$$

- Giả thiết ban đầu ta đang có  $Q_n = 1, \bar{Q}_n = 0$

+ Cho  $J_n = 0 ; K_n = 0$  Ta có  $R'_n = 1 ; S'_n = 1$  -->  $Q_{n+1} = 1 ; \bar{Q}_{n+1} = 0$

--> Mạch vẫn giữ nguyên trạng thái trước (nhớ).

+ Cho  $J_{n+1} = 0 ; K_{n+1} = 1$  Ta có  $R'_{n+1} = 1 ; S'_{n+1} = 0$  -->  $Q_{n+2} = 0 ;$

+ Cho  $J_{n+2} = 1 ; K_{n+2} = 0$  Ta có  $R'_{n+2} = 0 ; S'_{n+2} = 1$  -->  $Q_{n+3} = 1 ;$

+ Cho  $J_{n+3} = 1 ; K_{n+3} = 1$  Ta có  $R'_{n+3} = 1 ; S'_{n+3} = 0$  -->  $Q_{n+4} = 0 ;$  --> lối ra Q lật trạng thái.

+ Ta lại tiếp tục cho  $J_{n+4} = 0 ; K_{n+4} = 0$  -->  $Q_{n+5} = 0$  (nhớ) ;

+ Ta lại tiếp tục cho  $J_{n+5} = 1 ; K_{n+5} = 1$  -->  $Q_{n+6} = 1$  (lật trạng thái) ;

- Bảng chân lý

$C_p$	$J_n$	$K_n$	$Q_{n+1}$
<b>0</b>	x	x	$Q_n$ (Nhớ)
<b>1</b>	0	0	$Q_n$ (Nhớ)
	0	1	0
	1	0	1
	1	1	$\overline{Q_n}$ (Đảo trạng thái)

Bảng 7.4: Bảng chân lý của JK/FF đồng bộ

### 3.3. Lắp ráp, khảo sát JK/FF

a. Nội dung:

- Tìm hiểu cấu trúc, chức năng các chân của IC 7476.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch JK/FF đồng bộ .
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

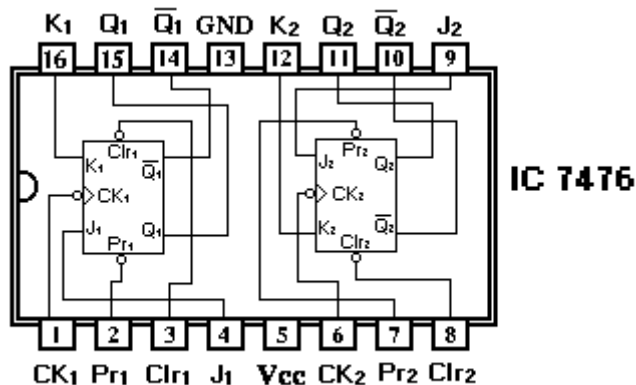
c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số JK/FF	IC 7476 hoặc tương đương	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 7.5: Bảng thiết bị, vật tư khảo sát mạch RS/FF đồng bộ

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu cấu trúc IC 7476 (hoặc tương đương).



Hình 7.6: Sơ đồ cấu trúc IC 7476

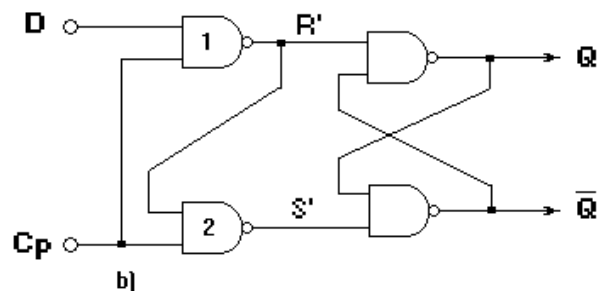
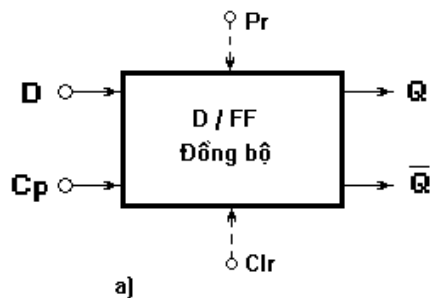
- + IC 7476 có chứa 2 phần tử JK/FF đồng bộ độc lập nhau có các lối vào điều khiển cường bức Pr và Clr.
- +  $J_1, K_1$  : là 2 lối vào cho tín hiệu điều khiển của JK/FF-1.
- +  $J_2, K_2$  : là 2 lối vào cho tín hiệu điều khiển của JK/FF-2.
- +  $Q_1; \bar{Q}_1$  : là 2 lối ra cho tín hiệu của JK/FF-1.
- +  $Q_2; \bar{Q}_2$  : là 2 lối ra cho tín hiệu của JK/FF-2.
- +  $CK_1; CK_2$  : là 2 lối vào xung nhịp của 2 FF.
- +  $Pr_1; Pr_2$  : Là 2 lối vào "thiết lập1" cho 2 FF.
- +  $Clr_1; Clr_2$  : Là 2 lối vào "thiết lập0" cho 2 FF.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch JK/FF đồng bộ
- + Khảo sát 1 trong 2 mạch JK/FF đồng bộ (*chọn JK/FF-1*)
- + Kết nối  $J_1, K_1$  với 2 jack cung cấp mức điện áp.
- + Kết nối  $CK_1$  với jack cung cấp sườn sau xung kích thích (*sườn âm xung*).
- + Đưa  $Pr_1, Clr_1$  lên mức điện áp cao (H) là mức điện áp cho phép mạch hoạt động.
- + Đưa lối vào điều khiển  $J_1; K_1$  lần lượt lên mức cao (H) và xuống mức thấp (L) một cách tuần tự cho từng trường hợp [00; 01; 10; 11].
- + Quan sát đèn LED báo tín hiệu tại đầu ra  $Q_1; \bar{Q}_1$  (chân 15 và 14 của IC) trong từng trường hợp tương ứng với  $J_1$  và  $K_1$ .
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra của mạch như trạng thái đã quan sát trên.

$Pr_1$	$Clr_1$	$CK_1$	$J_1$	$K_1$	$Q_1$
1	1				
1	1				
1	1				
1	1				
1	1				
1	1				
1	1				
1	1				

- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

#### 4. Flip - Flop D (D/FF)

##### 4.1. Cấu trúc mạch.



Hình 7.7: Sơ đồ tổng quát (a) và cấu trúc mạch D/FF đồng bộ (b)

- JK/FF đồng bộ có các lối vào:

- + D : Là lối vào điều khiển (*lối vào cho dữ liệu*).
- + Cp (*Clock pulse*): Là lối vào cho xung đồng bộ (*xung nhịp, xung đồng hồ*)
- Mạch còn có thể có hay không có hai lối vào điều khiển cưỡng bức là:
- + Pr (*Preset*): Lối vào “thiết lập 1”. Nó có tác dụng đưa Q lên 1 ( $Q = 1$ )
- + Clr (*Clear*): Lối vào “thiết lập 0”. Nó có tác dụng đưa Q về 0 ( $Q = 0$ )
- Mạch có 2 lối ra là  $Q; \bar{Q}$ .
- Mạch có cấu trúc bằng 4 cổng NAND và được kết nối như hình vẽ

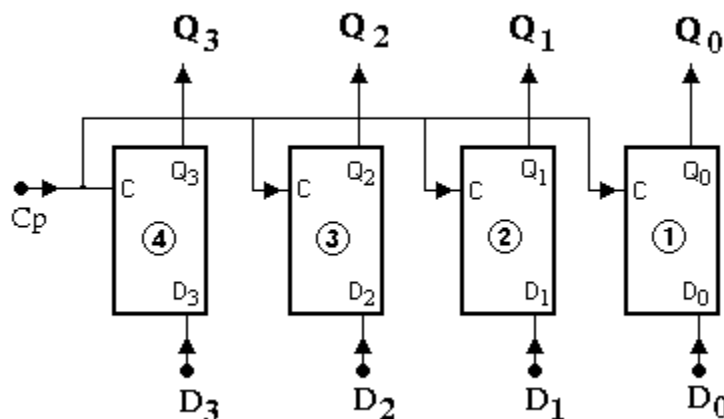
#### 4.2. Nguyên lý làm việc.

- a. Xét trường hợp khi không có xung đồng bộ đưa vào -->  $C_p = 0$   
 Trường hợp này, các lối vào của NAND-1 và NAND-2 có 1 lối vào luôn bằng 0, do vậy đầu ra của nó luôn bằng 1 với mọi trạng thái tín hiệu tại lối vào D. Ta luôn có  $R' = 1; S' = 1$  và lối ra Q luôn giữ nguyên trạng thái trước (*nhớ trạng thái trước*).
- b. Xét trường hợp khi có xung đồng bộ đưa vào -->  $C_p = 1$ 
  - Cho D = 0. Ta có  $R' = 1; S' = 0$  --> lối ra  $Q = 0$ .
  - Cho D = 1. Ta có  $R' = 0; S' = 1$  --> lối ra  $Q = 1$ .
- > ta thấy lối ra Q luôn theo lối vào D ( $Q = D$ ). Đây chính là đặc điểm của D/FF và nó được ứng dụng rộng rãi trong việc đóng vai trò làm thanh chốt số liệu, dữ liệu trong truyền đưa thông tin.
- Bảng chân lý:

Cp	D <sub>n</sub>	Q <sub>n+1</sub>
0	x	Q <sub>n</sub> (nhớ)
1	0	0
	1	1

Bảng 7.6: Bảng chân lý của D/FF đồng bộ

- c. Thanh chốt số liệu sử dụng D/FF đồng bộ
  - Cấu trúc thanh chốt số liệu 4 bit.
  - + Mỗi một D/FF phụ trách 1 bit dữ liệu.
  - + Xung nhịp đưa vào đồng thời cả 4D/FF
  - + Các lối vào D/FF tiếp nhận các bit dữ liệu D<sub>3</sub>, D<sub>2</sub>, D<sub>1</sub>, D<sub>0</sub>.
  - + Các dữ liệu được đưa ra tại Q<sub>3</sub>, Q<sub>2</sub>, Q<sub>1</sub>, Q<sub>0</sub> tương ứng.
  - Nguyên lý làm việc.



Hình 7.8: Cấu trúc thanh chốt dữ liệu 4 bit dùng D/FF.

- + Khi xung nhịp  $C_p = 1$ , các D/FF được mở thông, dữ liệu được đưa vào các lối vào D và lấy ra tại các lối ra Q tương ứng. Các D/FF không làm thay đổi cấu trúc dữ liệu truyền khi được truyền qua vì lối ra Q theo lối vào D.
- + Khi muốn ngăn dữ liệu lại, ta chỉ việc cho  $C_p = 0$ , lập tức các D/FF ở vào trạng thái nhớ, lối vào D bị khóa, các đầu ra  $Q_3, Q_2, Q_1, Q_0$  sẽ lưu giữ lại các dữ liệu đã truyền qua ở thời điểm trước đó.

#### 4.3. Lắp ráp, khảo sát D/FF

##### a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch D/FF đồng bộ.
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

##### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

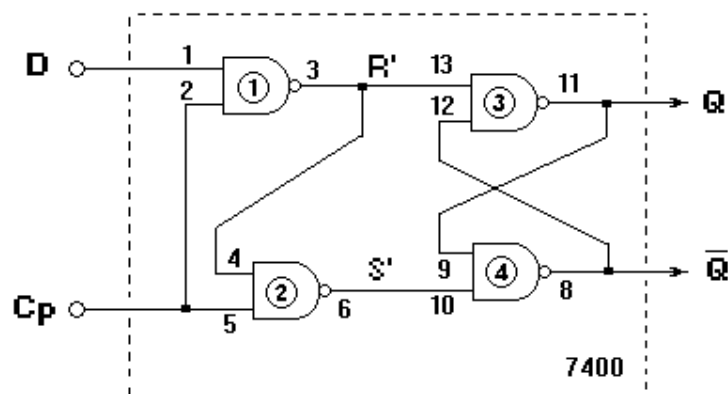
##### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số chứa cổng NAND	IC 7400 hoặc tương đương	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 7.3: Bảng thiết bị, vật tư khảo sát mạch D/FF đồng bộ

##### d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch D/FF đồng bộ (Hình 7.7 b).
- + Phân định cổng logic trong IC 7400.
- + Kết nối lối vào D với jack cấp mức điện áp trên máy.
- + Kết nối  $C_p$  với jack cấp sườn dương xung kích thích trên máy.
- + Cấp tín hiệu vào cho D cho từng trường hợp  $[0 ; 1]$ .
- + Trong mỗi trường hợp của D, kích thích sườn dương cho lối vào  $C_p$ .
- + Quan sát đèn LED tại các chân IC tương ứng với hai lối ra Q đang khảo sát. Nếu đèn sáng thì mức điện áp là cao (H), còn đèn không sáng thì là mức thấp (L)



Hình 7.9: Sơ đồ đấu nối khảo sát mạch D/FF đồng bộ dùng IC 7400

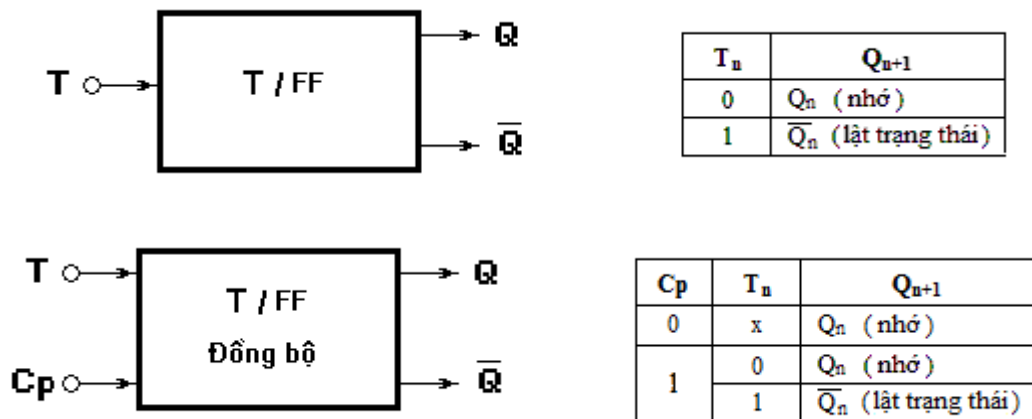
- + Cho  $C_p = 0$  --> Duy trì mức điện áp thấp (L) cho lối vào  $C_p$ .
- + Cấp tín hiệu vào cho D cho từng trường hợp [0 ; 1].
- + Quan sát đèn LED tại các chân IC tương ứng với hai lối ra Q.
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.

$C_p$	$D_n$	$Q_{n+1}$

- So sánh với bảng chân lý được lập với bảng chân lý theo lý thuyết mô tả.

## 5. Flip - Flop T (T/FF)

### 5.1. Sơ đồ tổng quát, nguyên lý làm việc



Hình 7.10: Sơ đồ tổng quát, bảng chân lý T/FF thường và đồng bộ.

- T (Toggle) : là lối vào điều khiển
- $C_p$  : lối vào cho xung đồng bộ
- $Q ; \overline{Q}$  là hai lối ra cho tín hiệu.
- Nguyên lý làm việc được thể hiện thông qua bảng chân lý và có thể thấy rõ:

Đối với T/FF thường :

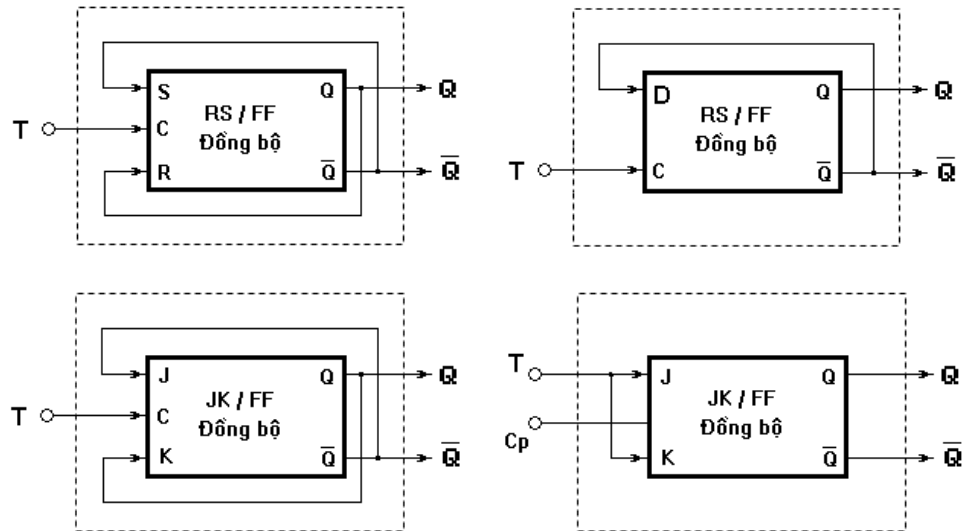
- + Khi lối vào  $T = 0$  --> Lối ra Q luôn giữ nguyên trạng thái trước (nhớ).
- + Khi lối vào  $T = 1$  --> Lối ra Q sẽ lật trạng thái.

Đối với T/FF biến thể đồng bộ :

- + Khi không có xung đồng bộ đưa vào ( $C_p = 0$ )--> Lối ra Q luôn giữ nguyên trạng thái trước (nhớ) với bất kể tín hiệu đưa vào tại T.
- + Khi có xung đồng bộ đưa vào ( $C_p = 1$ )--> Nếu T chưa có tín hiệu ( $T = 0$ ) thì lối ra Q vẫn luôn giữ nguyên trạng thái trước (nhớ). Còn nếu khi tín hiệu tại  $T = 1$  thì lối ra Q sẽ lật trạng thái.

### 5.2. Cấu trúc mạch.

Trong thực tế kỹ thuật, trên cơ sở các phần tử FF đã có sẵn như D/FF ; JK/FF, RS/FF người ta thường đi xây dựng T/FF dựa trên những phần tử FF có sẵn này.



Hình 7.11: Sơ đồ chuyển đổi của T/FF thường và đồng bộ.

### 5.3. Lắp ráp, khảo sát T/FF

#### a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch D/FF đồng bộ .
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra.
- So sánh với bảng chân lý theo lý thuyết mô tả.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số công NAND	IC 7400 hoặc tương đương	2 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

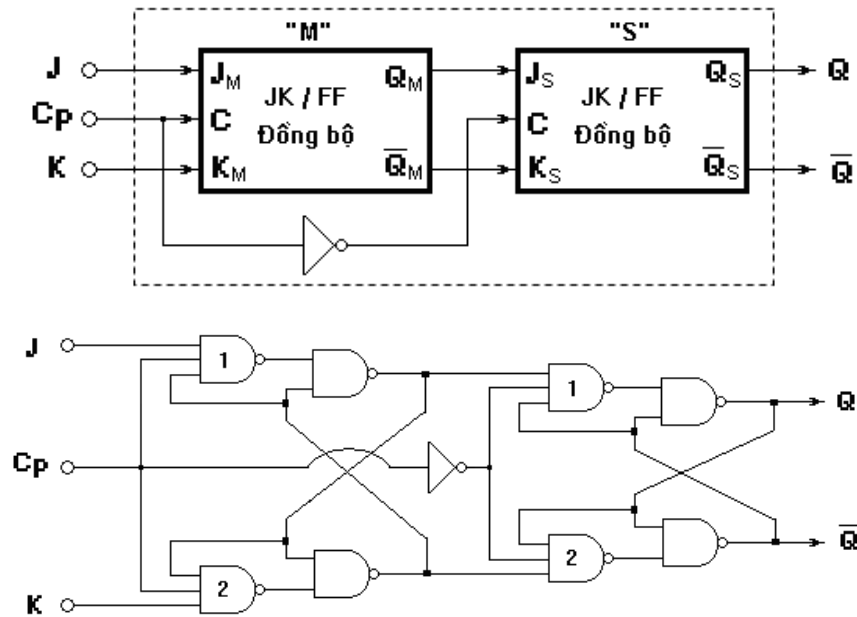
Bảng 7.5: Bảng thiết bị, vật tư khảo sát mạch T/FF

#### d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch T/FF (Hình 7.11).
  - + Lắp ráp mạch D/FF đồng bộ.
  - + Chuyển đổi từ D/FF sang T/FF thường.
  - + Lắp ráp mạch D/FF đồng bộ.
  - + Chuyển đổi từ D/FF sang T/FF thường và T/FF đồng bộ.
  - + Thực hiện cấp tín hiệu và lối vào T.
  - + Quan sát đèn LED tại các chân IC tương ứng với hai lối ra Q.
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra theo như trạng thái đã quan sát trên.

## 6. Flip - Flop M-S

### 6.1. Cấu trúc mạch.



Hình 7.11: Sơ đồ khối và cấu trúc mạch của JK/FF M-S.

- Mạch sử dụng 2 JK/FF đồng bộ trong đó :
  - + 1JK/FF đóng vai trò chính (M - Master)
  - + 1JK/FF đóng vai trò phụ (S - Slaver)
- lối vào đồng bộ của 2 FF có trạng thái đảo nhau nhờ cổng đảo NOT.

### 6.2. Nguyên lý làm việc.

- Khi  $C_P = 1$  : JK/FF 'M' mở thông, nó sẽ tiếp nhận các thông tin từ ngoài vào tại 2 lối vào J và K và chuyển tới lối ra  $Q_M$  của nó. Trong khi đó JK/FF 'S' bị khóa vì lối vào xung nhịp thông qua cổng NOT sẽ là mức 0, nó sẽ không đón nhận thông tin từ  $Q_M$  gửi sang.
- Khi  $C_P = 0$  : JK/FF 'M' bị khóa, nó sẽ không tiếp nhận thông tin từ ngoài vào tại J và K. Trong khi đó JK/FF 'S' mở thông vì lối vào xung nhịp thông qua cổng NOT sẽ là mức 1, nó sẽ đón nhận thông tin được ghi vào từ trước tại  $Q_M$  của JK/FF 'M' và chuyển tới lối ra Q.
- Như vậy sự làm việc của JK/FF 'M-S' được chia làm 2 nhịp phân biệt.
  - + Đầu tiên các thông tin được đưa vào trong JK/FF 'M' nhưng chưa được đưa đến đầu ra.
  - + Sau đó lối vào nhận thông tin bị khóa lại, thông tin được ghi vào từ trước trong JK/FF 'M' mới được chuyển tới lối ra.

### 6.3. Lắp ráp, khảo sát Flip - Flop M-S.

#### a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch JK/FF 'M-S' sử dụng IC .
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### c. Bảng thiết bị, vật tư.











TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số JK/FF	IC 7476 hoặc tương đương	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 7.5: Bảng thiết bị, vật tư khảo sát mạch RS/FF đồng bộ

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu cấu trúc IC 7476 (hoặc tương đương).
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch JK/FF đồng bộ
- + Cắm IC 7476 lên bảng mạch của máy thực tập.
- + Kết nối các lối vào ra của các phần tử JK/FF theo sơ đồ khối.
- + Nối các chân Clr và Pr lên mức cho phép (H)
- + Kết nối  $J_1$ ,  $K_1$  với 2 jack cắm cung cấp mức điện áp.
- + Kết nối  $CK_1$  với jack cung cấp sườn sau xung kích thích (sườn âm xung).
- + Đưa lối vào điều khiển  $J_1$ ;  $K_1$  lần lượt lên mức cao (H) và xuống mức thấp (L) một cách tuần tự cho từng trường hợp [00; 01; 10; 11].
- + Sau mỗi lần xác lập trạng thái cho  $J_1$ ;  $K_1$ , kích thích xung nhịp tại  $CK_1$ .
- + Quan sát đèn LED báo tín hiệu tại đầu ra  $Q_1$ ;  $\bar{Q}_1$  (chân 15 và 14 của IC) trong từng trường hợp tương ứng với  $J_1$  và  $K_1$ .
- Lập bảng chân lý mô tả hoạt động của mạch theo mức điện áp trên các lối vào/ra của mạch như trạng thái đã quan sát trên.

Pr	Clr	$CK_1$	$J_1$	$K_1$	$Q_2$
1	1				
1	1				
1	1				
1	1				
1	1				
1	1				
1	1				
1	1				

Đánh giá kết quả

Mục tiêu	Nội dung	Điểm
Kiến thức	Phân tích được nguyên lý hoạt động và bảng chân lý của các phần tử FF	2
Kỹ năng	Lắp ráp, kiểm tra được sự hoạt động của mạch RS/FF; JK/FF; D/FF; T/FF đúng yêu cầu.	6
Thái độ	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	2

## Bài 8 : Mạch đếm nhị phân

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được cấu trúc, nguyên tắc hoạt động mạch đếm nhị phân.

\* *Kỹ năng:*

- Lắp ráp, kiểm tra được sự hoạt động của một số mạch đếm nhị phân theo yêu cầu kỹ thuật.

kênh theo yêu cầu kỹ thuật

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

### 1. Mạch đếm không đồng bộ.

#### 1.1. Khái quát chung.

- Đếm trong hệ nhị phân là sự thay đổi tuần tự các tổ hợp trạng thái nhị phân theo một trình tự nào đó.

- Mạch đếm hay còn gọi là bộ đếm là mạch điện số được xây dựng để tạo ra thay đổi tuần tự các tổ hợp trạng thái nhị phân theo một trình tự nào đó mỗi khi có một tín hiệu kích thích (*xung đếm*) mang đến.

- Các phần tử cơ bản cấu trúc lên mạch đếm chính là các phần tử FF, mỗi một phần tử FF sẽ đại diện cho 1 bit nhị phân của tổ hợp mã của mạch đếm. Vì vậy nếu từ mã nhị phân của mạch đếm có độ dài n bit thì cần phải có n phần tử FF.

- Phân loại mạch đếm:

+ Mạch đếm tăng (*thuận*), mạch đếm giảm (*ngược*) (theo qui luật biến đổi giá trị)

+ Mạch đếm đồng bộ, đếm không đồng bộ (*theo nguyên tắc làm việc*)

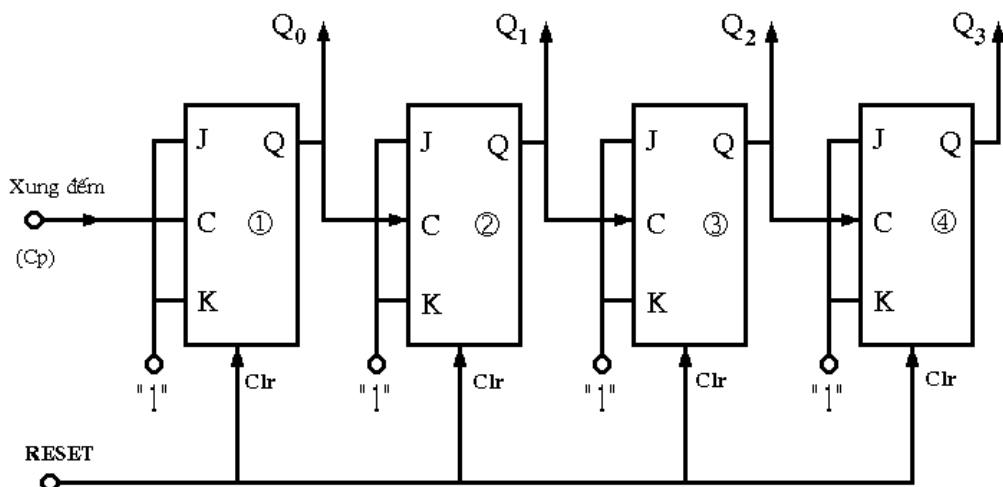
+ Mạch đếm 10; 12; 100... (*gọi theo dung lượng*);

+ Mạch đếm vòng, đếm lập trình... (*gọi theo chức năng*);

+ Mạch đếm BCD, đếm Johnson... (*gọi theo mã bộ đếm*)

#### 1.2. Mạch đếm tăng (4 bit).

1.2.1. Sơ đồ cấu trúc.



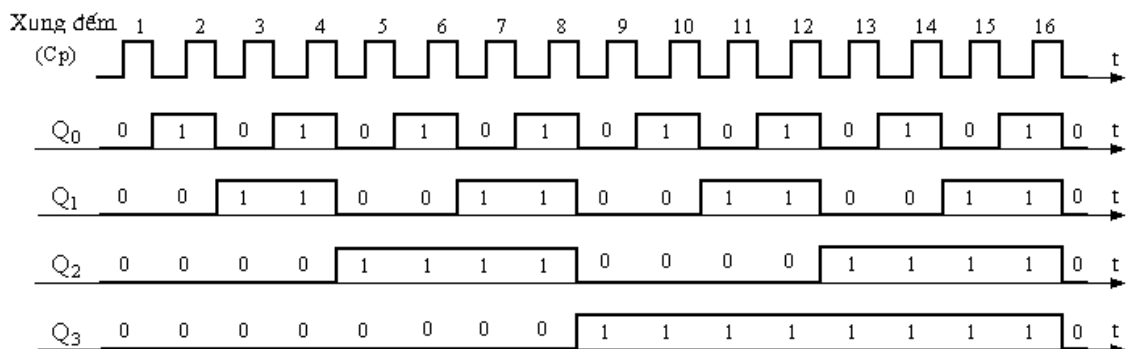
Hình 8.1: Sơ đồ cấu trúc của mạch đếm tăng không đồng bộ 4 bit

- Bộ đếm sử dụng 4 phần tử JK/FF đồng bộ, mỗi một JK/FF phụ trách 1 bit.

- Các JK/FF được mắc nối tiếp nhau trong đó lối ra Q của FF này lại được đưa vào kích thích cho các FF tiếp theo. Đây chính là đặc điểm của mạch làm việc ở chế độ không đồng bộ tức là các JK/FF không chuyển trạng thái được đồng thời mà sự chuyển trạng thái của FF này lại kích thích cho sự chuyển trạng thái của FF tiếp theo.
- Các lối vào J-K của các FF đều được ghim ở mức logic1- mức cao H (được nối với nguồn +5VDC). Do vậy các JK/FF làm việc ở chế độ đầu ra Q sẽ lật trạng thái khi có tín hiệu xung nhịp đưa vào kích thích. Thời điểm lật trạng thái sẽ rơi vào sườn âm của xung kích thích (sườn sau xung).
- Tín hiệu RESET được đưa vào các lối vào Clr (Clear) của các JK/FF. Điều này cưỡng bức cho tất cả các FF đồng thời trở về logic0.

### 1.2.2. Nguyên lý làm việc.

- Giả sử tại thời gian ban đầu, các lối ra Q của các FF đều ở trạng thái 0 -->  $Q_3Q_2Q_1Q_0 = 0000$  --> qui đổi ra số thập phân là 0.
- Xung đếm đầu tiên được đưa vào và khi kết thúc xung - thời điểm sườn sau xung --> lối ra  $Q_0$  của JK/FF-1 lật trạng thái -->  $Q_0 = 1$  và lưu giữ ở trạng thái này vì khi đó xung kích thích đã về 0. Các FF phía sau là FF-2; FF-3; FF-4 vẫn giữ nguyên trạng thái ban đầu. Như vậy kết thúc xung đếm đầu tiên, ta có các trạng thái  $Q_3Q_2Q_1Q_0 = 0001$  --> qui đổi ra số thập phân là 1.
- Xung đếm thứ 2 được đưa vào và khi kết thúc xung - thời điểm sườn sau xung --> lối ra  $Q_0$  của JK/FF-1 lại lật trạng thái -->  $Q_0 = 0$ . Xung  $Q_0$  này lại kích thích cho FF-2 tại thời điểm sườn sau xung --> lối ra  $Q_1$  của JK/FF-2 lật trạng thái -->  $Q_1 = 1$  và lưu giữ ở trạng thái này vì khi đó xung  $Q_0$  đã về 0. Các FF phía sau là FF-3; FF-4 vẫn giữ nguyên trạng thái ban đầu. Như vậy kết thúc xung đếm đầu tiên, ta có các trạng thái  $Q_3Q_2Q_1Q_0 = 0010$  --> qui đổi ra số thập phân là 2.
- Khi xung đếm được đưa liên tục vào và cứ theo diễn biến như sự kích thích trên, trạng thái của các lối ra  $Q_3, Q_2, Q_1, Q_0$  sẽ liên tục thay đổi trạng thái theo qui luật tăng dần giá trị từ 0000 --> 1111 (từ 0 thập phân đến 15 thập phân) và sau đó lại trở về trạng thái 0000 như ban đầu, mạch lại đếm lại từ đầu.
- Biểu đồ dạng sóng:



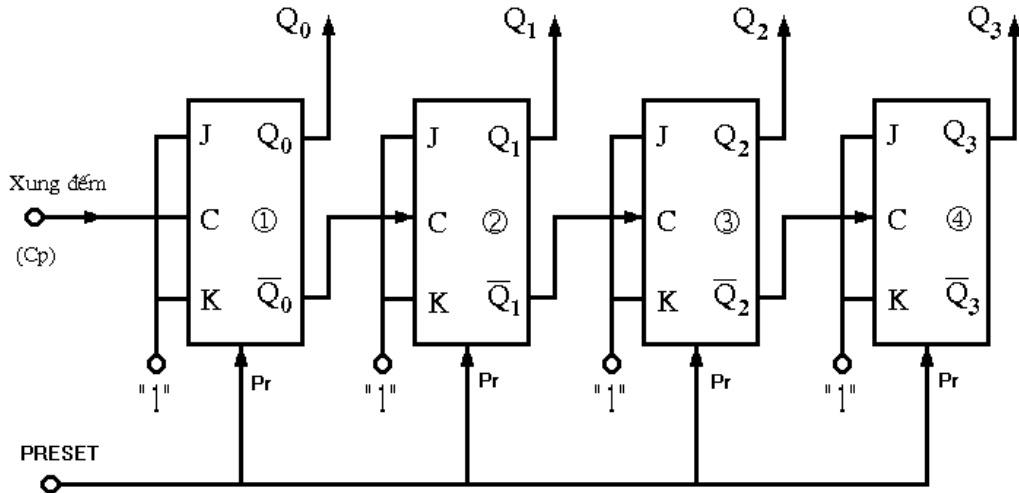
Hình 8.2: Biểu đồ dạng sóng của mạch đếm tăng không đồng bộ (4 bit)

- Nhận xét:
- + Sự thay đổi trạng thái của các JK/FF chỉ xảy ra ở sườn âm (sườn sau) của xung kích thích. Hay nói một cách tổng quát là trạng thái  $Q_i$  thay đổi khi bậc thấp kế tiếp nó chuyển trạng thái từ 1-->0

- + So với xung đếm thì tần số các xung tại các đầu ra  $Q_i$  của bộ đếm sẽ giảm đi  $2^{(i+1)}$  lần.
- + Ngoài chức năng đếm, mạch đếm còn được ứng dụng làm mạch chia tần số.

### 1.3. Mạch đếm giảm.

#### 1.3.1. Sơ đồ cấu trúc.



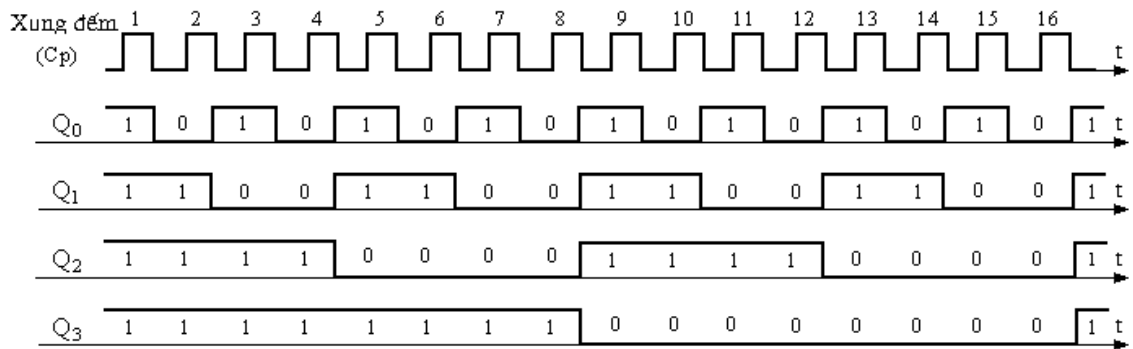
Hình 8.3: Sơ đồ cấu trúc của mạch đếm giảm không đồng bộ 4 bit.

Cấu trúc mạch hoàn toàn tương tự như ở mạch đếm thuận nhưng có 2 điểm khác biệt.

- Tín hiệu kích thích các FF phía sau được lấy từ lồi ra  $\bar{Q}$  của FF trước.
- Tín hiệu PRESET được đưa tới các lồi vào Pr (Preset) của các JK/FF. Điều này cưỡng bức cho tất cả các FF đồng thời lên logic 1.

#### 1.3.2. Nguyên lý làm việc.

- Giả sử tại thời gian ban đầu, các lồi ra Q của các FF đều ở trạng thái 1 -->  $Q_3Q_2Q_1Q_0 = 1111$  --> qui đổi ra số thập phân là 15.
- Xung đếm đầu tiên được đưa vào và khi kết thúc xung - thời điểm sườn sau xung --> lồi ra  $Q_0$  của JK/FF-1 lật trạng thái -->  $Q_0 = 0$  và lưu giữ ở trạng thái này vì khi đó xung kích thích đã về 0. Điều này tương đương với lồi ra  $\bar{Q}_0$  đang ở trạng thái 1. Các FF phía sau là FF-2; FF-3; FF-4 vẫn giữ nguyên trạng thái ban đầu. Như vậy kết thúc xung đếm đầu tiên, ta có các trạng thái  $Q_3Q_2Q_1Q_0 = 1110$  --> qui đổi ra số thập phân là 14.
- Xung đếm thứ 2 được đưa vào và khi kết thúc xung - thời điểm sườn sau xung --> lồi ra  $Q_0$  của JK/FF-1 lại lật trạng thái -->  $Q_0 = 1$ . Điều này tương đương với lồi ra  $\bar{Q}_0$  trở về 0 -->  $\bar{Q}_0 = 0$ , Xung  $\bar{Q}_0$  này sẽ kích thích cho FF-2 tại thời điểm sườn sau xung --> lồi ra  $Q_1$  của JK/FF-2 lật trạng thái -->  $Q_1 = 0$  và lưu giữ ở trạng thái này vì khi đó xung  $\bar{Q}_0$  đã về 0. Các FF phía sau là FF-3; FF-4 vẫn giữ nguyên trạng thái ban đầu. Như vậy kết thúc xung đếm đầu tiên, ta có các trạng thái  $Q_3Q_2Q_1Q_0 = 1101$  --> qui đổi ra số thập phân là 13.
- Khi xung đếm được đưa liên tục vào và cứ theo diễn biến như sự kích thích trên, trạng thái của các lồi ra  $Q_3, Q_2, Q_1, Q_0$  sẽ liên tục thay đổi trạng thái theo qui luật giảm dần giá trị từ 1111 --> 0000 (từ 15 thập phân về 0 thập phân) và sau đó lại trở về trạng thái 1111 như ban đầu, mạch lại đếm lại từ đầu.
- Biểu đồ dạng sóng:



Hình 8.4: Biểu đồ dạng sóng của mạch đếm giảm không đồng bộ (4 bit)

- Nhận xét: Sự thay đổi trạng thái của các lõi ra  $Q_i$  của các JK/FF khi lõi ra của bậc thấp kế tiếp nó là  $Q_{i-1}$  chuyển trạng thái từ 0-->1

## 2. Mạch đếm đồng bộ

### 2.1. Khái quát chung.

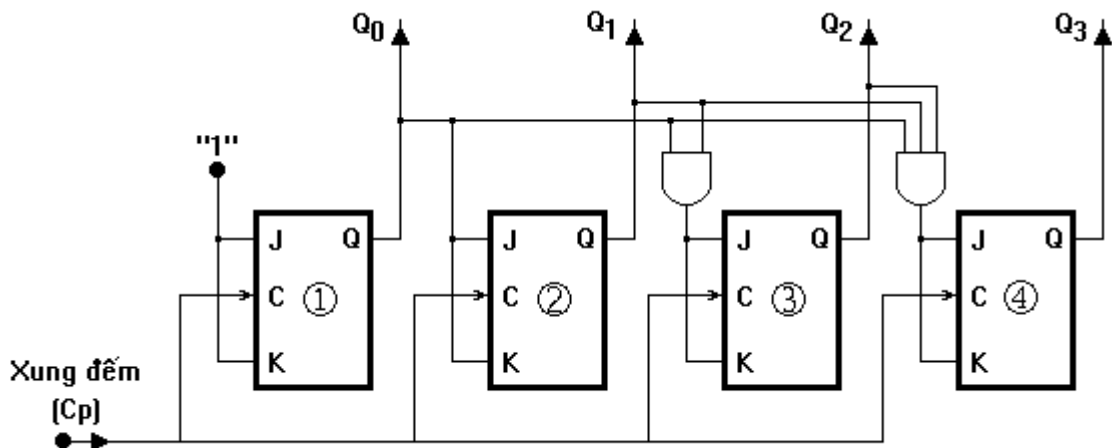
- Đếm không đồng bộ và đếm đồng bộ là 2 nguyên tắc khác biệt chỉ rõ về điều kiện lật trạng thái của các phần tử FF cấu thành mạch đếm.

- Mạch đếm không đồng bộ: Như trên đã nêu về đặc điểm của mạch làm việc ở chế độ không đồng bộ. Mạch đếm không đồng bộ là mạch đếm mà các FF không chuyển trạng thái đồng thời mà sự chuyển trạng thái của FF này lại kích thích cho sự chuyển trạng thái của FF tiếp theo.

- Mạch đếm đồng bộ: Mạch đếm đồng bộ là mạch đếm mà các FF chuyển trạng thái một cách đồng thời, sự chuyển trạng thái của FF đứng sau phụ thuộc vào tất cả các FF đứng trước nó và phụ thuộc vào xung đếm hay nói một cách khác khi có xung đếm xuất hiện thì tất cả các FF có đủ điều kiện sẽ đồng thời lật trạng thái.

### 2.2. Mạch đếm tăng (4 bit).

#### 2.2.1. Sơ đồ cấu trúc.



Hình 8.3: Sơ đồ cấu trúc của mạch đếm tăng đồng bộ 4 bit

- Mạch sử dụng 4 JK/FF đồng bộ, J-K của từng FF được nối chung nhau.

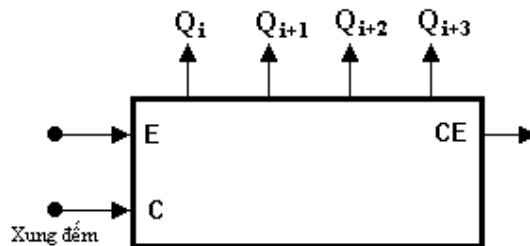
- Xung đếm được đưa đồng thời vào các lõi vào xung nhịp của các JK/FF.

- JK/FF chỉ lật trạng thái khi các lõi vào J-K của nó bằng 1 và khi có xung đếm mang đến.

- + J-K của FF-1 luôn được ghim ở mức logic 1
- + J-K của FF-2 chỉ bằng 1 khi  $Q_0 = 1$ .
- + J-K của FF-3 chỉ bằng 1 khi  $Q_0 = Q_1 = 1$ .
- + J-K của FF-4 chỉ bằng 1 khi  $Q_0 = Q_1 = Q_2 = 1$ .

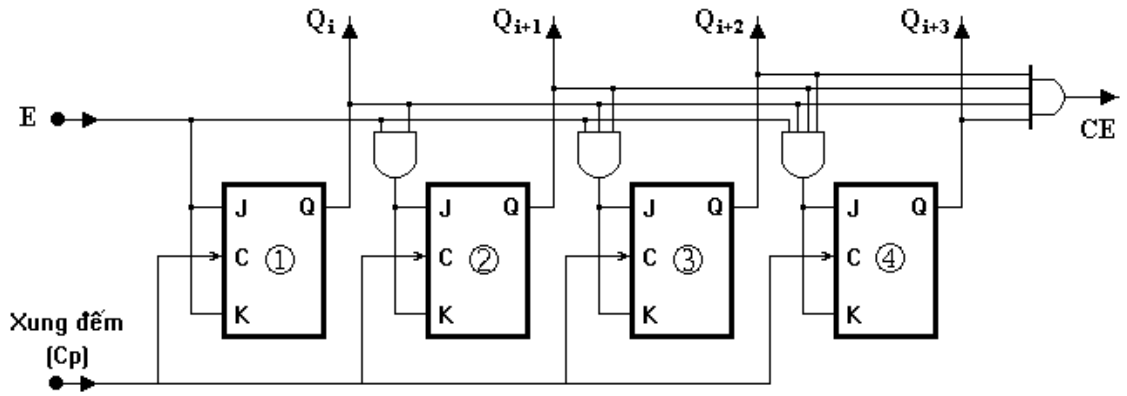
### 2.2.2. Nguyên lý làm việc.

- Khi  $J_i = K_i = 0$  --> các FF sẽ ở trạng thái nhớ --> lỗi ra  $Q_i$  của nó sẽ không lật trạng thái đối với xung đếm mang đến.
- Khi  $J_i = K_i = 1$  --> các FF sẽ thay đổi trạng thái khi có xung đếm mang đến.
- JK/FF-1 sẽ liên tục lật trạng thái khi có xung đếm mang đến vì lỗi vào J-K của nó luôn bằng 1.
- Giả sử tại thời gian ban đầu, các lỗi ra Q của các FF đều ở trạng thái 0 -->  $Q_3Q_2Q_1Q_0 = 0000$  --> qui đổi ra số thập phân là 0.
- Xung đếm đầu tiên được đưa vào tất cả các FF, khi kết thúc xung- thời điểm sườn sau xung --> chỉ có lỗi ra  $Q_0$  của JK/FF-1 lật trạng thái -->  $Q_0 = 1$ . --> ta có  $Q_3Q_2Q_1Q_0 = 0001$  --> qui đổi ra số thập phân là 1. Thời điểm này J-K của FF-2 bằng 1 vì  $Q_0 = 1$ , nó sẵn sàng lật trạng thái khi có xung đếm mang đến.
- Xung đếm thứ hai được đưa vào tất cả các FF, khi kết thúc xung- thời điểm sườn sau xung --> chỉ có lỗi ra  $Q_0$  và  $Q_1$  của FF-1 và FF-2 lật trạng thái -->  $Q_1 = 1; Q_0 = 0$  --> ta có  $Q_3Q_2Q_1Q_0 = 0010$  --> qui đổi ra số thập phân là 2.
- Khi xung đếm được đưa liên tục vào và cứ theo diễn biến như sự kích thích và điều kiện lật trạng thái nêu trên, trạng thái của các lỗi ra  $Q_3, Q_2, Q_1, Q_0$  sẽ liên tục thay đổi trạng thái theo qui luật tăng dần giá trị từ 0000 --> 1111 (từ 0 thập phân đến 15 thập phân) và sau đó lại trở về trạng thái 0000, mạch lại đếm lại từ đầu.
- Chú ý: Khi muốn tăng dung lượng đếm, ta phải tăng số phần tử FF nhưng khi đó số lỗi vào cho cổng AND sẽ tăng lên, gây quá tải cho đầu vào cổng AND. Vì vậy trong thực tế người ta thường sử dụng phương pháp dùng các nhóm đếm phối hợp nhau, mỗi một nhóm đếm gồm 4 phần tử FF.



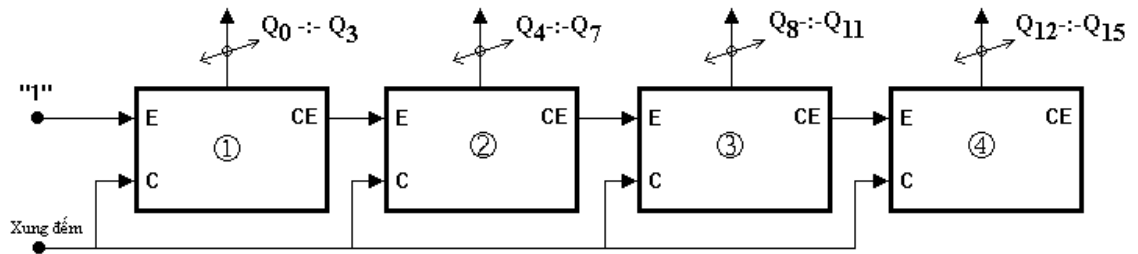
Hình 8.4: Sơ đồ khối của nhóm đếm tăng đồng bộ 4 bit

- E (Enable) : Lỗi vào cho phép nhóm đếm hoạt động.
- C (Counter): Lỗi vào cho xung đếm.
- CE : (Carry enable) : Lỗi ra đưa tín hiệu cho phép đếm đến nhóm đếm tiếp theo.
- $Q_i, Q_{i+1}, Q_{i+2}, Q_{i+3}$  : 4 lỗi ra đặc trưng cho tổ hợp mã nhị phân 4 bit của mạch đếm.



Hình 8.5: Sơ đồ cấu trúc của nhóm đếm tăng đồng bộ 4 bit

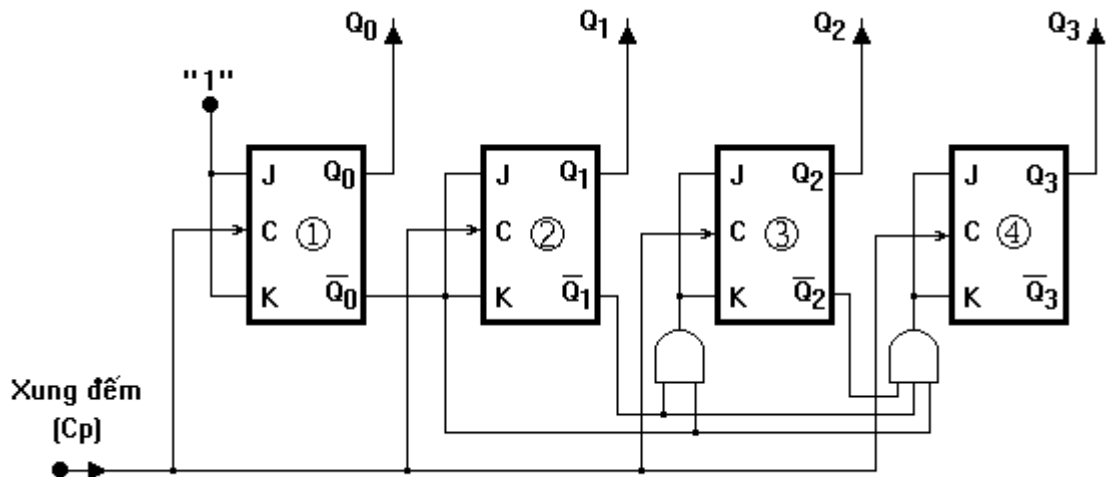
- Khi nhóm đếm đã đếm đầy, các lối ra của nhóm đếm  $Q_{i+3}Q_{i+2}Q_{i+1}Q_i = 1111$ , khi đó lối ra  $CE = 1$ . Đây là tín hiệu cho phép đếm đến nhóm đếm tiếp theo.



Hình 8.6: Sơ đồ mắc phối hợp của 4 nhóm đếm tăng nhau.

### 2.3. Mạch đếm giảm (4 bit).

#### 2.3.1. Sơ đồ cấu trúc.



Hình 8.7: Sơ đồ cấu trúc của mạch đếm giảm đồng bộ 4 bit

- Các lối vào kích thích cho các JK/FF phía sau được lấy từ các lối ra  $\bar{Q}$  của các JK/FF đứng trước.
- Xung đếm được đưa đồng thời vào các lối vào xung nhịp của các JK/FF.
- JK/FF chỉ lật trạng thái khi các lối vào J-K của nó bằng 1 và khi có xung đếm mang đến.
- + J-K của FF-1 luôn được ghim ở mức logic 1

- + J-K của FF-2 chỉ bằng 1 khi  $Q_0 = 0 \rightarrow \overline{Q_0} = 1$ .
- + J-K của FF-3 chỉ bằng 1 khi  $Q_0 = Q_1 = 0 \rightarrow \overline{Q_0} = \overline{Q_1} = 1$
- + J-K của FF-4 chỉ bằng 1 khi  $Q_0 = Q_1 = Q_2 = 0 \rightarrow \overline{Q_0} = \overline{Q_1} = \overline{Q_2} = 1$

### 2.3.2. Nguyên lý làm việc.

- Giả sử tại thời gian ban đầu, các lối ra Q của các FF đều ở trạng thái 1  $\rightarrow Q_3Q_2Q_1Q_0 = 1111 \rightarrow$  qui đổi ra số thập phân là 15.
- Xung đếm đầu tiên được đưa vào tất cả các FF, khi kết thúc xung-thời điểm sườn sau xung  $\rightarrow$  chỉ có lối ra  $Q_0$  của JK/FF-1 lật trạng thái  $\rightarrow Q_0 = 0$ .  $\rightarrow$  ta có  $Q_3Q_2Q_1Q_0 = 1110 \rightarrow$  qui đổi ra số thập phân là 14. Thời điểm này J-K của FF-2 bằng 1 vì  $\overline{Q_0} = 1$ , nó sẵn sàng lật trạng thái khi có xung đếm mang đến.
- Xung đếm thứ hai được đưa vào tất cả các FF, khi kết thúc xung- thời điểm sườn sau xung  $\rightarrow$  chỉ có lối ra  $Q_0$  và  $Q_1$  của FF-1 và FF-2 lật trạng thái  $\rightarrow Q_1 = 0; Q_0 = 1 \rightarrow$  ta có  $Q_3Q_2Q_1Q_0 = 1101 \rightarrow$  qui đổi ra số thập phân là 13.
- Khi xung đếm được đưa liên tục vào và cứ theo diễn biến như sự kích thích và điều kiện lật trạng thái nêu trên, trạng thái của các lối ra  $Q_3, Q_2, Q_1, Q_0$  sẽ liên tục thay đổi trạng thái theo qui luật giảm dần giá trị từ 1111  $\rightarrow$  0000 (từ 15 thập phân đến 0 thập phân) và sau đó lại trở về trạng thái 1111, mạch lại đếm lại từ đầu.

## 3. Lắp ráp, khảo sát các mạch đếm dùng IC.

### 3.1. Mạch đếm 10

#### a. Nội dung:

- Tìm hiểu cấu trúc, chức năng các chân của IC 7490
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đếm 10 dùng IC .

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### c. Bảng thiết bị, vật tư.

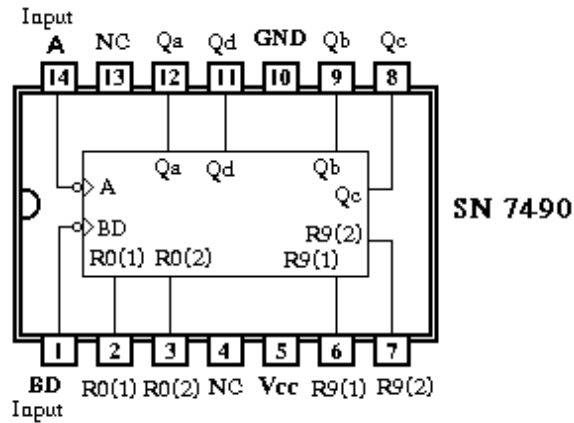
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC đếm 10	IC 7490 hoặc tương đương	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 8.1: Bảng thiết bị, vật tư khảo sát mạch đếm 10 dùng IC 7490

#### d. Quy trình thực hiện.

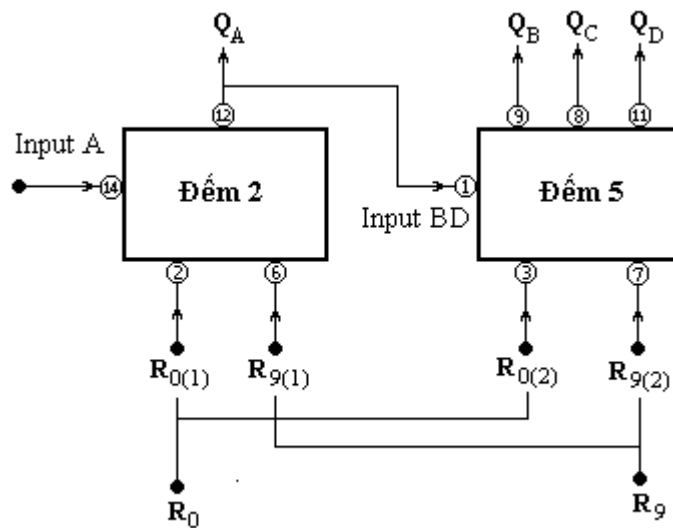
- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu cấu trúc của IC 7490.
- + PIN 5 :  $V_{cc} = +5V$
- + PIN 10 : GND
- + PIN 12 : Lối ra  $Q_a$  (bit LSB).
- + PIN 9 : Lối ra  $Q_b$
- + PIN 8 : Lối ra  $Q_c$
- + PIN 11 : Lối ra  $Q_d$





Hình 8.8: Cấu trúc của IC-7490

- + PIN 14 : đưa xung đếm vào FF-A
- + PIN 1 : Đưa xung đếm vào FF-BCD.
- + PIN 2 :  $R_{0(1)}$  lối đưa tín hiệu xóa vào FF-A
- + PIN 3 :  $R_{0(2)}$  lối đưa tín hiệu xóa FF-BCD.
- + PIN 6 :  $R_{9(1)}$  lối đưa tín hiệu set cho FF-A
- + PIN 7 :  $R_{9(2)}$  lối đưa tín hiệu set cho FF-BCD
- + PIN 4 ;13 : không dùng



Hình 8.9: Kết nối sử dụng IC 7490

- Cấu trúc bên trong của IC bao gồm 2 bộ đếm
- + Bộ đếm 2 (dùng FF-A) : Vào Input A --> ra  $Q_A$
- + Bộ đếm 5 (dùng FF-BCD) : Vào Input BD --> ra  $Q_B, Q_C, Q_D$
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đếm 10.
- + Kết nối chân 2 và 3 để tạo thành một lối vào duy nhất là  $R_0$ .
- + Kết nối chân 6 và 7 để tạo thành một lối vào duy nhất là  $R_9$ .
- + Kết nối từ chân 12 tới chân 1 để lấy tín hiệu kích thích cho mạch đếm 5.
- + Kết nối các đầu ra  $Q_D, Q_C, Q_B, Q_A$  tới các lối vào D,C,B,A của hiển thị 7 vạch trên máy thực tập.
- + Kết nối chân 14 (Input A) với Jack cấp nguồn dao động 1Hz

+ Đưa các lồi vào  $R_0$  và  $R_1$  xuống mức thấp (L) là mức cho phép mạch hoạt động.

+ Quan sát sự hiển thị của LED 7 vạch.

- Đưa lồi vào  $R_0$  lên mức cao (H), quan sát trạng thái hiển thị của LED 7 vạch và đưa ra kết luận về chức năng của lồi vào  $R_0$ .

- Đưa lồi vào  $R_9$  lên mức cao (H), quan sát trạng thái hiển thị của LED 7 vạch và đưa ra kết luận về chức năng của lồi vào  $R_9$ .

### 3.2. Mạch đếm 12

a. Nội dung:

- Tìm hiểu cấu trúc, chức năng các chân của IC 7492

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đếm 12 dùng IC .

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

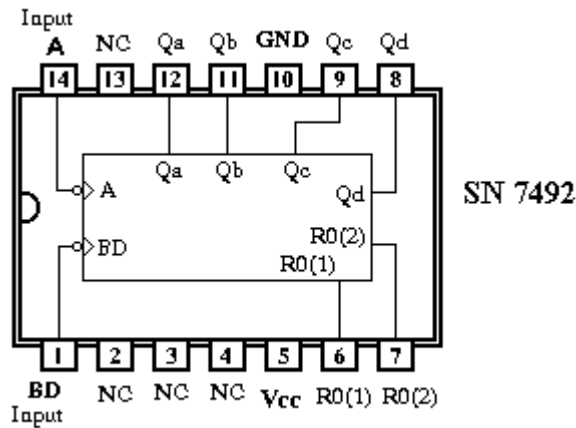
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC đếm 12	IC 7492 hoặc tương đương	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 8.2: Bảng thiết bị, vật tư khảo sát mạch đếm 12 dùng IC 7492

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.

- Tìm hiểu cấu trúc của IC 7492.



Hình 8.10: Cấu trúc của IC-7492

+ PIN 5 :  $V_{cc} = +5V$

+ PIN 10 : GND

+ PIN 12 : Lồi ra  $Q_a$  (bit LSB).

+ PIN 11 : Lồi ra  $Q_b$

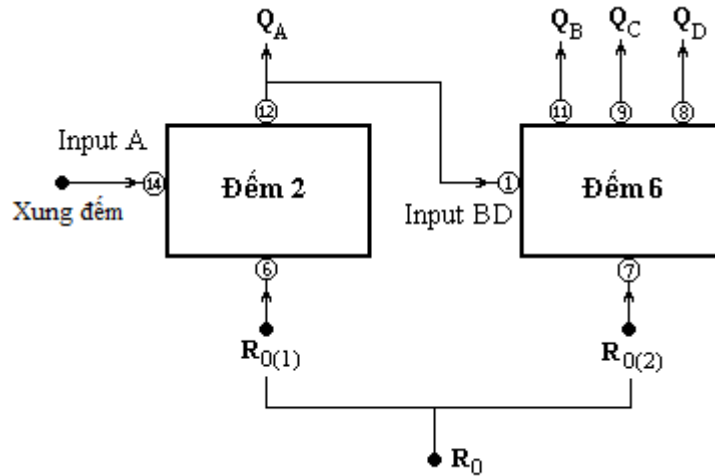
+ PIN 9 : Lồi ra  $Q_c$

+ PIN 8 : Lồi ra  $Q_d$

+ PIN 14 : đưa xung đếm vào FF-A

+ PIN 1 : Đưa xung đếm vào FF-BCD.

- + PIN 6 :  $R_{0(1)}$  lối đưa tín hiệu xóa vào FF-A
- + PIN 7 :  $R_{0(2)}$  lối đưa tín hiệu xóa FF-BCD.
- + PIN 2, 3, 4 ;13 : không dùng.



Hình 8.11: Kết nối sử dụng IC 7492

- Cấu trúc bên trong của IC bao gồm 2 bộ đếm
- + Bộ đếm 2 (dùng FF-A) : Vào Input A --> ra  $Q_A$
- + Bộ đếm 6 (dùng FF-BCD) : Vào Input BD --> ra  $Q_B, Q_C, Q_D$
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đếm 12.
- + Kết nối chân 6 và 7 để tạo thành một lối vào duy nhất là  $R_0$ .
- + Kết nối từ chân 12 tới chân 1 để lấy tín hiệu kích thích cho mạch đếm 6.
- + Kết nối các đầu ra  $Q_D, Q_C, Q_B, Q_A$  tới các lối vào D,C,B,A của hiển thị 7 vạch trên máy thực tập.
- + Kết nối chân 14 (Input A) với Jack cấp nguồn dao động 1Hz.
- + Đưa lối vào  $R_0$  xuống mức thấp (L), là mức cho phép mạch hoạt động.
- + Quan sát sự hiển thị của LED 7 vạch.
- + Đưa lối vào  $R_0$  lên mức cao (H), quan sát trạng thái hiển thị của LED 7 vạch và đưa ra kết luận về chức năng của lối vào  $R_0$ .

### 3.3. Mạch đếm 16

#### a. Nội dung:

- Tìm hiểu cấu trúc, chức năng các chân của IC 7493.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đếm 16 dùng IC.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

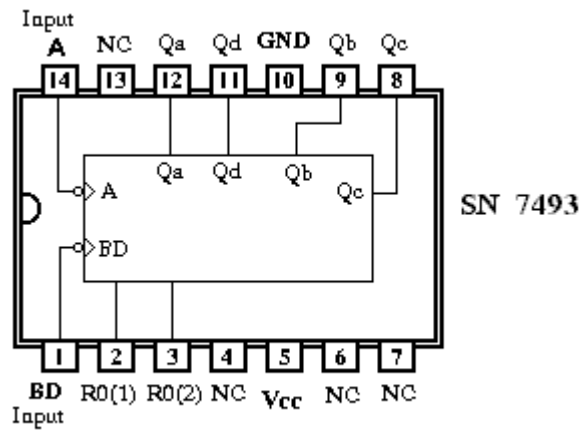
#### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC đếm 16	IC 7493 hoặc tương đương	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 8.3: Bảng thiết bị, vật tư khảo sát mạch đếm 16 dùng IC 7493

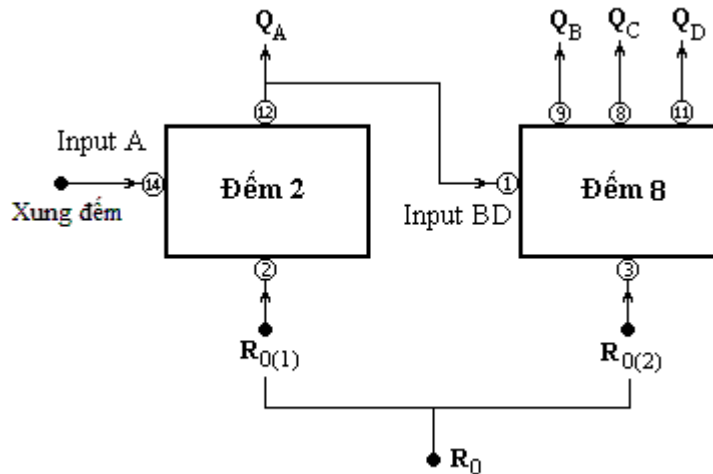
#### d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu cấu trúc của IC 7493.



Hình 8.12: Cấu trúc của IC-7493

- + PIN 5 :  $V_{cc} = +5V$
- + PIN 10 : GND
- + PIN 12 : Lõi ra  $Q_a$  (bit LSB).
- + PIN 9 : Lõi ra  $Q_b$
- + PIN 8 : Lõi ra  $Q_c$
- + PIN 11 : Lõi ra  $Q_d$
- + PIN 14 : đưa xung đếm vào FF-A
- + PIN 1 : Đưa xung đếm vào FF-BCD.
- + PIN 2 :  $R_{0(1)}$  lõi đưa tín hiệu xóa vào FF-A
- + PIN 3 :  $R_{0(2)}$  lõi đưa tín hiệu xóa FF-BCD.
- + PIN 4; 6; 7; 13 : không dùng.



Hình 8.13: Kết nối sử dụng IC 7493

- Cấu trúc bên trong của IC bao gồm 2 bộ đếm
- + Bộ đếm 2 (dùng FF-A) : Vào Input A --> ra  $Q_A$
- + Bộ đếm 8 (dùng FF-BCD) : Vào Input BD --> ra  $Q_B, Q_C, Q_D$
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đếm 16.
- + Kết nối chân 2 và 3 để tạo thành một lõi vào duy nhất là  $R_0$ .
- + Kết nối từ chân 12 tới chân 1 để lấy tín hiệu kích thích cho mạch đếm 8.

- + Kết nối các đầu ra  $Q_D, Q_C, Q_B, Q_A$  tới các lối vào D,C,B,A của hiển thị 7 vạch trên máy thực tập.
- + Kết nối chân 14 (Input A) với Jack cấp nguồn dao động 1Hz
- + Đưa các lối vào  $R_0$  xuống mức thấp (L), là mức cho phép mạch hoạt động.
- + Quan sát sự hiển thị của LED 7 vạch.
- Đưa lối vào  $R_0$  lên mức cao (H), quan sát trạng thái hiển thị của LED 7 vạch và đưa ra kết luận về chức năng của lối vào  $R_0$ .

### Đánh giá kết quả

Mục tiêu	Nội dung	Điểm
Kiến thức	Phân tích được nguyên lý hoạt động và bảng chân lý của các mạch đếm cơ bản.	2
Kỹ năng	Lắp ráp, kiểm tra được sự hoạt động của mạch đếm 10; 12; 16 dùng IC chức năng.	6
Thái độ	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	2

### 3.4 Mạch đếm vòng (4 bit).

#### 3.4.1 Khái quát chung

##### a. Khái niệm:

- Mạch đếm vòng là mạch đếm có bit 1 dịch chuyển lần lượt và tuần hoàn
- Có 2 loại mã thường được sử dụng là mã vòng và mã vòng xoắn (Johnson)

##### b. Bảng mã vòng của mạch đếm.

	2 bit	4 bit	6 bit	8 bit	n bit
	$Q_0Q_1$	$Q_0Q_1Q_2Q_3$	$Q_0Q_1Q_2Q_3Q_4Q_5$	$Q_0Q_1Q_2Q_3Q_4Q_5Q_6Q_7$	
<b>Mã vòng</b>	1 0	1 0 0 0	1 0 0 0 0 0	1 0 0 0 0 0 0 0	
	0 1	0 1 0 0	0 1 0 0 0 0	0 1 0 0 0 0 0 0	
		0 0 1 0	0 0 1 0 0 0	0 0 1 0 0 0 0 0	
		0 0 0 1	0 0 0 1 0 0	0 0 0 1 0 0 0 0	
			0 0 0 0 1 0	0 0 0 0 1 0 0 0	
			0 0 0 0 0 1	0 0 0 0 0 1 0 0	
				0 0 0 0 0 0 1 0	
				0 0 0 0 0 0 0 1	
<b>Mã vòng xoắn (mã Johnson)</b>	2 bit	4 bit	6 bit	8 bit	n bit
	$Q_0Q_1$	$Q_0Q_1Q_2Q_3$	$Q_0Q_1Q_2Q_3Q_4Q_5$	$Q_0Q_1Q_2Q_3Q_4Q_5Q_6Q_7$	
	0 0	0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0 0 0	
	1 0	1 0 0 0	1 0 0 0 0 0	1 0 0 0 0 0 0 0	
	1 1	1 1 0 0	1 1 0 0 0 0	1 1 0 0 0 0 0 0	
	0 1	1 1 1 0	1 1 1 0 0 0	1 1 1 0 0 0 0 0	
		1 1 1 1	1 1 1 1 0 0	1 1 1 1 0 0 0 0	
		0 1 1 1	1 1 1 1 1 0	1 1 1 1 1 0 0 0	
		0 0 1 1	1 1 1 1 1 1	1 1 1 1 1 1 0 0	
		0 0 0 1	0 1 1 1 1 1	1 1 1 1 1 1 1 0	
		0 0 1 1 1 1	1 1 1 1 1 1 1 1		
		0 0 0 1 1 1	0 1 1 1 1 1 1 1		

			0 0 0 0 1 1	0 0 1 1 1 1 1 1	
			0 0 0 0 0 1	0 0 0 1 1 1 1 1	
				0 0 0 0 1 1 1 1	
				0 0 0 0 0 1 1 1	
				0 0 0 0 0 0 1 1	
				0 0 0 0 0 0 0 1	

Bảng 8.4: Bảng mã vòng và mã vòng xoắn

c. Đặc điểm:

- Mã vòng

+ 1 từ mã nhị phân có độ dài n bit có thể mã hóa n trạng thái.

+ Hai từ mã kế cận nhau luôn khác nhau ở 2 biến.

+ Trong 1 từ mã chỉ có duy nhất 1 bit bằng 1, các bit khác đều bằng 0. Bit 1 được dịch chuyển từ bit nhỏ nhất (LSB) đến bit lớn nhất (MSB) tạo thành một vòng khép kín.

- Mã vòng xoắn (mã Johnson)

+ 1 từ mã nhị phân có độ dài n bit có thể mã hóa 2n trạng thái.

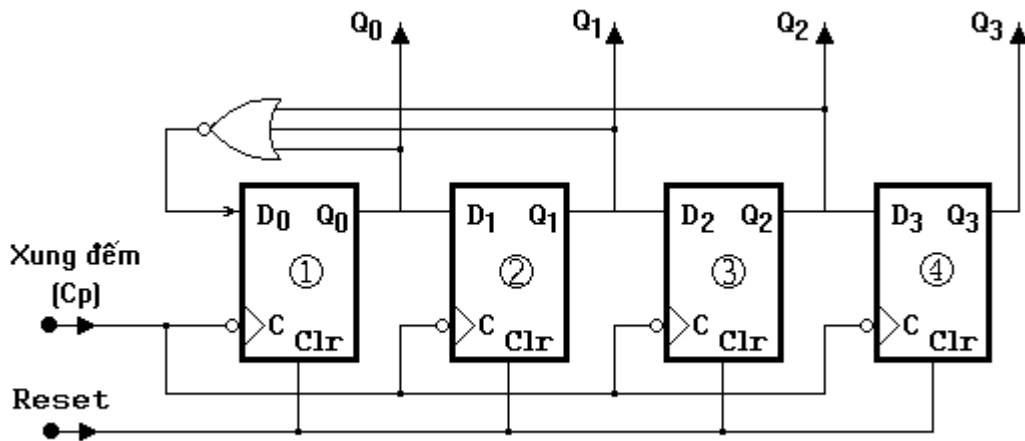
+ Hai từ mã kế cận nhau luôn khác nhau ở 1 biến.

+ Bit 1 được đẩy dần lên bắt đầu từ bit nhỏ nhất (LSB) đến bit lớn nhất (MSB) và khi đã đầy hết thì nó lại rơi dần bắt đầu từ bit nhỏ nhất (LSB).

### 3.4.2 Cấu trúc, nguyên lý làm việc mạch đếm vòng

a. Mạch đếm vòng (4 bit)

- Cấu trúc mạch.



Hình 8.14 : Cấu trúc mạch đếm vòng 4 bit sử dụng D/FF đồng bộ

+ Mạch sử dụng 4 phần tử D/FF đồng bộ có lối vào xung nhịp ở mức tích cực là sườn âm xung (sườn sau).

+ Các lối ra  $Q_i$  của D/FF được đưa ra và đồng thời đưa vào cho lối vào  $D_{i+1}$  của FF tiếp theo.

$$D_0 = \overline{Q_0 + Q_1 + Q_2} = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}$$

$$D_1 = Q_0 \quad ; \quad D_2 = Q_1 \quad ; \quad D_3 = Q_2$$

+ Tín hiệu Reset được đưa vào tất cả các lối vào Clr của các D/FF

- Nguyên lý làm việc.

+ Giả sử tại thời điểm ban đầu, các lối ra  $Q_0Q_1Q_2Q_3 = 1000$

Ta có:  $D_0 = 0 ; D_1 = 1 ; D_2 = 0 ; D_3 = 0$ .

+ Xung đếm thứ 1 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 0100$  -->  $D_0 = 0 ; D_1 = 0 ; D_2 = 1 ; D_3 = 0$ .

+ Xung đếm thứ 2 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 0010$  -->  $D_0 = 0 ; D_1 = 0 ; D_2 = 0 ; D_3 = 1$ .

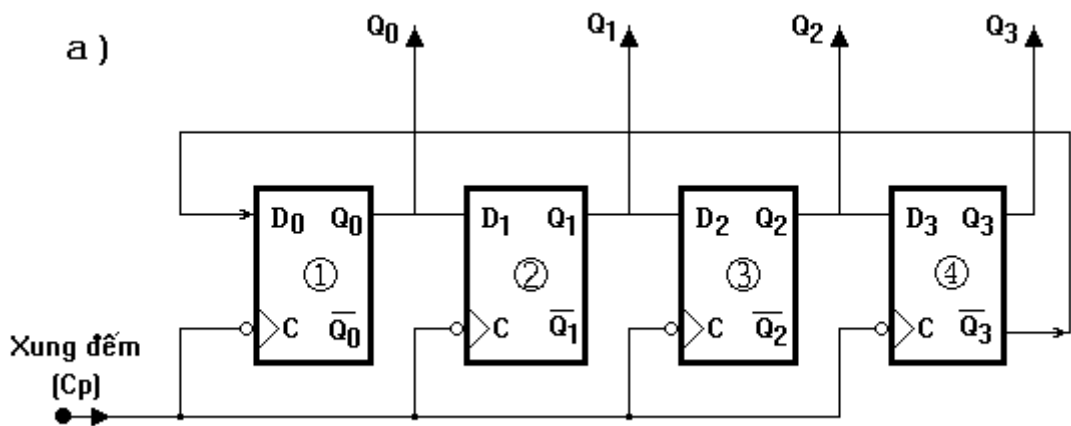
+ Xung đếm thứ 3 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 0001$  -->  $D_0 = 1 ; D_1 = 0 ; D_2 = 0 ; D_3 = 0$ .

+ Xung đếm thứ 4 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 1000$  -->  $D_0 = 0 ; D_1 = 0 ; D_2 = 0 ; D_3 = 1$ .  
Mạch lại trở về trạng thái đầu. Nếu xung đếm cứ tiếp tục được đưa vào thì mạch lại tiếp tục chu trình đếm lặp lại.

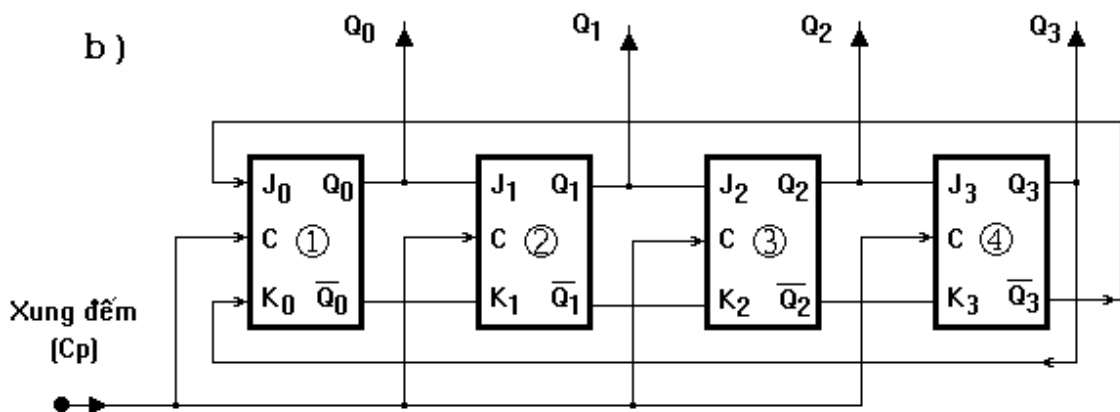
+ Khi đưa tín hiệu Reset thì mạch đếm lập tức quay trở về đếm lại từ đầu.

b. Mạch đếm vòng xoắn (4 bit)

- Cấu trúc mạch.



Hình 8.15 : Cấu trúc mạch đếm vòng xoắn 4 bit sử dụng D/FF đồng bộ



Hình 8.16 : Cấu trúc mạch đếm vòng xoắn 4 bit sử dụng JK/FF đồng bộ

Mạch có thể sử dụng các thể loại FF như D/FF; JK/FF như hình vẽ.

- Nguyên lý làm việc (Sơ đồ dùng D/FF)

+ Các lối vào D của các D/FF được lấy từ các lối ra Q phía trước

$$D_0 = \bar{Q}_3 ; D_1 = Q_0$$

$$D_2 = Q_1 ; D_3 = Q_2$$

+ Giả sử tại thời điểm ban đầu, các lối ra  $Q_0Q_1Q_2Q_3 = 0000$   
 Ta có:  $D_0 = 1 ; D_1 = 0 ; D_2 = 0 ; D_3 = 0$  .  
 + Xung đếm thứ 1 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 1000$  -->  $D_0 = 1 ; D_1 = 1 ; D_2 = 0 ; D_3 = 0$ .  
 + Xung đếm thứ 2 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 1100$  -->  $D_0 = 1 ; D_1 = 1 ; D_2 = 1 ; D_3 = 0$ .  
 + Xung đếm thứ 3 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 1110$  -->  $D_0 = 1 ; D_1 = 1 ; D_2 = 1 ; D_3 = 1$ .  
 + Xung đếm thứ 4 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 1111$  -->  $D_0 = 0 ; D_1 = 1 ; D_2 = 1 ; D_3 = 1$ .  
 + Xung đếm thứ 5 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 0111$  -->  $D_0 = 0 ; D_1 = 0 ; D_2 = 1 ; D_3 = 1$ .  
 + Xung đếm thứ 6 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 0011$  -->  $D_0 = 0 ; D_1 = 0 ; D_2 = 0 ; D_3 = 1$ .  
 + Xung đếm thứ 7 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 0001$  -->  $D_0 = 0 ; D_1 = 0 ; D_2 = 0 ; D_3 = 0$ .  
 + Xung đếm thứ 8 được đưa vào, khi kết thúc xung - thời điểm sườn âm xung --> Ta có  $Q_0Q_1Q_2Q_3 = 0000$  -->  $D_0 = 1 ; D_1 = 0 ; D_2 = 0 ; D_3 = 0$ .  
 Mạch lại trở về trạng thái đầu. Nếu xung đếm cứ tiếp tục được đưa vào thì mạch lại tiếp tục chu trình đếm lặp lại.

### 3.4.3 Lắp ráp, khảo sát mạch đếm vòng.

#### a. Nội dung:

- Tìm hiểu cấu trúc, chức năng các chân của IC 74175, IC 7427
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đếm vòng 4 bit .

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### c. Bảng thiết bị, vật tư.

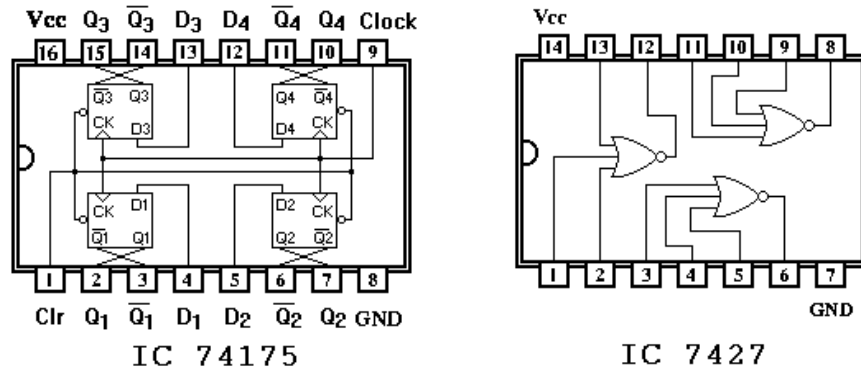
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC D/FF	IC 74175 hoặc tương đương	1 IC/ nhóm
3	IC cổng NOR 3 đầu vào	IC 7427 hoặc tương đương	1 IC/ nhóm
4	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
5	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 8.3: Bảng thiết bị, vật tư khảo sát mạch đếm vòng 4 bit

#### d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu cấu trúc của IC 74175 và IC 7427.
- + IC 74175 có chứa 4 phần tử D/FF đồng bộ có chung các lối vào Clr (Clear) và lối vào cho xung nhịp Clock (Ck). Trong đó tín hiệu xóa có mức tích cực thấp, xung kích thích có mức tích cực ở sườn dương.
- + PIN 16 :  $V_{cc} = +5V$
- + PIN 8 : GND
- + PIN 5 :  $V_{cc} = +5V$
- + PIN 1 : Lối vào xóa (Clr).
- + PIN 2 : Lối ra  $Q_1$  của FF-1.





Hình 8.16 : Cấu trúc IC 74175 và IC 7427

- + PIN 3 : Lối ra đảo của Q<sub>1</sub> của FF-1.
- + PIN 4 : Lối vào D<sub>1</sub> của FF-1.
- + PIN 5 : Lối vào D<sub>2</sub> của FF-2
- + PIN 6 : Lối ra đảo Q<sub>2</sub> của FF-2.
- + PIN 7 : Lối ra Q<sub>2</sub> của FF-2.
- + PIN 9 : Lối vào cho xung nhịp (Ck).
- + PIN 10 : Lối ra Q<sub>4</sub> của FF-4.
- + PIN 11 : Lối ra đảo của Q<sub>4</sub> của FF-4.
- + PIN 12 : Lối vào D<sub>4</sub> của FF-4.
- + PIN 13 : Lối vào D<sub>3</sub> của FF-3.
- + PIN 14 : Lối ra đảo Q<sub>3</sub> của FF-3.
- + PIN 15 : Lối ra Q<sub>3</sub> của FF-3.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đếm vòng 4 bit theo hai sơ đồ mạch đếm là mạch đếm vòng (Hình 8.14) và mạch đếm vòng xoắn (Hình 8.15)
- \* Mạch đếm vòng (Hình 8.14)
- + Kết nối các chân vào/ra của IC 7427 với IC 74175 như sơ đồ cấu trúc.
- + Đưa chân Clr lên mức cao (H) là mức cho phép mạch hoạt động.
- + Kết nối chân 9 (Clock) của IC 74175 với Jack cấp sườn dương xung kích thích.
- + Kích thích mạch từng xung một bằng cách nhấn nút khóa K.
- + Quan sát sự hiển thị của LED trên các chân của IC 75175 ứng với các lối ra Q<sub>4</sub> :- Q<sub>1</sub> (PIN 10 ; 15 ; 7 ; 2).
- Lập bảng chân lý mô tả hoạt động của mạch ứng với từng xung kích thích.

Thứ tự xung kích	Ra			
	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>
0				
1				
2				
3				
4				
5				
6				
7				
8				

- Nhận xét mã tổ hợp của bộ đếm và so sánh với bảng mã vòng theo lý thuyết.
- \* Mạch đếm vòng xoắn (Hình 8.15)
- + Kết nối chân vào/ra của IC 75175 như sơ đồ cấu trúc mạch.
- + Đưa chân Clr lên mức cao (H) là mức cho phép mạch hoạt động.
- + Kết nối chân 9 (Clock) của IC 74175 với Jack cấp sườn dương xung kích thích.
- + Kích thích mạch từng xung một bằng cách nhấn nút khóa K.
- + Quan sát sự hiển thị của LED trên các chân của IC 75175 ứng với các lối ra  $Q_4$  -  $Q_1$  (PIN 10 ; 15 ; 7 ; 2 ).
- Lập bảng chân lý mô tả hoạt động của mạch ứng với từng xung kích thích.

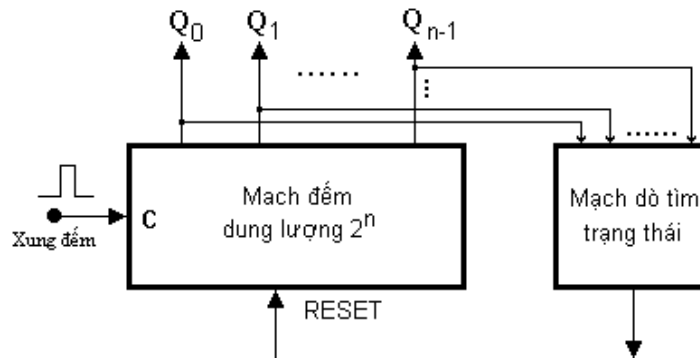
Thứ tự xung kích	Ra			
	$Q_4$	$Q_3$	$Q_2$	$Q_1$
0				
1				
2				
3				
4				
5				
6				
7				
8				

### 3.5. Mạch đếm với số đếm đặt trước

#### 3.5.1 Khái quát chung

- Trong thực tiễn kỹ thuật, một vấn đề thường nảy sinh là cần phải có các mạch đếm có dung lượng đếm khác với với những mạch đếm có dung lượng đếm đã được ấn định khi sản xuất. Do vậy chúng ta cần phải xây dựng mạch đếm với số đếm tùy chọn theo mục đích sử dụng.
- Mạch đếm có số đếm đặt trước được xây dựng trên cơ sở một mạch đếm có dung lượng cao hơn mạch đếm mà ta xây dựng có lối vào RESET, điều này cho phép ta có thể tạo ra tín hiệu đưa vào lối vào RESET này để cưỡng bức mạch đếm quay trở về đếm lại từ đầu vào bất cứ thời điểm và giá trị đếm nào.
- Để tạo ra tín hiệu RESET mạch, ta phải xây dựng một mạch dò tìm trạng thái thừa tức là trong quá trình đếm, nếu xuất hiện trạng thừa không mong muốn thì mạch dò tìm sẽ nhận biết được và nó sẽ khởi tạo một tín hiệu đưa vào RESET mạch và lập tức bộ đếm sẽ trở về đếm lại từ đầu.

#### 3.5.2 Sơ đồ tổng quát và nguyên lý làm việc.



Hình 8.16 : Sơ đồ tổng quát phương án xây dựng mạch đếm đặt trước.

- Mạch dò tìm trạng thái là một mạch tổ hợp có các lối vào được lấy từ các lối ra của mạch đếm có dung lượng cao làm cơ sở xây dựng, lối ra của mạch dò tìm được đưa vào lối vào RESET.
- Mạch đếm dung lượng cao làm cơ sở có dung lượng đếm là  $2^n$ .
- Mạch đếm với số đếm đặt trước có dung lượng đếm là N.
- Điều kiện xây dựng mạch :  $N < 2^n$ .
- Giả sử ta lấy mạch đếm thuận 4 bit nhị phân tự nhiên là mạch đếm cơ sở, dung lượng của nó sẽ là  $2^4 = 16$ . Mạch đếm ta cần xây dựng có số đếm đặt trước là 12 (đếm từ 0 :- 11).
- Như vậy mạch dò tìm trạng thái sẽ phải phát hiện ra các trạng thái thừa không mong muốn là [ 1100; 1101; 1110; 1111 ] tương ứng với các số thập phân tự nhiên từ 12 :- 15.
- Trong quá trình hoạt động của mạch đếm, các trạng thái tổ hợp mã nhị phân sẽ thay đổi tuần tự theo quy luật tăng dần giá trị từ 0000 ( $0_{10}$ ). Khi đến tổ hợp 1100 là số  $12_{(10)}$  thì mạch sẽ khởi tạo một xung đếm để RESET mạch đếm, mạch đếm sẽ trở về đếm lại từ đầu. Như vậy trong quá trình hoạt động, mạch đếm không bao giờ đếm vượt quá 12 trạng thái ( không đếm quá giá trị 11).

### 3.5.3 Lắp ráp, khảo sát mạch đếm đặt trước

#### a. Nội dung:

Lắp mạch, khảo sát nguyên lý hoạt động của mạch đếm đặt trước có số đếm  $< 10$  được xây dựng từ mạch đếm 10 dùng IC 7490.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC đếm 10	IC 7490 hoặc tương đương	1 IC/ nhóm
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 8.4: Bảng thiết bị, vật tư khảo sát mạch đếm đặt trước dùng IC7490

#### d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu cấu trúc của IC 7490.
- Lắp ráp, khảo sát mạch đếm.
- + Ráp IC 7490 lên bảng mạch của máy thực tập.
- + Đầu nối mạch đếm 10 và đưa hiển thị ra LED 7 thanh trên máy.
- + Đầu nối cấp xung dao động 1Hz và mạch đếm.
- + Quan sát sự làm việc bình thường của mạch đếm 10 từ hiển thị LED 7 thanh khi có xung đếm.
- + Ngắt nguồn cấp,
- + Tháo dây cấp mức 0 cho chân số 6,7
- + Nối dây kết nối hai chân 6 và 7.
- + Lần lượt đầu nối riêng lẻ từng lối ra  $Q_A, Q_B, Q_C, Q_D$  với chân 6 và 7.

- + Sau mỗi lần đấu nối. Cấp trở lại nguồn và quan sát trạng thái làm việc qua hiển thị LED 7 thanh và ghi chép những sự thay đổi trên.
- + Tháo dây kết nối hai chân 6 và 7.
- + Đấu nối từng cặp dây ra  $Q_A$ ,  $Q_B$ ,  $Q_C$ ,  $Q_D$  với chân 6, 7
- + Sau mỗi lần đấu nối. Cấp trở lại nguồn và quan sát trạng thái làm việc qua hiển thị LED 7 thanh và ghi chép những sự thay đổi trên.
- Lập bảng biểu thị kết quả kết nối.

TT	Trạng thái kết nối		Kết quả hiển thị mạch đếm
	Chân 6 – $R_{0(1)}$	Chân 7 – $R_{0(2)}$	
1	$Q_A$	$Q_A$	
2	$Q_B$	$Q_B$	
3	$Q_C$	$Q_C$	
4	$Q_D$	$Q_D$	
5	$Q_A$	$Q_B$	
6	$Q_A$	$Q_C$	
7	$Q_A$	$Q_D$	
8	$Q_B$	$Q_C$	
9	$Q_B$	$Q_D$	
10	$Q_C$	$Q_D$	

### Đánh giá kết quả

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lý hoạt động và bảng chân lý của mạch đếm vòng.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch đếm vòng, vòng xoắn, bộ đếm đặt trước.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## Bài 9 : Mạch ghi dịch

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được cấu trúc, nguyên tắc hoạt động mạch ghi dịch.

\* *Kỹ năng:*

- Lắp ráp, kiểm tra được sự hoạt động của một số mạch ghi dịch theo yêu cầu kỹ thuật.

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

### 1. Khái quát chung.

#### 1.1 Khái niệm.

Mạch ghi dịch còn được gọi là thanh ghi dịch, nó có khả năng ghi giữ và dịch chuyển dữ liệu thông tin.

#### 1.2 Cấu tạo, phân loại.

- Cấu tạo cơ bản:

+ Gồm một dãy các phần tử nhớ (*FF - Flip Flop*) được mắc liên tiếp nhau, trong đó đầu ra của FF này được nối với đầu vào của FF tiếp theo.

+ Mỗi một phần tử FF phụ trách ghi giữ 1 bit dữ liệu, một thanh ghi dịch n bit cần phải có n phần tử FF.

+ Thông thường loại FF sử dụng là D/FF

- Phân loại:

\* Theo cách đưa dữ liệu vào và lấy dữ liệu ra.

+ Đưa vào nối tiếp - lấy ra nối tiếp (SISO).

+ Đưa vào nối tiếp - lấy ra song song (SIPO).

+ Đưa vào song song - lấy ra nối tiếp (PISO).

+ Đưa vào song song - lấy ra song song (PIPO).

\* Theo đầu vào của phần tử FF sử dụng.

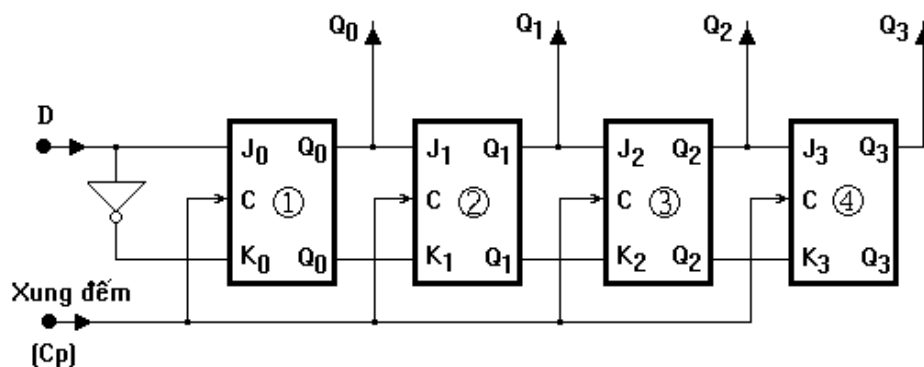
+ Đầu vào đơn: Phần tử FF sử dụng có 1 đầu vào điều khiển (D/FF ; T/FF).

+ Đầu vào đôi: Phần tử FF sử dụng có 2 đầu vào điều khiển (RS/FF ; JK/FF).

### 2. Thanh ghi dịch nối tiếp thuận (4 bit).

#### 2.1. Thanh ghi cấu trúc từ các phần tử FF.

##### 2.1.1. Sơ đồ cấu trúc.



Hình 9.1 : Cấu trúc mạch ghi dịch nối tiếp thuận

- Mạch được cấu trúc bằng 4 phân tử JK.FF đồng bộ. Mỗi một JK/FF phụ trách ghi giữ 1 bit dữ liệu
- Các JF/FF được điều khiển đồng bộ bởi xung nhịp Cp.
- Các FF làm việc với lối vào J-K đảo nhau, khi đó lối ra  $Q_i$  theo lối vào  $J_i$ .
- D (Data): Là lối vào đưa số liệu, dữ liệu.
- $Q_3, Q_2, Q_1, Q_0$  : Là các lối ra cho số liệu, dữ liệu. Trong đó
- + Muốn lấy ra nối tiếp thì lấy ở đầu ra  $Q_3$ .
- + Muốn lấy ra song song thì lấy ở cả 4 đầu ra  $Q_3, Q_2, Q_1, Q_0$ .

### 2.1.2. Nguyên lý làm việc.

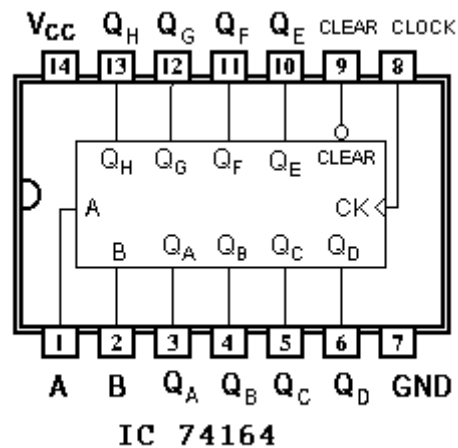
- Xung nhịp Cp được đưa vào đồng thời tất cả các JK/FF. Vì vậy khi xung nhịp được đưa tới, các JK/FF đều sẵn sàng làm việc để tiếp nhận các dữ liệu tại đầu vào để chuyển tới lối ra của nó.
- Giả thiết ban đầu chưa có dữ liệu nào được ghi vào trong mạch.
- Đầu tiên, dữ liệu  $D_0$  được đưa vào cùng với xung nhịp Cp thứ nhất --> dữ liệu  $D_0$  được ghi vào trong FF-1 và lấy ra ở  $Q_0$ .
- Tiếp theo, dữ liệu  $D_1$  được đưa vào cùng với xung nhịp Cp thứ hai --> dữ liệu  $D_1$  được ghi vào trong FF-1 và lấy ra ở  $Q_0$ , còn dữ liệu  $D_0$  được ghi vào trong FF-2 và lấy ra ở  $Q_1$ .
- Tiếp theo, dữ liệu  $D_2$  được đưa vào cùng với xung nhịp Cp thứ ba --> dữ liệu  $D_2$  được ghi vào trong FF-1 và lấy ra ở  $Q_0$ , còn dữ liệu  $D_1$  được ghi vào trong FF-2 và lấy ra ở  $Q_1$ . Dữ liệu  $D_0$  được ghi vào trong FF-3 và lấy ra ở  $Q_2$ .
- Tiếp theo, dữ liệu  $D_3$  được đưa vào cùng với xung nhịp Cp thứ tư --> dữ liệu  $D_3$  được ghi vào trong FF-1 và lấy ra ở  $Q_0$ , còn dữ liệu  $D_2$  được ghi vào trong FF-2 và lấy ra ở  $Q_1$ . Dữ liệu  $D_1$  được ghi vào trong FF-3 và lấy ra ở  $Q_2$ . Dữ liệu  $D_0$  được ghi vào trong FF-4 và lấy ra ở  $Q_3$ .
- Các dữ liệu tiếp theo  $D_4, D_5, \dots, D_n$  tiếp tục được đưa vào và cứ sau mỗi một xung nhịp, các dữ liệu được ghi vào và dịch chuyển sang phải và mất dần ở đầu ra  $Q_3$ .
- Bảng chân lý:

Xung nhịp Cp	Dữ liệu ra				Trạng thái
	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	
1	D <sub>0</sub>	-	-	-	
2	D <sub>1</sub>	D <sub>0</sub>	-	-	
3	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	-	
4	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	
5	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	Mất D <sub>0</sub>
6	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	Mất tiếp D <sub>1</sub>
7	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	Mất tiếp D <sub>2</sub>
...					...
i	D <sub>i-1</sub>	D <sub>i-2</sub>	D <sub>i-3</sub>	D <sub>i-4</sub>	Mất tiếp D <sub>i-5</sub>
...					...
n	D <sub>n-1</sub>	D <sub>n-2</sub>	D <sub>n-3</sub>	D <sub>n-4</sub>	Mất tiếp D <sub>n-5</sub>

Bảng 9.1: Bảng trạng thái của mạch ghi dịch 4 bit

## 2.2. Thanh ghi cấu trúc bằng IC.

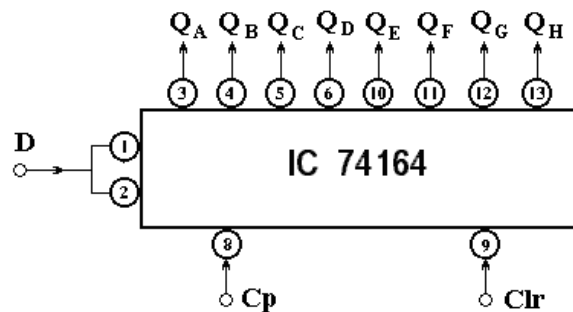
### 2.2.1 Cấu trúc IC ghi dịch 8 bit - 74164



Hình 9.2 : Cấu trúc IC ghi dịch 8 bit – 74164

- A, B : là 2 lối vào nối tiếp cho dữ liệu, trong thực tế hai lối vào này thường đấu chung với nhau thành một lối vào duy nhất cho dữ liệu.
- CK : là lối vào cho xung nhịp (Cp), có mức tích cực ở sườn dương xung kích thích.
- Clr : là lối vào điều khiển xóa dữ liệu, có mức tích cực ở mức thấp (L).
- QA -:- QH : là 8 lối ra song song đại diện cho 8 bit dữ liệu.

### 2.2.2 Sơ đồ tổng quát, nguyên lý làm việc.



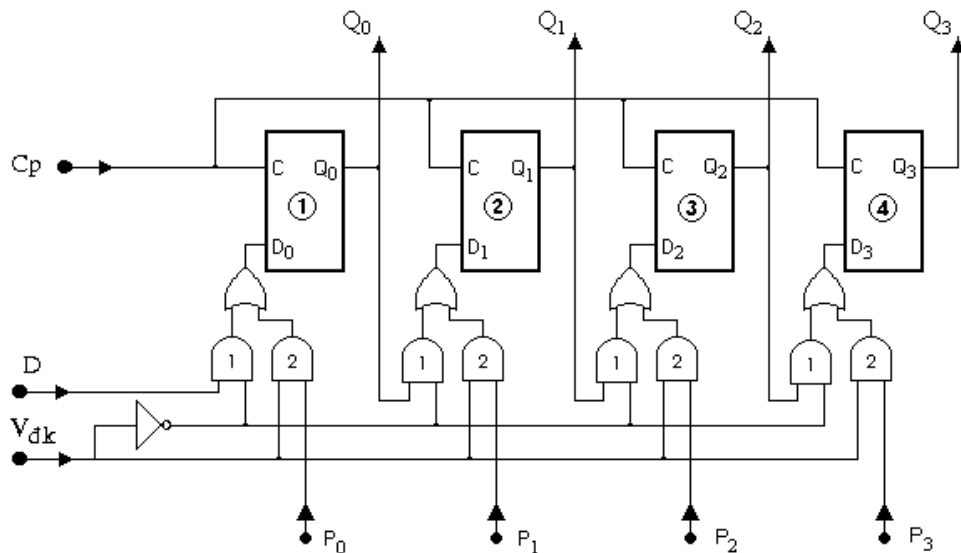
Hình 9.3 : Sơ đồ tổng quát mạch ghi dịch nối tiếp thuận 8 bit dùng IC-74164

- Đưa lối vào Clr lên mức cao (H), mức cho phép mạch làm việc bình thường
- Dữ liệu được đưa vào lối vào nối tiếp D cùng với xung nhịp được đưa vào lối vào Cp.
- Cứ sau mỗi một xung nhịp, các dữ liệu  $D_0, D_1, \dots, D_n$  được ghi vào trong bộ ghi và dịch chuyển sang phải, dữ liệu sẽ mất dần ở đầu ra  $Q_H$ .
- Muốn lấy dữ liệu ra nối tiếp, ta lấy ở đầu ra  $Q_H$ . Còn muốn lấy dữ liệu ra song song, ta lấy ở đầu tất cả 8 đầu ra  $Q_A -:- Q_H$ .
- Khi đưa tín hiệu vào lối vào Clr xuống mức tích cực thấp (L), mạch ghi sẽ xóa hết dữ liệu bên trong.

## 3. Thanh ghi dịch song song-nối tiếp thuận (4 bit).

### 3.1. Thanh ghi cấu trúc từ các phân tử FF.

#### 3.1.1. Sơ đồ cấu trúc.



Hình 9.4 : Cấu trúc mạch ghi dịch song song/nối tiếp thuận 4 bit dùng D/FF

- Mạch sử dụng 4 phân tử D/FF đồng bộ. Mỗi một D/FF phụ trách ghi giữ 1 bit dữ liệu.
- Cp : Lối vào cho xung đồng bộ (xung nhịp).
- Các cổng AND-1, AND-2 và OR tạo thành mạch nhập dữ liệu theo hai chế độ nối tiếp và song song, được điều khiển bởi tín hiệu V<sub>đk</sub>. Lối ra của mạch được đưa vào lối vào D của các D/FF.
- D (Data): Là lối vào đưa số liệu, dữ liệu kiểu nối tiếp.
- P<sub>3</sub>, P<sub>2</sub>, P<sub>1</sub>, P<sub>0</sub> : Là 4 lối vào đưa số liệu, dữ liệu kiểu song song.
- V<sub>đk</sub> : Lối vào điều khiển chế độ nhập thông tin kiểu nối tiếp hay song song.
- Q<sub>3</sub>, Q<sub>2</sub>, Q<sub>1</sub>, Q<sub>0</sub> : Là các lối ra cho số liệu, dữ liệu. Trong đó
  - + Muốn lấy ra nối tiếp thì lấy ở đầu ra Q<sub>3</sub>.
  - + Muốn lấy ra song song thì lấy ở cả 4 đầu ra Q<sub>3</sub>, Q<sub>2</sub>, Q<sub>1</sub>, Q<sub>0</sub>.

### 3.1.2. Nguyên lý làm việc.

#### a. Chế độ ghi dịch nối tiếp.

- Cho V<sub>đk</sub> = 0. Mức 0 này được đưa tới các cổng AND-2 --> Các cổng AND-2 này bị khóa --> Chặn các dữ liệu tại các lối vào song song P<sub>3</sub>, P<sub>2</sub>, P<sub>1</sub>, P<sub>0</sub>. Các cổng AND-1 có mức logic 1 --> Các cổng AND-1 này được mở thông --> đầu ra của mạch sẽ theo dữ liệu của đầu vào còn lại của cổng AND-1.
- Xung nhịp Cp được đưa vào đồng thời tất cả các D/FF. Vì vậy khi xung nhịp được đưa tới, các D/FF đều sẵn sàng làm việc để tiếp nhận các dữ liệu tại đầu vào để chuyển tới lối ra của nó.
- Giả thiết ban đầu chưa có dữ liệu nào được ghi vào trong mạch.
- Đầu tiên, dữ liệu D<sub>0</sub> được đưa vào thông qua AND-1, OR cùng với xung nhịp Cp thứ nhất --> dữ liệu D<sub>0</sub> được ghi vào trong FF-1 và lấy ra ở Q<sub>0</sub>.
- Tiếp theo, dữ liệu D<sub>1</sub> được đưa vào thông qua AND-1, OR cùng với xung nhịp Cp thứ hai --> dữ liệu D<sub>1</sub> được ghi vào trong FF-1 và lấy ra ở Q<sub>0</sub>, còn dữ liệu D<sub>0</sub> thông qua AND-1, OR ghi vào trong FF-2 và lấy ra ở Q<sub>1</sub>.
- Tiếp theo, dữ liệu D<sub>2</sub> được đưa vào thông qua AND-1, OR cùng với xung nhịp Cp thứ ba --> dữ liệu D<sub>2</sub> được ghi vào trong FF-1 và lấy ra ở Q<sub>0</sub>, còn dữ liệu D<sub>1</sub> thông qua AND-1, OR được ghi vào trong FF-2 và lấy ra ở Q<sub>1</sub>. Dữ liệu D<sub>0</sub> thông qua AND-1, OR được ghi vào trong FF-3 và lấy ra ở Q<sub>2</sub>.



- Tiếp theo, dữ liệu  $D_3$  được đưa vào thông qua AND-1, OR cùng với xung nhịp  $C_p$  thứ tư --> dữ liệu  $D_3$  được ghi vào trong FF-1 và lấy ra ở  $Q_0$ , còn dữ liệu  $D_2$  thông qua AND-1, OR được ghi vào trong FF-2 và lấy ra ở  $Q_1$ . Dữ liệu  $D_1$  thông qua AND-1, OR được ghi vào trong FF-3 và lấy ra ở  $Q_2$ . Dữ liệu  $D_0$  thông qua AND-1, OR được ghi vào trong FF-4 và lấy ra ở  $Q_3$ .

- Các dữ liệu tiếp theo  $D_4, D_5, \dots, D_n$  tiếp tục được đưa vào và cứ sau mỗi một xung nhịp, các dữ liệu được ghi vào và dịch chuyển sang phải và mất dần ở đầu ra  $Q_3$ .

b. Chế độ ghi dịch song song.

\* Chế độ ghi dữ liệu:

- Cho  $V_{dk} = 1$ . Mức 1 này được đưa tới các cổng AND-2 --> Các cổng AND-2 này được mở thông --> Tiếp nhận các dữ liệu tại các lối vào song song  $P_3, P_2, P_1, P_0$  và chuyển qua cổng OR để đưa vào các D/FF. Trong khi đó, các cổng AND-1 có mức logic 0 --> Các cổng AND-1 này bị khóa --> Chặn các dữ liệu đưa vào ở chế độ nối tiếp.

- Giả thiết ban đầu chưa có dữ liệu nào được ghi vào trong mạch.

- Các dữ liệu  $P_3, P_2, P_1, P_0$  được đưa vào cùng một lúc (*nhập song song*) cùng với xung nhịp  $C_p$ , thông qua các mạch nhập dữ liệu để ghi vào trong các D/FF và lấy ra ở các đầu ra  $Q_3, Q_2, Q_1, Q_0$  tương ứng -->  $Q_3 = P_3, Q_2 = P_2, Q_1 = P_1, Q_0 = P_0$

\* Chế độ dịch dữ liệu:

- Sau khi nhập tất cả các dữ liệu  $P_3, P_2, P_1, P_0$ . Cần phải khóa lối vào song song để chặn các dữ liệu khác xâm nhập vào và đồng thời để chuẩn bị điều kiện cho chế độ dịch chuyển sang phải các dữ liệu đã được ghi. Người ta cho  $V_{dk} = 0$ . Mạch nhập dữ liệu nối tiếp đã sẵn sàng.

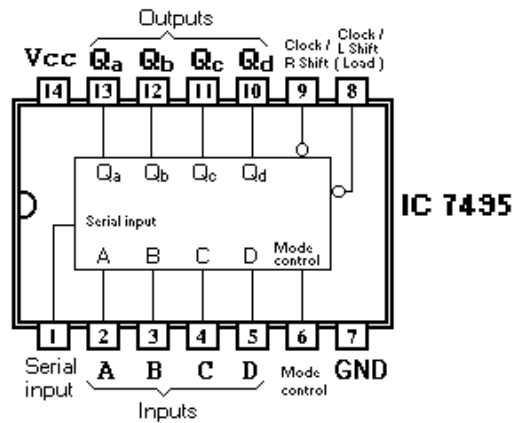
- Cứ sau mỗi một xung nhịp, các dữ liệu lại được dịch chuyển sang phải và mất dần ở đầu ra  $Q_3$ . Trong quá trình dịch chuyển dữ liệu này, tránh đưa dữ liệu từ ngoài vào tại D.

- Bảng chân lý:

Vào							Ra			
Chọn chế độ ( $V_{dk}$ )	Xung nhịp ( $C_p$ )	Nối tiếp ( $D$ )	Song song				$Q_0$	$Q_1$	$Q_2$	$Q_3$
			$P_0$	$P_1$	$P_2$	$P_3$				
0	0	X	X	X	X	X	$Q_{0A}$	$Q_{1B}$	$Q_{2C}$	$Q_{3D}$
0	1	X	X	X	X	X	$Q_{0A}$	$Q_{1B}$	$Q_{2C}$	$Q_{3D}$
1	0	X	X	X	X	X	$Q_{0A}$	$Q_{1B}$	$Q_{2C}$	$Q_{3D}$
1	1	X	X	X	X	X	$Q_{0A}$	$Q_{1B}$	$Q_{2C}$	$Q_{3D}$
0	$\downarrow$	$D_0$	X	X	X	X	$D_0$	$Q_{0A}$	$Q_{1B}$	$Q_{2C}$
1	$\downarrow$	X	$D_0$	$D_1$	$D_2$	$D_3$	$D_0$	$D_1$	$D_2$	$D_3$

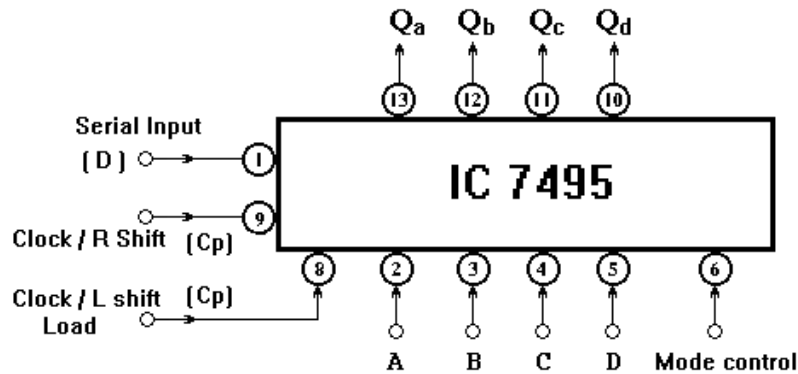
### 3.2. Thanh ghi cấu trúc bằng IC

#### 3.2.1 Cấu trúc IC ghi dịch 4 bit 7495



Hình 9.5 : Cấu trúc IC ghi dịch 4 bit – 7495

- Serial input : Là lối vào cho dữ liệu kiểu nối tiếp.
  - A, B, C, D : Là 4 lối vào cho dữ liệu kiểu song song.
  - $Q_a, Q_b, Q_c, Q_d$  : Là các lối ra cho dữ liệu. Trong đó
    - + Muốn lấy dữ liệu ra kiểu nối tiếp thì lấy ở đầu ra  $Q_d$ .
    - + Muốn lấy dữ liệu ra kiểu song song thì lấy ở cả 4 đầu ra  $Q_a, Q_b, Q_c, Q_d$ .
  - Mode control : Lối vào lựa chọn chế độ nhập dữ liệu kiểu song song hay nối tiếp.
    - + Mode control = H : Chế độ nhập dữ liệu song song.
    - + Mode control = L : Chế độ nhập dữ liệu nối tiếp.
  - Clock/R shift : Lối vào xung nhịp dành cho chế độ dịch phải.
  - Clock/L shift (Load) : Lối vào xung nhịp dành cho chế độ dịch trái và cho phép nhập dữ liệu song song. Với chế độ dịch trái này, cần phải đấu nối cho mạch theo chế độ riêng (sẽ đề cập ở phần sau).
- 3.2.2 Sơ đồ tổng quát, nguyên lý làm việc.



Hình 9.6 : Sơ đồ tổng quát mạch ghi dịch nối tiếp-song song thuận 4 bit dùng 7495

- a. Chế độ ghi dịch nối tiếp thuận (dịch phải).
- Đưa lối vào Mode control xuống mức điện áp thấp (L) để chọn chế độ nhập dữ liệu nối tiếp.
  - Đưa dữ liệu từng bit từng bit một vào tại lối vào Serial input ( $D_0, D_1, \dots, D_n$ ).
  - Mỗi lần đưa 1 bit dữ liệu, ta kích thích 1 sườn xung âm tại lối vào R shift.
  - Bit dữ liệu đầu tiên  $D_0$  được nhập vào và lấy ra tại  $Q_A$ . Bit thứ hai ( $D_1$ ) được nhập vào và lấy ra tại  $Q_A$ , còn bit  $D_0$  được dịch sang  $Q_B$ . Cứ như vậy



- $P_3, P_2, P_1, P_0$  : Là 4 lối vào đưa số liệu, dữ liệu kiểu song song.
- $V_{dk}$  : Lối vào điều khiển chế độ dịch thông tin thuận hay ngược.
- $V_{nh}$  : Lối vào điều khiển cho phép nhập dữ liệu kiểu song song.
- $Q_3, Q_2, Q_1, Q_0$  : Là các lối ra cho số liệu, dữ liệu. Trong đó
- + Muốn lấy ra nối tiếp thì lấy ở đầu ra  $Q_3$  hoặc  $Q_0$
- + Muốn lấy ra song song thì lấy ở cả 4 đầu ra  $Q_3, Q_2, Q_1, Q_0$ .

#### 4.2. Nguyên lý làm việc.

##### 4.2.1 Chế độ ghi dịch nối tiếp

###### a. Chế độ ghi dịch nối tiếp thuận (*dịch phải*).

- Để cho D/FF làm việc ở chế độ bình thường, lối ra Q theo lối vào D thì các lối vào điều khiển cưỡng bức 'Pr' và 'R' phải ở chế độ không có tác dụng tức là phải được đưa lên mức cao (H). Muốn vậy phải cho  $V_{nh} = 0$ . Mức 0 này khiến đầu ra mạch NAND-1 và NAND-2 đều bằng 1 tức là ta luôn có  $Pr = 1$  và  $R = 1$ , điều này còn có tác dụng khóa các lối vào dữ liệu song song  $P_3, P_2, P_1, P_0$ .

- Cho  $V_{dk} = 1$  để mở thông các cổng AND-2, trong khi đó các cổng AND-1 sẽ bị khóa do có mức 0 từ cổng NOT đưa vào.

- Xung nhịp Cp được đưa vào đồng thời tất cả các D/FF. Vì vậy khi xung nhịp được đưa tới, các D/FF đều sẵn sàng làm việc để tiếp nhận các dữ liệu tại đầu vào để chuyển tới lối ra của nó.

- Giả thiết ban đầu chưa có dữ liệu nào được ghi vào trong mạch.

- Đầu tiên, dữ liệu  $D_0$  được đưa vào tại lối vào D thông qua AND-2, OR cùng với xung nhịp Cp thứ nhất --> dữ liệu  $D_0$  được ghi vào trong FF-1 và lấy ra ở  $Q_0$ .

- Tiếp theo, dữ liệu  $D_1$  được đưa vào thông qua AND-2, OR cùng với xung nhịp Cp thứ hai --> dữ liệu  $D_1$  được ghi vào trong FF-1 và lấy ra ở  $Q_0$ , còn dữ liệu  $D_0$  thông qua AND-2, OR ghi vào trong FF-2 và lấy ra ở  $Q_1$ .

- Tiếp theo, dữ liệu  $D_2$  được đưa vào thông qua AND-2, OR cùng với xung nhịp Cp thứ ba --> dữ liệu  $D_2$  được ghi vào trong FF-1 và lấy ra ở  $Q_0$ , còn dữ liệu  $D_1$  thông qua AND-2, OR được ghi vào trong FF-2 và lấy ra ở  $Q_1$ . Dữ liệu  $D_0$  thông qua AND-2, OR được ghi vào trong FF-3 và lấy ra ở  $Q_2$ .

- Tiếp theo, dữ liệu  $D_3$  được đưa vào thông qua AND-2, OR cùng với xung nhịp Cp thứ tư --> dữ liệu  $D_3$  được ghi vào trong FF-1 và lấy ra ở  $Q_0$ , còn dữ liệu  $D_2$  thông qua AND-2, OR được ghi vào trong FF-2 và lấy ra ở  $Q_1$ . Dữ liệu  $D_1$  thông qua AND-2, OR được ghi vào trong FF-3 và lấy ra ở  $Q_2$ . Dữ liệu  $D_0$  thông qua AND-2, OR được ghi vào trong FF-4 và lấy ra ở  $Q_3$ .

- Các dữ liệu tiếp theo  $D_4, D_5, \dots, D_n$  tiếp tục được đưa vào và cứ sau mỗi một xung nhịp, các dữ liệu được ghi vào và dịch chuyển sang phải và mất dần ở đầu ra  $Q_3$ . Mạch đang thực hiện chức năng **ghi dịch nối tiếp thuận**.

###### b. Chế độ ghi dịch nối tiếp ngược (*dịch trái*).

- Vẫn cho  $V_{nh} = 0$  để khóa các lối vào dữ liệu song song  $P_3, P_2, P_1, P_0$  và để cho các D/FF làm việc ở chế độ bình thường.

- Cho  $V_{dk} = 0$  để khóa các cổng AND-2 và đồng thời mở thông các cổng AND-1 do có mức 1 tại đầu ra cổng NOT đưa vào.

- Giả thiết ban đầu chưa có dữ liệu nào được ghi vào trong mạch.

- Đầu tiên, dữ liệu  $D_0$  được đưa vào tại lối vào D thông qua AND-1, OR cùng với xung nhịp Cp thứ nhất --> dữ liệu  $D_0$  được ghi vào trong FF-4 và lấy ra ở  $Q_3$ .

- Tiếp theo, dữ liệu  $D_1$  được đưa vào thông qua AND-1, OR cùng với xung nhịp  $C_p$  thứ hai --> dữ liệu  $D_1$  được ghi vào trong FF-4 và lấy ra ở  $Q_3$ , còn dữ liệu  $D_0$  thông qua AND-1, OR ghi vào trong FF-3 và lấy ra ở  $Q_2$ .
- Tiếp theo, dữ liệu  $D_2$  được đưa vào thông qua AND-1, OR cùng với xung nhịp  $C_p$  thứ ba --> dữ liệu  $D_2$  được ghi vào trong FF-4 và lấy ra ở  $Q_3$ , còn dữ liệu  $D_1$  thông qua AND-1, OR được ghi vào trong FF-3 và lấy ra ở  $Q_2$ . Dữ liệu  $D_0$  thông qua AND-1, OR được ghi vào trong FF-2 và lấy ra ở  $Q_1$ .
- Tiếp theo, dữ liệu  $D_3$  được đưa vào thông qua AND-1, OR cùng với xung nhịp  $C_p$  thứ tư --> dữ liệu  $D_3$  được ghi vào trong FF-4 và lấy ra ở  $Q_3$ , còn dữ liệu  $D_2$  thông qua AND-1, OR được ghi vào trong FF-3 và lấy ra ở  $Q_2$ . Dữ liệu  $D_1$  thông qua AND-1, OR được ghi vào trong FF-2 và lấy ra ở  $Q_1$ . Dữ liệu  $D_0$  thông qua AND-1, OR được ghi vào trong FF-1 và lấy ra ở  $Q_0$ .
- Các dữ liệu tiếp theo  $D_4, D_5, \dots, D_n$  tiếp tục được đưa vào và cứ sau mỗi một xung nhịp, các dữ liệu được ghi vào và dịch chuyển sang trái và mất dần ở đầu ra  $Q_0$ . Mạch đang thực hiện chức năng **ghi dịch nối tiếp ngược**.

c. Chế độ ghi dịch song song.

\* Chế độ ghi:

- Cho  $V_{nh} = 1$ , mức 1 này đưa tới các cổng NAND-1 và NAND-2, đầu ra của chúng sẽ thay đổi theo các đầu vào  $P_3, P_2, P_1, P_0$  tương ứng.

- Đưa các dữ liệu  $P_3, P_2, P_1, P_0$  vào các đầu vào cổng NAND-2, sự chuyển biến trạng thái của các cổng NAND-1 và NAND-2 sẽ ra các mức logic1 và logic0 tại các đầu ra để đưa tới các lối vào điều khiển cưỡng bức 'P' và 'R', điều này đồng nghĩa với việc các lối ra  $Q$  sẽ không còn theo các lối vào  $D$  nữa mà theo sự điều khiển cưỡng bức này.

- Xét sự làm việc tại một lối vào  $P_i$  bất kỳ nào đó:

+ Giả sử cho  $P_i = 0$ , lối ra NAND-2 bằng 1 -->  $Pr_i = 1$ ; lối ra NAND-1 bằng 0 -->  $R_i = 0$ . Điều này tương đương với việc có tín hiệu tại  $R_i$  (lối vào Reset - thiết lập 0), lối ra  $Q_i$  của D/FF tương ứng sẽ là 0 ( $Q_i = 0$ ).

+ Giả sử cho  $P_i = 1$ , lối ra NAND-2 bằng 0 -->  $Pr_i = 0$ ; lối ra NAND-1 bằng 1 -->  $R_i = 1$ . Điều này tương đương với việc có tín hiệu tại  $Pr_i$  (lối vào Preset - thiết lập 1), lối ra  $Q_i$  của D/FF tương ứng sẽ là 1 ( $Q_i = 1$ ).

+ Tóm lại : Cho  $P_i = 0$  -->  $Q_i = 0$  ; Cho  $P_i = 1$  -->  $Q_i = 1$  . Như vậy dữ liệu đưa vào lối vào  $P_i$  đã được đưa ra lối ra  $Q_i$  tương ứng.

\* Chế độ dịch:

- Sau khi nhập dữ liệu ở chế độ song song tại các lối vào  $P_3, P_2, P_1, P_0$ , ta phải khóa các lối vào này lại bằng cách cho  $V_{nh} = 0$ , điều này cũng đồng nghĩa với việc đưa các D/FF trở về chế độ làm việc bình thường, khi đó lối ra  $Q$  sẽ lại theo lối vào  $D$ .

- Điều khiển mức điện áp tại  $V_{dk}$  để thực hiện chức năng dịch phải hay trái như đã nói ở phần trên, cụ thể:

+ Cho  $V_{dk} = 1$  để thực hiện dịch phải (dịch thuận).

+ Cho  $V_{dk} = 0$  để thực hiện dịch trái (dịch ngược).

## 5. Lắp ráp một số mạch ứng dụng cơ bản.

### 5.1 Lắp ráp mạch LED sáng lan tỏa dùng IC 74164

#### 5.1.1 Nội dung:

- Tìm hiểu cấu trúc, nguyên lý làm việc của mạch LED sáng lan tỏa.

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch.

#### 5.1.2 Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

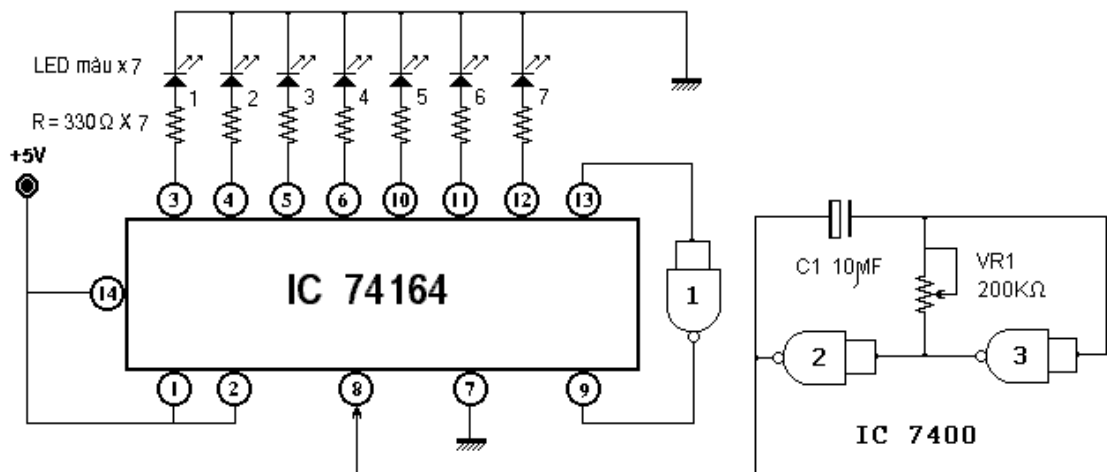
### 5.1.3 Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC ghi dịch 8 bit	74164 hoặc tương đương	1 IC/ nhóm
3	IC số cổng NAND	7400 hoặc tương đương	1 IC/ nhóm
4	Biến trở	200K $\Omega$	1
5	Điện trở	330 $\Omega$	7
6	Tụ điện hóa	10 $\mu$ F/16V	1
7	LED	Màu	7
8	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
9	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 9.2: Bảng thiết bị, vật tư khảo sát mạch LED sáng lan tỏa.

### 5.1.4 Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu cấu trúc, nguyên lý làm việc của mạch LED sáng lan tỏa.
- \* Cấu trúc mạch:



Hình 9.7 : Cấu trúc mạch LED sáng lan tỏa.

- Mạch NAND-2 và NAND-3 cùng với VR1 = 200K $\Omega$  và C1 = 10 $\mu$ F được lắp thành mạch dao động tạo xung với tần số xung điều chỉnh được thông qua biến trở VR1. Dao động xung này được đưa vào lối vào Clock (chân số 8 của IC 74164).
- Tải của các lối ra Q<sub>A</sub> -:- Q<sub>G</sub> là các điện trở hạn dòng có giá trị khoảng vài trăm ôm (330 $\Omega$ ) mắc nối tiếp với các LED.
- Lối ra Q<sub>H</sub> được nối về lối vào Clr (chân số 9 của IC 74164) thông qua cổng NAND.
- Lối vào nối tiếp A, B (chân số 1, 2 của IC 74164) được nối chung với nhau và cấp mức điện áp cao (H) bằng cách nối tới +5VDC.
- \* Nguyên lý làm việc:

- Tín hiệu lối vào nối tiếp luôn được duy trì ở mức logic 1 (*luôn được cấp mức điện áp cao + 5VDC*) do vậy khi có xung nhịp đưa vào, bit 1 liên tục được đưa vào ghi trong mạch ghi dịch.
- Giả sử ban đầu, các trạng thái tại các lối ra  $Q_A$  :-  $Q_H$  (8 lối ra) đều ở mức 0. Mức 0 này sẽ không tạo ra dòng điện qua các LED, các LED sẽ không sáng. Đồng thời mức 0 tại  $Q_H$  được đưa tới 2 đầu vào cổng NAND-1, trạng thái đầu ra của nó sẽ là mức 1, mức 1 này được đưa tới lối vào Clr của IC 74164 là mức điện áp cho phép mạch ghi dịch hoạt động bình thường.
- + Xung nhịp đầu tiên được đưa vào, bit 1 được ghi vào trong và lấy ra ở  $Q_A$ . Mức điện áp cao tại đầu ra  $Q_A$  sẽ tạo dòng điện thông qua điện trở hạn dòng, qua LED-1, xuống GND và sẽ làm cho LED-1 phát sáng.
- + Xung nhịp thứ hai được đưa vào, bit 1 tiếp tục được ghi vào trong và lấy ra ở  $Q_A$ . Bit 1 ở lối ra  $Q_A$  trước đó được chuyển sang  $Q_B$ . Mức điện áp cao tại đầu ra  $Q_A$ ,  $Q_B$  sẽ tạo các dòng điện thông qua các điện trở hạn dòng, qua LED-1, LED-2 xuống GND và sẽ làm cho LED-1 và LED-2 phát sáng.
- + Xung nhịp cứ tiếp tục được đưa vào và theo như diễn biến đã xét ở trên, các lối ra  $Q_C$ ,  $Q_D$ ,  $Q_E$ ,  $Q_F$ ,  $Q_G$  lần lượt được đưa lên mức cao sẽ làm cho các LED 3,4,5,6,7 tiếp tục được phát sáng.
- + Như vậy với 7 xung nhịp đầu tiên được đưa vào, ta thấy các LED từ 1:-7 lần lượt được phát sáng và duy trì tạo thành dãy đèn LED phát sáng lan tỏa.
- + Đến xung thứ 8, bit 1 được chuyển tới  $Q_H$ , lúc này cổng NAND-1 sẽ đảo tín hiệu (hoạt động như cổng NOT) tạo ra mức 0 đưa tới lối vào Clr, lập tức mức điện áp tại các đầu ra  $Q_A$  :-  $Q_H$  trở về mức 0. Mạch lại trở về trạng thái ban đầu như đã xét để đón chờ một chu trình lặp lại tiếp theo nếu xung nhịp cứ tiếp tục được đưa vào tại lối vào Clock.
- Tốc độ sáng lan tỏa của các đèn LED phụ thuộc vào tốc độ dịch chuyển của các bit 1 trong mạch ghi dịch tức là phụ thuộc vào tần số của xung nhịp đưa vào. Điều chỉnh VR1 là điều chỉnh tần số của mạch dao động tạo xung tức là điều chỉnh trực tiếp tốc độ sáng lan tỏa của LED.
- Mạch được ứng dụng trong các mạch trang trí quảng cáo bằng các LED. Đèn LED được sắp xếp theo một hình cụ thể nào đó theo thiết kế, lúc đó ta sẽ có được các hiệu ứng ánh sáng như mong muốn.
- \* Lắp mạch, khảo sát nguyên lý hoạt động của mạch.
- Lắp ráp mạch dao động sử dụng IC 7400 (*hoặc tương đương*).
- + Ráp IC lên bảng mạch của máy ED-1100A.
- + Phân định cổng logic trong IC (*sử dụng 2/4 cổng NAND*).
- + Đầu nối Vcc = +5V và GND cho IC.
- + Kết nối các linh kiện VR1 và tụ C1 theo như sơ đồ mạch.
- + Điều chỉnh VR1 để nhận được tần số xung theo mong muốn (*1 Hz :- 10 Hz*).
- Lắp mạch ghi dịch theo sơ đồ mạch.
- + Ráp IC lên bảng mạch của máy ED-1100A.
- + Đầu nối Vcc = +5V và GND cho IC.
- + Kết nối tải là 7 điện trở hạn dòng nối tiếp với 7 LED cho từng lối ra  $Q_A$  :-  $Q_G$ . Chú ý sắp xếp theo trật tự tăng dần từ  $Q_A$  đến  $Q_G$ .
- + Kết nối cổng NAND-1 giữa chân 9 với chân 13.
- + Kết nối lối vào A, B (*chân 1; 2*) với mức điện áp cao là +Vcc.
- + Đưa dao động xung tới lối vào Clock (*chân số 8*).

- Đưa mạch vào chế độ hoạt động, điều chỉnh VR1 để có tốc độ sáng lan tỏa hợp lý.

## 5.2 Lắp ráp mạch LED sáng dần, tắt dần dùng IC 74164

### 5.2.1 Nội dung:

- Tìm hiểu cấu trúc, nguyên lý làm việc của mạch LED sáng lan tỏa.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch.

### 5.2.2 Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

### 5.2.3 Bảng thiết bị, vật tư.

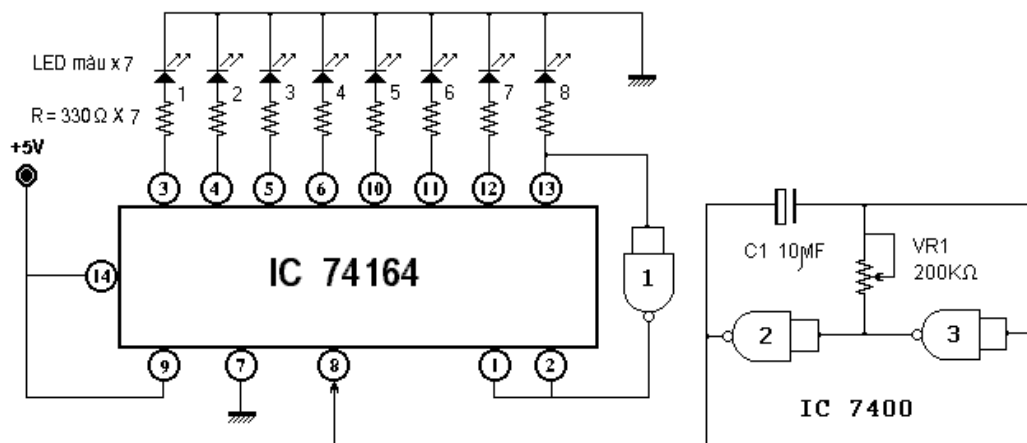
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC ghi dịch 8 bit	74164 hoặc tương đương	1 IC/ nhóm
3	IC số cổng NAND	7400 hoặc tương đương	1 IC/ nhóm
4	Biến trở	200K $\Omega$	1
5	Điện trở	330 $\Omega$	8
6	Tụ điện hóa	10 $\mu$ F/16V	1
7	LED	Màu	8
8	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
9	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 9.2: Bảng thiết bị, vật tư khảo sát mạch LED sáng lan tỏa.

### 5.2.4 Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu cấu trúc, nguyên lý làm việc của mạch LED sáng lan tỏa.

\* Cấu trúc mạch:



Hình 9.8 : Cấu trúc mạch LED sáng dần, tắt dần

- Mạch NAND-2 và NAND-3 cùng với VR1 = 200K $\Omega$  và C1 = 10 $\mu$ F được lắp thành mạch dao động tạo xung với tần số xung điều chỉnh được thông qua biến trở VR1. Dao động xung này được đưa vào lối vào Clock (chân số 8 của IC 74164).



- Tải của các lối ra  $Q_A$  :-  $Q_G$  là các điện trở hạn dòng có giá trị khoảng vài trăm  $\Omega$  (330 $\Omega$ ) mắc nối tiếp với các LED.

- Lối ra  $Q_H$  được nối về lối vào cho số liệu nối tiếp A, B (*chân số 1; 2 của IC 74164*) thông qua cổng NAND.

- Lối vào nối tiếp Clr (*chân số 9 của IC 74164*) được nối với mức điện áp cao (H) bằng cách nối tới +5VDC nhằm duy trì tín hiệu cho phép để mạch hoạt động bình thường.

\* Nguyên lý làm việc:

- Giả sử ban đầu, các trạng thái tại các lối ra  $Q_A$  :-  $Q_H$  (8 lối ra) đều ở mức 0. Mức 0 này sẽ không tạo ra dòng điện qua các LED, các LED sẽ không sáng. Đồng thời mức 0 tại  $Q_H$  được đưa tới 2 đầu vào cổng NAND-1, trạng thái đầu ra của nó sẽ là mức 1, mức 1 này được đưa tới lối vào dữ liệu nối tiếp A, B của IC 74164 để đưa vào ghi trong mạch ghi dịch khi có xung nhịp tới.

+ Xung nhịp đầu tiên được đưa vào, bit 1 được ghi vào trong và lấy ra ở  $Q_A$ . Mức điện áp cao tại đầu ra  $Q_A$  sẽ tạo dòng điện thông qua điện trở hạn dòng, qua LED-1, xuống GND và sẽ làm cho LED-1 phát sáng.

+ Xung nhịp thứ 2 được đưa vào, bit 1 tiếp tục được ghi vào trong và lấy ra ở  $Q_A$ . Bit 1 ở lối ra  $Q_A$  trước đó được chuyển sang  $Q_B$ . Mức điện áp cao tại đầu ra  $Q_A$ ,  $Q_B$  sẽ tạo các dòng điện thông qua các điện trở hạn dòng, qua LED-1, LED-2 xuống GND và sẽ làm cho LED-1 và LED-2 phát sáng.

+ Xung nhịp cứ tiếp tục được đưa vào và theo như diễn biến đã xét ở trên, các lối ra  $Q_C$ ,  $Q_D$ ,  $Q_E$ ,  $Q_F$ ,  $Q_G$ ,  $Q_H$  lần lượt được đưa lên mức cao sẽ làm cho các LED 3,4,5,6,7 tiếp tục được phát sáng.

+ Như vậy với 8 xung nhịp đầu tiên được đưa vào, ta thấy các LED từ 1:-8 lần lượt được phát sáng và duy trì tạo thành dãy đèn LED phát sáng dần. Ở xung thứ 8, Khi  $Q_H = 1$ , lúc này cổng NAND-1 sẽ đảo tín hiệu (*hoạt động như cổng NOT*) tạo ra mức 0, bit 0 này được đưa tới lối vào dữ liệu nối tiếp A, B.

+ Xung nhịp thứ 9 được đưa vào, bit 0 được ghi vào trong và lấy ra ở  $Q_A$ . Mức điện áp thấp (L) tại đầu ra  $Q_A$  sẽ ngắt dòng điện thông qua điện trở hạn dòng, qua LED-1, xuống GND và sẽ làm cho LED-1 tắt.

+ Xung nhịp thứ 10 được đưa vào, bit 0 tiếp tục được ghi vào trong và lấy ra ở  $Q_A$ . Bit 0 ở lối ra  $Q_A$  trước đó được chuyển sang  $Q_B$ . Mức điện áp thấp tại đầu ra  $Q_B$  sẽ ngắt dòng điện thông qua các điện trở hạn dòng qua LED-2 xuống GND và sẽ làm cho LED-2 phát tắt.

+ Xung nhịp cứ tiếp tục được đưa vào và theo như diễn biến đã xét ở trên, các lối ra  $Q_C$ ,  $Q_D$ ,  $Q_E$ ,  $Q_F$ ,  $Q_G$ ,  $Q_H$  lần lượt được đưa xuống mức thấp sẽ làm cho các LED 3,4,5,6,7, 8 lần lượt bị tắt.

+ Như vậy với 8 xung nhịp tiếp theo được đưa vào, ta thấy các LED từ 1:-8 lần lượt tắt tạo thành dãy đèn LED tắt dần. Ở xung thứ 16, Khi  $Q_H = 0$ , lúc này cổng NAND-1 sẽ đảo tín hiệu (*hoạt động như cổng NOT*) tạo ra mức 1, bit 1 này được đưa tới lối vào dữ liệu nối tiếp A, B. Mạch lại trở về trạng thái ban đầu như đã xét để đón chờ các chu trình lặp lại tiếp theo nếu xung nhịp cứ tiếp tục được đưa vào tại lối vào Clock.

- Tốc độ sáng dần, tắt dần của các đèn LED phụ thuộc vào tốc độ dịch chuyển của các bit 1 và bit 0 trong mạch ghi dịch tức là phụ thuộc vào tần số của xung nhịp đưa vào. Điều chỉnh VR1 là điều chỉnh tần số của mạch dao động tạo xung tức là điều chỉnh trực tiếp tốc độ sáng, tắt của các dãy đèn LED.

- Mạch được ứng dụng trong các mạch trang trí quảng cáo bằng các LED. Đèn LED được sắp xếp theo một hình cụ thể nào đó theo thiết kế, lúc đó ta sẽ có được các hiệu ứng ánh sáng như mong muốn.

\* Lắp mạch, khảo sát nguyên lý hoạt động của mạch.

- Lắp ráp mạch dao động sử dụng IC 7400 (hoặc tương đương).

+ Phân định cổng logic trong IC (sử dụng 2/4 cổng NAND).

+ Đầu nối Vcc = +5V và GND cho IC.

+ Kết nối các linh kiện VR1 và tụ C1 theo như sơ đồ mạch.

+ Điều chỉnh VR1 để nhận được tần số xung theo mong muốn (1 Hz :- 10 Hz).

- Lắp mạch ghi dịch theo sơ đồ mạch.

+ Đầu nối Vcc = +5V và GND cho IC.

+ Kết nối tải là 8 điện trở hạn dòng nối tiếp với 8 LED cho từng lối ra Q<sub>A</sub> :- Q<sub>H</sub>.  
Chú ý sắp xếp theo trật tự tăng dần từ Q<sub>A</sub> đến Q<sub>H</sub>.

+ Kết nối cổng NAND-1 giữa chân 13 với chân 1 và 2.

+ Kết nối lối vào Clr (chân 9) với mức điện áp cao là +Vcc.

+ Đưa dao động xung tới lối vào Clock (chân số 8)

- Đưa mạch vào chế độ hoạt động, điều chỉnh VR1 để có tốc độ sáng, tắt cho mạch hợp lý.

### Đánh giá kết quả

Mục tiêu	Nội dung	Điểm
Kiến thức	Phân tích được nguyên lý hoạt động và bảng chân lý của các mạch ghi dịch cơ bản.	2
Kỹ năng	Lắp ráp, kiểm tra được sự hoạt động ứng dụng của mạch ghi dịch dùng IC đúng chức năng.	6
Thái độ	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	2

## Bài 10: Bộ nhớ bán dẫn

Mục tiêu:

\* Kiến thức:

- Trình bày được cấu trúc, hoạt động, phân loại và phạm vi ứng dụng các bộ nhớ bán dẫn.
- Nêu được các ứng dụng của bộ nhớ ROM, RAM trong kỹ thuật

\* Kỹ năng:

- Kiểm tra, xác định lỗi chính xác một số loại bộ nhớ bán dẫn trong thực tế.

\* Thái độ:

- Chủ động, sáng tạo trong quá trình học tập.

Nội dung:

### 1. Bộ nhớ ROM (Read Only Memory - Bộ nhớ chỉ đọc)

#### 1.1. Khái quát chung.

a. Khái niệm: ROM là bộ nhớ cố định vì dữ liệu trong ROM không dễ gì thay đổi, hay nói chung không thể thay đổi mà chỉ đọc ra.

b. Phân loại ROM :

- Theo phần tử nhớ trong ROM : ROM diode, ROM transistor lưỡng cực (BJT), ROM transistor trường (MOSFET).

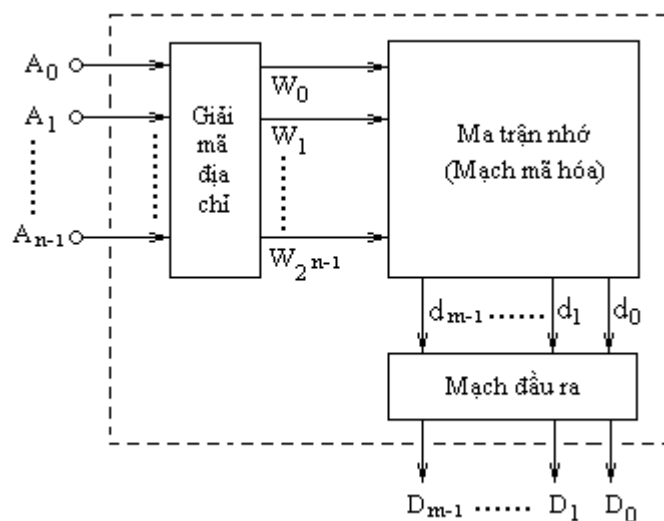
- Theo cách viết dữ liệu vào ROM:

- + ROM cố định (ROM mặt nạ - Maskable ROM): Loại này nội dung dữ liệu ghi vào ngay trong quá trình sản xuất tại nhà máy thông qua công đoạn mặt nạ. Nội dung dữ liệu này không thể thay đổi được trong quá trình sử dụng.

- + PROM (Programable ROM): Loại này người sử dụng có thể nạp dữ liệu vào (bằng thiết bị đặc biệt), nhưng dữ liệu chỉ được viết vào một lần duy nhất và sau đó không thể thay đổi được.

- + EPROM (Erasable PROM): Loại này nội dung dữ liệu bên trong có thể thay đổi được nhiều lần (xóa cũ – viết mới).

c. Cấu trúc cơ bản của ROM



Hình 10.1 : Cấu trúc cơ bản của ROM

- ROM được chia làm 3 phần mạch cơ bản gồm : Mạch giải mã địa chỉ ; ma trận nhớ và mạch đầu ra.

- $A_0, A_1, \dots, A_{n-1}$  : Các đầu vào cho tín hiệu địa chỉ.
- $D_0, D_1, \dots, D_{m-1}$  : Các đầu ra cho dữ liệu

d. Nguyên lý hoạt động cơ bản.

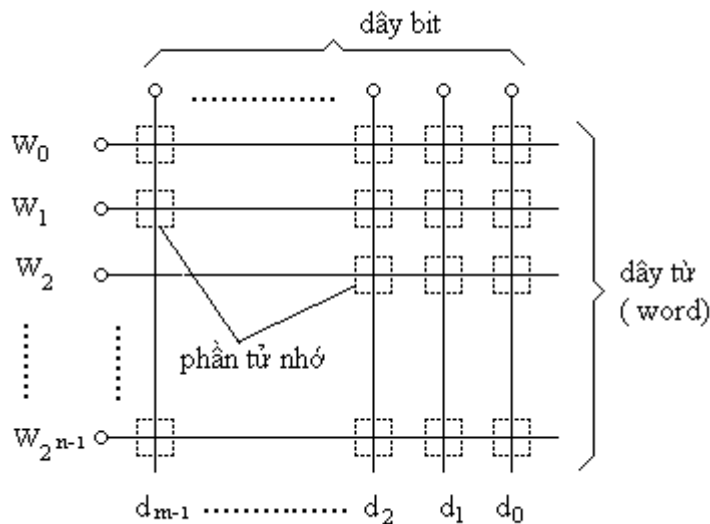
- Bộ giải mã địa chỉ tiếp nhận các từ mã địa chỉ đầu vào  $A_{n-1}, A_1, \dots, A_0$ , tiến hành giải mã để đưa ra một địa chỉ xác định tại đầu ra của nó, hay nói một cách khác nó tiến hành giải mã để đưa ra một từ mã  $W_{2n-1}, \dots, W_1, W_0$  tại đầu ra để đưa tới ma trận nhớ.

- Ma trận nhớ - thực chất là một mạch mã hóa sẽ tiếp nhận các dữ liệu mã đầu vào  $W_{2n-1}, \dots, W_1, W_0$ , mã hóa các từ mã này thành các từ mã  $d_{m-1}, \dots, d_1, d_0$  để đưa ra. Đây được coi như chính là các dữ liệu đưa ra từ bộ nhớ.

- Mạch đầu ra thực hiện chuyển đổi dạng dữ liệu  $d_{m-1}, \dots, d_1, d_0$  thành dạng dữ liệu  $D_{m-1}, D_1, \dots, D_0$  để đưa ra, đồng thời nó còn nhận nhiệm vụ đệm trở kháng giữa các đầu ra của ma trận nhớ với các đầu vào của các bộ nhận dữ liệu phía sau.

- Nhìn một cách tổng thể, quan hệ giữa các từ mã tại đầu ra  $D_{m-1}, D_1, \dots, D_0$  với các từ mã tại đầu vào  $A_{n-1}, A_1, \dots, A_0$  là mối quan hệ độc lập nhau. Vì vậy người ta thường xem từ mã đầu vào  $A_{n-1}, A_1, \dots, A_0$  là địa chỉ của từ mã  $D_{m-1}, D_1, \dots, D_0$  được lưu giữ bên trong bộ nhớ, còn bản thân từ mã  $D_{m-1}, D_1, \dots, D_0$  được xem là dữ liệu được lưu giữ ở địa chỉ tương ứng  $A_{n-1}, A_1, \dots, A_0$ . Như vậy, hoạt động đọc dữ liệu ra từ bộ nhớ ROM đơn giản chỉ là việc đưa số liệu địa chỉ tại các lối vào  $A_{n-1}, A_1, \dots, A_0$ , lập tức ngăn nhớ bên trong ROM có địa chỉ tương ứng đó được khai thông, dữ liệu lưu giữ bên trong  $D_{m-1}, D_1, \dots, D_0$  được truy xuất ra ngoài. Khi không còn số liệu địa chỉ đưa vào, các ngăn nhớ bên trong ROM bị khóa lại.

### 1.2. Cấu trúc ma trận nhớ.



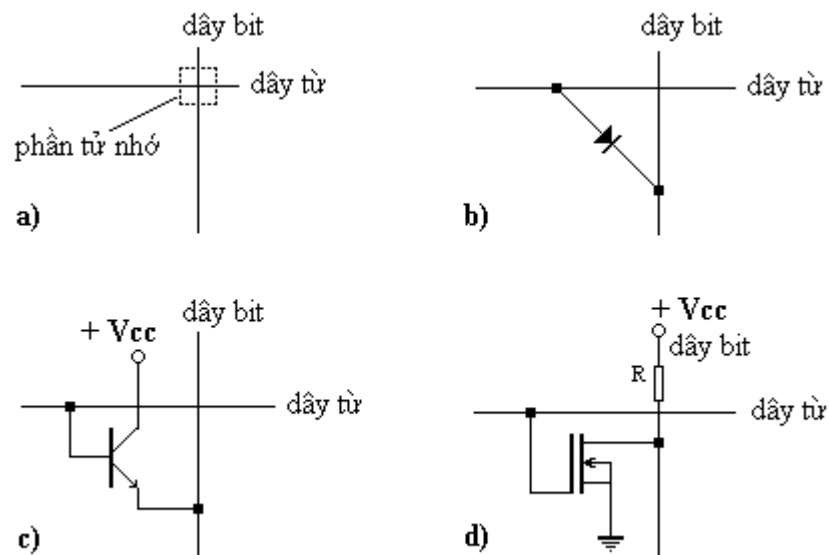
Hình 10.2 : Cấu trúc cơ bản ma trận nhớ của ROM

- Ma trận nhớ thực chất là là ma trận hàng và cột,  $2^n$  hàng và m cột.
- Các đường ngang để chọn ' từ ' gọi tắt là dây từ. Có  $2^n$  hàng tương ứng với  $2^n$  từ.
- Các hàng dọc để chọn bit gọi tắt là dây bit. Có m hàng dọc tương ứng với m bit. Như vậy một từ mã dữ liệu sẽ có m bit.

- Nơi giao nhau giữa dây từ và dây bit được gọi là phần tử nhớ (*tế bào*). Số lượng phần tử nhớ là  $(m \times 2^n)$ . Tại phần tử nhớ, căn cứ vào trạng thái nối thông hay không được nối thông mà người ta qui định là bit 1 hoặc bit 0.
- Qui định trạng thái bit : Có hai cách để qui định trạng thái bit
  - + Nếu không được nối thông thì là bit 0 ; còn nếu được nối thông thì là bit 1
  - + Nếu không được nối thông thì là bit 1 ; còn nếu được nối thông thì là bit 0
- Phương pháp để nối thông dây từ với dây bit tại phần tử nhớ được dùng là các linh kiện điện tử.
- + Nếu sử dụng Diode để kết nối thì ta có ROM diode.
- + Nếu sử dụng transistor lưỡng cực (*BJT*) để kết nối thì ta có ROM transistor lưỡng cực.
- + Nếu sử dụng Transistor trường (*thường là MOSFET*) để kết nối thì ta có ROM Transistor trường.

### 1.3. Cấu trúc tế bào ROM

#### 1.3.1 Cấu trúc tế bào.



Hình 10.3 : Tế bào ROM dùng Diode(b), dùng BJT (c), dùng MOSFET (d)

- Tại phần tử nhớ, nếu cần phải nối thông giữa dây từ với dây bit, người ta sử dụng linh kiện bán dẫn điện tử như Diode (*Hình 10.3.b*), Transistor lưỡng cực - BJT (*Hình 10.3.c*) hoặc Transistor trường - MOSFET (*Hình 10.3.d*).
- Tế bào ROM sử dụng Diode:
  - + Nếu có điện áp ở mức cao (H) đưa ra trên dây từ, Diode sẽ được phân cực thuận, sẽ có dòng chảy qua Diode để đưa ra trên dây bit đồng nghĩa với giá trị là bit 1.
  - + Nếu không có điện áp đưa ra (ở mức thấp - L). Diode không được mở thông, không có dòng chảy qua Diode để đưa ra trên dây bit đồng nghĩa với giá trị là bit 0.
- Tế bào ROM sử dụng transistor lưỡng cực (*BJT*):
  - + Nếu có điện áp ở mức cao (H) đưa ra trên dây từ, có dòng phân cực cho cực B của transistor, transistor thông, sẽ có dòng chảy qua transistor từ cực C ra cực E để đưa ra trên dây bit đồng nghĩa với giá trị là bit 1.

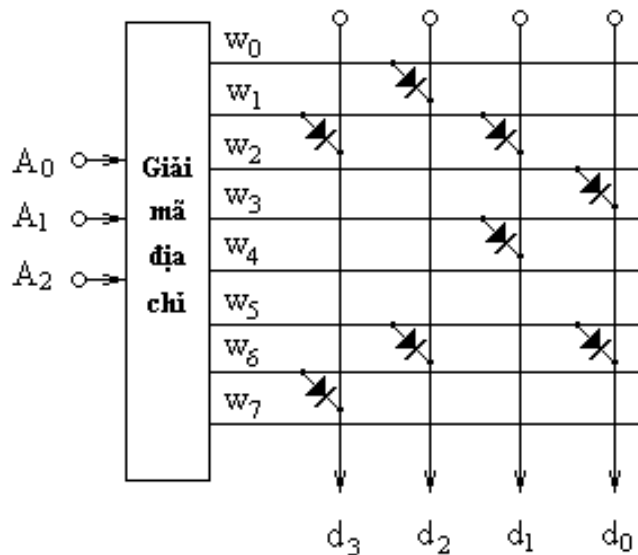
+ Nếu không có điện áp đưa ra trên dây từ, không có dòng phân cực cho cực B của transistor, transistor không thông, không có dòng chảy qua transistor từ cực C ra cực E để đưa ra trên dây bit đồng nghĩa với giá trị là bit 0.

- Tế bào ROM sử dụng transistor trường (*MOSFET*).

Tương tự giống như trường hợp sử dụng transistor lưỡng cực (*BJT*). Cực cửa G của MOSFET sẽ nhận điện áp điều khiển trên đường từ để từ đó xác định giá trị bit 1 hay bit 0 tại đầu ra.

### 1.3.2 Hoạt động của ROM diode.

a. Cấu trúc mạch.



Hình 10.4 : Cấu trúc bộ nhớ ROM 32 bit dùng Diode

- Xét cấu trúc của bộ nhớ ROM gồm 8 từ, mỗi từ có độ dài 4 bit. Các phân tử nhớ được nối thông bằng diode ngay trong quá trình sản xuất. Như vậy, ma trận nhớ của ROM sẽ bao gồm 8 hàng ngang và 4 cột dọc.

- Vị trí của 1 bit là giao điểm của một đường từ với một đường bit.

- Tại giao điểm, nếu có diode nối thì là bit 1, còn nếu không được nối là bit 0.

b. Hoạt động.

Khi muốn đọc dữ liệu ra, ta cho số liệu địa chỉ vào. Chẳng hạn  $A_2A_1A_0 = 011$  --> Bộ giải mã địa chỉ sẽ tiến hành giải mã và cho ra địa chỉ tại đầu ra là  $W_3$  --> trên dây  $W_3$  sẽ có mức điện áp cao đưa ra (*chẳng hạn*  $+5VDC$ ). Điều này tương ứng với các đầu ra có dữ liệu là  $d_3d_2d_1d_0 = 0010$

### 1.4. Cấu trúc tế bào PROM.

- PROM có phân tử nhớ (*tế bào*) gồm linh kiện là transistor BJT mắc nối tiếp với một cầu chì ở một trong hai dạng.

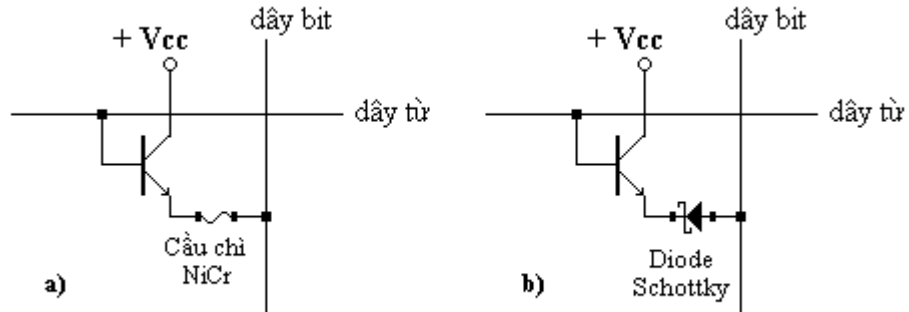
+ Cầu chì bằng hợp kim NiCr.

+ Cầu chì bằng Diode schottky.

- Với cầu chì bằng hợp kim NiCr. Phân tử nhớ luôn dẫn thông đồng nghĩa với bit là 1.

- Với cầu chì bằng Diode schottky. Phân tử nhớ không dẫn thông vì diode schottky được mắc phân cực ngược, điều này đồng nghĩa với bit là 0.

- PROM có tất cả các phần tử nhớ đều có cấu tạo như nhau tức là đều sử dụng transistor mắc nối tiếp với cầu chì. Tùy thuộc loại cầu chì được sử dụng mà PROM tồn tại ở 2 dạng hình.
- + PROM có tất cả các phần tử nhớ đều là bit 0 (cầu chì là NiCr).
- + PROM có tất cả các phần tử nhớ đều là bit 1 (cầu chì là diode schottky).

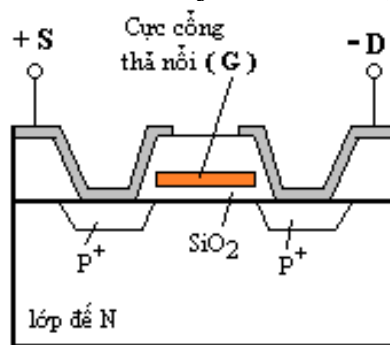


Hình 10.5 : Tế bào PROM dùng cầu chì NiCr (a), dùng diode schottky (b)

- Nguyên lý PROM dùng cầu chì hợp kim NiCr: Người sử dụng muốn ghi bit 1 vào phần tử nhớ nào thì giữ nguyên cầu chì tại phần tử nhớ đó. Muốn ghi bit 0 thì chỉ việc cho cầu chì tại đó đứt bằng một xung dòng điện đủ lớn, khi cầu chì đã đứt thì không có cách nào nối lại được như cũ, tức là không thay đổi nội dung được nữa.
- Nguyên lý PROM dùng cầu chì diode schottky: Người sử dụng muốn ghi bit 0 vào phần tử nhớ nào thì giữ nguyên cầu chì diode schottky tại phần tử nhớ đó. Muốn ghi bit 1 thì chỉ việc cho một xung điện áp ngược đủ lớn để đánh thủng diode tạo chập cực thông mạch vĩnh viễn, khi diode đã bị đánh thủng thì không có cách nào khôi phục lại được nữa, tức là không thay đổi nội dung được nữa.

### 1.5. Cấu trúc tế bào EPROM

EPROM sử dụng phần tử nhớ trên cơ sở một loại transistor đặc biệt là FAMOS (Floating Gate Avalanche Injection MOS).



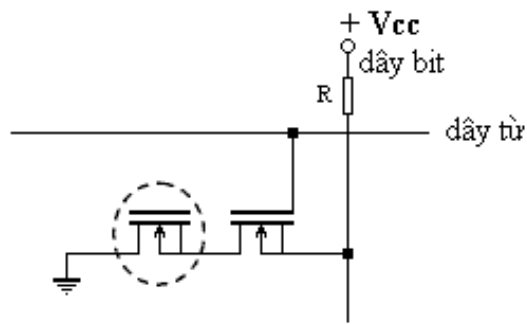
Hình 10.6 : Cấu tạo của FAMOS

#### a. Đặc điểm cấu tạo của FAMOS

- Cực cổng (G) của FAMOS không có điện cực nối ra ngoài mà hoàn toàn bị lớp SiO<sub>2</sub> cách ly nên ở trạng thái “bồng bênh” và có tên là cực cổng thả nổi.
- Cực cổng này không mang điện nên không có kênh dẫn giữa cực S và cực D do vậy transistor FAMOS ở trạng thái ngắt.

- Nếu đặt một điện áp ngược tương đối lớn ( $-30V$ ) giữa D với S, làm cho chuyển tiếp P-N ở vùng cực D với đế tại vùng kênh dẫn bị đánh thủng thác lũ, điện tử trong vùng nghèo nhờ điện trường mạnh gia tốc lớn bay từ vùng P<sup>+</sup> ra ngoài. Do tốc độ cao, có một phần điện tử xuyên qua lớp SiO<sub>2</sub> tương đối mỏng để đi tới cực cửa thả nổi. Quá trình này gọi là phun thác lũ. Khi không còn điện áp đặt giữa D với S, vì điện tử tại cực cổng không có lối thoát nên bảo tồn lâu dài tại đây.
- Điều chỉnh biên độ và thời gian của điện áp giữa D với S thì có thể điều chỉnh được số lượng hạt điện tử phun vào. Khi cực cổng đã có đủ điện tử (*mang điện tích âm*) thì có thể tạo ra kênh dẫn giữa D và S và làm cho transistor FAMOS trở thành thông.
- Nếu dùng tia cực tím hoặc tia X chiếu vào transistor FAMOS làm trung hòa điện tích ở cực cổng, kênh dẫn biến mất, transistor FAMOS trở về trạng thái ngắt. Do vậy, khi đóng vỏ IC, người ta để một cửa sổ bằng thạch anh dùng cho việc chiếu xạ khi cần.

#### b. Cấu trúc của tế bào EPROM



Hình 10.7 : Cấu trúc tế bào EPROM

- Một tế bào của EPROM bao gồm một transistor MOS mắc nối tiếp với một transistor FAMOS. Bình thường, tất cả các FAMOS đều ở trạng thái hở mạch.
- Khi viết dữ liệu, người ta đưa xung điện áp âm vào dây bit được chọn, đồng thời điều khiển dây từ cho MOS theo địa chỉ thông dẫn. Lúc này FAMOS ở dây bit được chọn sẽ bị đánh thủng thác lũ dẫn đến FAMOS thông.
- Khi đọc ra, dây từ chọn hàng phần tử nhớ, FAMOS nào có điện tử phun vào cực cổng của nó sẽ dẫn điện, dây bit tương ứng sẽ có mức điện áp thấp (L – logic 0), FAMOS nào không có điện tử phun vào cực cổng của nó sẽ bị hở mạch, dây bit tương ứng sẽ có mức điện áp cao (H – logic 1)

## 2. Bộ nhớ RAM (Random Access Memory-Bộ nhớ truy nhập ngẫu nhiên)

### 2.1. Khái quát chung.

#### 2.2.1 Khái niệm, phân loại.

##### a. Khái niệm:

- Truy nhập ngẫu nhiên là quá trình hoạt động diễn ra theo hai chiều - đưa dữ liệu ra và nhập dữ liệu vào. Hai quá trình này hoàn toàn là ngẫu nhiên không phụ thuộc vào kết cấu tổ chức của bộ nhớ mà chỉ phụ thuộc vào sự điều khiển ở bên ngoài.
- RAM là bộ nhớ mà trong quá trình sử dụng có thể đọc dữ liệu từ bên trong ra hoặc có thể cho phép viết dữ liệu từ bên ngoài vào (*xóa cũ - viết mới*).



b. Phân loại.

\* Theo cấu trúc tổ chức bộ nhớ: RAM nhiều từ - 1 bit (VD: RAM 64x1), RAM nhiều từ - nhiều bit (VD: RAM 128x4).

\* Theo phần tử nhớ trong RAM: RAM transistor lưỡng cực (RAM BJT), RAM transistor trường (RAM MOSFET).

- RAM transistor lưỡng cực: lấy cơ sở trạng thái phần tử FLIP-FLOP làm đơn vị nhớ. Loại này có tốc độ truy nhập cao (khoảng vài chục nsec) nhưng có công suất tiêu thụ lớn (khoảng 1 nW/bit)

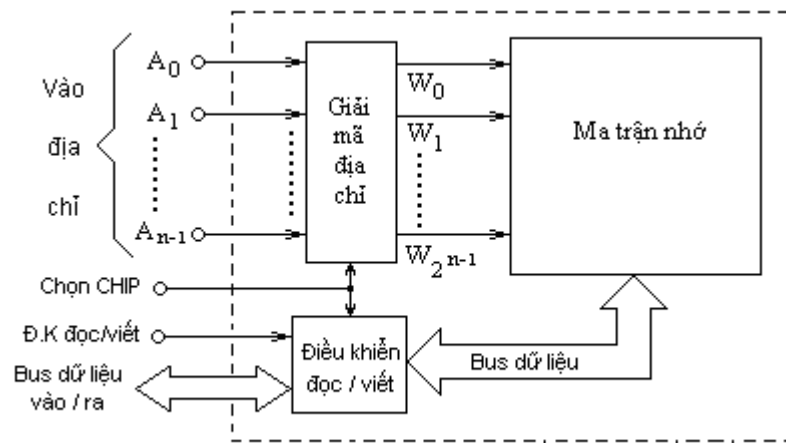
- RAM transistor trường: được chia làm hai loại.

+ RAM tĩnh (SRAM - Static RAM): lấy cơ sở trạng thái của phần tử FLIP-FLOP làm đơn vị nhớ.

+ RAM động (DRAM - Dynamic RAM): lấy cơ sở trạng thái điện tích trên tụ điện làm đơn vị nhớ.

## 2.2.2 Cấu trúc cơ bản

a. Sơ đồ cấu trúc:



Hình 10.8 : Cấu trúc cơ bản bộ nhớ RAM

b. Các đường tín hiệu vào/ra:

-  $A_{n-1}, A_1, \dots, A_0$  (Address): là các lối vào nhận dữ liệu địa chỉ dưới dạng số nhị phân ( $n$  lối vào).

- Điều khiển đọc/viết (R/W - Read/Write): là lối vào lựa chọn chế độ hoạt động cho RAM, đó là chế độ đọc dữ liệu ra và chế độ viết dữ liệu vào. Tùy theo trạng thái nhị phân của lối vào này mà RAM tại một thời điểm chỉ có thể hoạt động được ở một chế độ mà thôi.

- Chọn CHIP (CS - Select Chip): Do hạn chế về dung lượng nhớ RAM của 1 IC RAM nên bộ nhớ RAM thường được tổ chức theo kiểu ghép hợp nhiều IC RAM lại với nhau để tăng dung lượng bộ nhớ. Chính vì vậy khi RAM hoạt động, việc đọc dữ liệu ra hay viết dữ liệu vào cần phải chỉ định cụ thể IC RAM nào trong cấu trúc bộ nhớ RAM. Việc chỉ định IC RAM nào hoạt động chính là nhờ tín hiệu cho phép đưa đến tại lối vào chọn CHIP này.

- Bus dữ liệu vào/ra:

+ Bus là tập hợp các đường truyền dẫn dữ liệu theo hình thức sử dụng chung cho nhiều khối kiện, mạch điện bên trong thiết bị điện tử số.

+ Bus dữ liệu vào/ra: là tuyến truyền dẫn chung của dữ liệu đưa vào và lấy ra trong RAM.

+ Thông thường RAM tổ chức theo kiểu Bus dữ liệu vào/ra, nhưng cũng có những trường hợp RAM được phân định theo kiểu riêng biệt - đường vào riêng, đường ra riêng.

c. Các khối cơ bản.

- Bộ giải mã địa chỉ:

+ Tiếp nhận các từ mã địa chỉ dưới dạng số nhị phân tại đầu vào là  $A_{n-1}, A_1, \dots, A_0$ , tiến hành giải mã để đưa ra một địa chỉ xác định tại đầu ra của nó, hay nói một cách khác nó tiến hành giải mã để đưa ra một từ mã  $W_{2n-1}, \dots, W_1, W_0$  tại đầu ra để đưa tới ma trận nhớ.

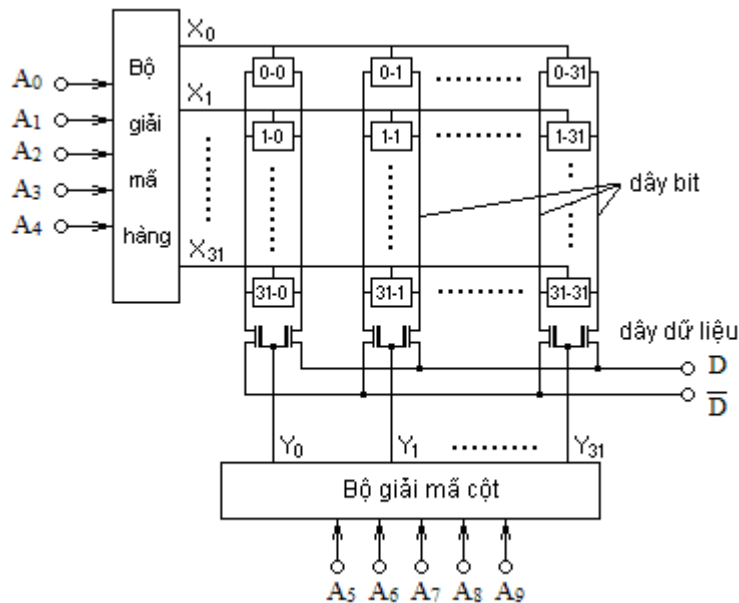
+ Bộ giải mã địa chỉ thường được chia làm hai bộ giải mã riêng biệt là bộ giải mã hàng và bộ giải mã cột.

- Bộ điều khiển đọc viết: là mạch điện số phân luồng cho dữ liệu đưa ra (*chế độ đọc*) và dữ liệu đưa vào (*chế độ viết*).

- Ma trận nhớ:

+ Cũng giống như bộ nhớ ROM, ma trận nhớ của RAM cũng được tổ chức theo kiểu ma trận hàng và cột.

+ Lấy ví dụ cho tổ chức ma trận nhớ của RAM 1024 x 1 bit



Hình 10.9 : Ma trận nhớ RAM 1024x1 bit

+ Ma trận nhớ được chia thành 32 hàng ( $X_0$  :-  $X_{31}$ ) và 32 cột ( $Y_0$  :-  $Y_{31}$ ).

+ 5 bit thấp địa chỉ  $A_4A_3A_2A_1A_0$  được đưa vào bộ giải mã hàng để đưa ra một địa chỉ xác định của một hàng  $X_i$  nào đó.

+ 5 bit cao địa chỉ  $A_9A_8A_7A_6A_5$  được đưa vào bộ giải mã cột để đưa ra một địa chỉ xác định của một cột  $Y_j$  nào đó.

+ Giao điểm của  $X_i$  với  $Y_j$  cho ta một phần tử nhớ có địa chỉ (i-j) và khi đó phần tử nhớ (i-j) được khai thông với đường dây truy xuất dữ liệu D hoặc  $\bar{D}$  để chuẩn bị cho việc đưa dữ liệu ra ngoài hoặc viết dữ liệu vào trong phần tử nhớ (i-j) đó.

+ Giả sử cho địa chỉ  $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0 = 0000100001$

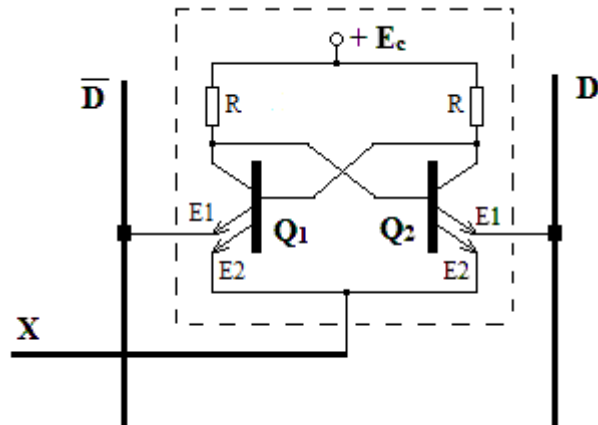
Ta có:  $A_4A_3A_2A_1A_0 = 00001 = 1_{(10)} \rightarrow i = 1 \rightarrow$  Bộ giải mã hàng sẽ tiến hành giải mã và cho ra tín hiệu tại  $X_1 \rightarrow$  các phần tử nhớ trên hàng ngang  $X_1$  được khai thông với các đường dây bit bên trong.

Trong khi đó  $A_9A_8A_7A_6A_5 = 00001 = 1_{(10)} \rightarrow j = 1 \rightarrow$  Bộ giải mã cột sẽ tiến hành giải mã và cho ra tín hiệu tại  $Y_1 \rightarrow$  Tín hiệu trên dây  $Y_1$  sẽ đưa đến cực G của cặp MOSFET tương ứng  $\rightarrow$  nối thông dây bit bên trong với dây dữ liệu bên ngoài là D và  $\bar{D}$  để sẵn sàng cho việc đưa dữ liệu ra hoặc viết dữ liệu vào.

## 2.2. Cấu trúc tế bào RAM.

### 2.2.1 Tế bào RAM tĩnh (SRAM - Static RAM)

#### a. RAM tĩnh dùng BJT



Hình 10.10 : Tế bào RAM dùng BJT

-  $Q_1$  và  $Q_2$  là 2 BJT được mắc thành mạch FF. Đặc điểm của 2 transistor này là có 2 cực E (E1 và E2), sự hoạt động của chúng phụ thuộc vào mức điện áp trên hai cực E này.

- Hai cực E2 của  $Q_1$  và  $Q_2$  được nối chung với nhau và nối với dây X. Hai cực E1 còn lại được nối riêng rẽ với dây bit D và  $\bar{D}$ .

- Ở trạng thái lưu giữ số liệu:  $Q_1$  và  $Q_2$  chỉ có thể ở 1 trong 2 trạng thái

+  $Q_1$  thông -  $Q_2$  tắt với giả định FF đang lưu giữ bit 1. Hoặc  $Q_1$  tắt -  $Q_2$  thông với giả định FF đang lưu giữ bit 0.

+ Cho điện thế trên dây X ở mức thấp ( $\approx 0.3V$ ), điện thế trên dây bit ở mức cao ( $\approx 1.1V$ ) lúc đó  $Q_1$  và  $Q_2$  sẽ hoạt động nhờ vào 2 cực E2, sẽ có dòng điện chạy qua E2 vào dây X. Còn 2 cực E1 không có dòng chạy qua nên coi như bị cách ly với dây bit. Trạng thái của  $Q_1$  và  $Q_2$  không có gì thay đổi coi như dữ liệu được bảo tồn.

- Trạng thái đọc dữ liệu:

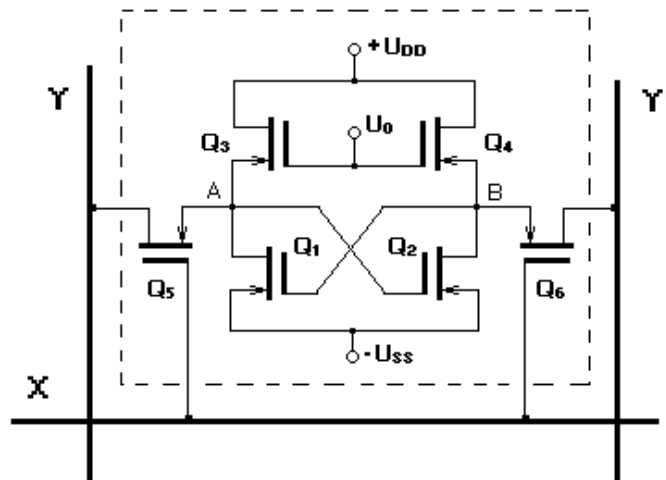
+ Giả thiết mạch đang lưu giữ bit 1 tức là  $Q_1$  thông -  $Q_2$  tắt.

+ Đưa dây X lên mức điện áp cao ( $\approx 2.2V$ ).  $Q_1$  lúc trước đang đang có dòng qua E2 vì E2 có mức điện áp thấp ( $\approx 0.3V$ ), bây giờ mức điện áp trên E2 được nâng cao hơn E1, do vậy dòng điện lập tức chạy qua E1 để vào dây bit  $\bar{D}$ . Trên dây bit  $\bar{D}$  có dòng điện chạy ra, còn đối với  $Q_2$  thì vẫn duy trì ở trạng thái tắt nên không có dòng đưa ra trên dây bit D. Điều này tương đương với việc thông báo có bit 1 đưa ra. Đối với việc thông báo có bit 0 đưa ra thì ngược lại, sẽ không có dòng điện đưa ra dây bit  $\bar{D}$  đồng thời sẽ có dòng điện đưa ra trên dây bit D.

+ Sau khi đọc xong lại đưa dây X trở về mức điện áp thấp ( $\approx 0.3V$ ), mạch lại trở về trạng thái lưu giữ số liệu.

- Trạng thái viết dữ liệu:

- + Vẫn giả thiết mạch đang lưu giữ bit 1 tức là  $Q_1$  thông -  $Q_2$  tắt.
  - + Nâng mức điện áp trên dây X lên mức cao để  $Q_1$  và  $Q_2$  hoạt động nhờ vào 2 cực E1 nối với dây D và  $\bar{D}$ .
  - + Ghi bit 0: Ta phải lật lại trạng thái là  $Q_1$  tắt -  $Q_2$  thông bằng cách nâng điện thế trên dây  $\bar{D}$  lên mức cao làm cho  $Q_1$  tắt --> cực b của  $Q_2$  có mức điện áp cao -->  $Q_2$  dẫn thông --> cực b của  $Q_1$  có mức điện áp thấp --> duy trì trạng thái tắt của  $Q_1$ .
  - + Ghi bit 1: Quá trình tương tự như trên nhưng nâng điện thế trên dây D để tạo ra  $Q_2$  tắt và dẫn đến  $Q_1$  thông.
  - + Sau khi ghi xong, đưa điện áp trên dây X trở về mức điện áp thấp ( $\approx 0.3V$ ), mạch lại trở về trạng thái lưu giữ số liệu.
- b. RAM tĩnh dùng MOSFET



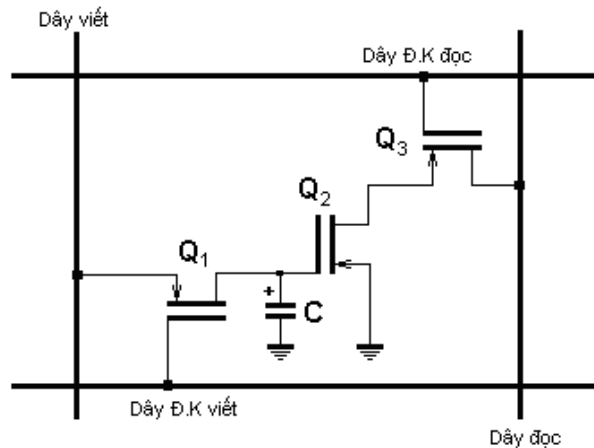
Hình 10.11 : Tế bào RAM dùng MOSFET kênh N

- Đường dây X để xác định từ, đường dây YY' để xác định bit.
- $Q_1$  và  $Q_2$  tạo thành mạch FF. Mạch FF chỉ tồn tại 1 trong 2 trạng thái tương ứng bit 1 và bit 0 .  $Q_1$  thông -  $Q_2$  tắt (giả sử bit 1);  $Q_1$  tắt -  $Q_2$  thông (bit 0)
- $Q_3$  và  $Q_4$  đóng vai trò như hai điện trở tải cho  $Q_1$  và  $Q_2$ .
- $Q_5$  và  $Q_6$  làm việc như khóa điện tử để nối thông FF với bên ngoài phục vụ cho quá trình đọc ra và viết dữ liệu vào.
- Thao tác lưu giữ số liệu: Đưa dây X về mức điện áp thấp (0V) -->  $Q_5$  và  $Q_6$  tắt --> cách ly FF với mạch ngoài và FF bảo tồn trạng thái.
- Thao tác đọc:
  - + Giả sử mạch đang lưu giữ bit 1 -->  $Q_1$  thông -  $Q_2$  tắt.
  - + Đưa xung dương vào dây X -->  $Q_5$  và  $Q_6$  thông nối điểm A và B với dây Y và Y' --> do  $Q_1$  đang thông, thế điểm A = 0V --> không có dòng điện đi ra dây Y.  $Q_2$  đang tắt, thế điểm B ở mức cao (H) --> xuất hiện dòng điện đi ra dây Y' qua  $Q_6$ . Sự xuất hiện dòng điện trên dây Y' báo hiệu có bit 1 đưa ra. Còn nếu là bit 0 thì sẽ xuất hiện dòng điện trên dây Y.
  - + Khi xung kết thúc, điện áp trên dây X lại trở về 0V, mạch lại về trạng thái lưu giữ số liệu.
- Thao tác viết:
  - + Đưa xung điện áp dương vào dây X -->  $Q_5$  và  $Q_6$  thông nối điểm A và B với dây Y và Y'.

- + Ghi bit 0 : Đưa xung điện áp dương vào dây Y --> làm cho thế điểm tại A dâng cao --> Q<sub>2</sub> đang tắt trở thành thông, điện áp tại điểm B = 0V --> Q<sub>1</sub> đang thông thành tắt, FF đã lật trạng thái, Q<sub>1</sub> tắt - Q<sub>2</sub> thông (bit 0).
- + Ghi bit 1 : Quá trình tương tự như trên nhưng xung điện áp dương được đưa vào dây Y' để tạo trạng thái Q<sub>1</sub> thông - Q<sub>2</sub> tắt (bit 1).
- + Khi xung kết thúc, điện áp trên dây X lại trở về 0V, mạch lại về trạng thái lưu giữ số liệu.

### 2.2.1 Tế bào RAM động (DRAM - Dynamic RAM)

#### a. Cấu trúc tế bào RAM động dùng 3 transistor NMOS



Hình 10.12 : Tế bào RAM dùng MOS

- Mạch sử dụng 3 transistor NMOS Q<sub>1</sub>, Q<sub>2</sub>, Q<sub>3</sub> và tụ điện C, trong đó:
  - + Tụ C đóng vai trò là phân tử lưu trữ dữ liệu. Người ta dựa vào 2 trạng thái của tụ C là trạng thái có điện tích và trạng thái không có điện tích để qui định cho bit 1 và bit 0 của dữ liệu. Giả sử tụ C đang lưu giữ điện tích thì qui định là đang lưu giữ bit 1 và ngược lại không có điện tích lưu giữ thì bit lưu giữ là bit 0.
  - + Q<sub>2</sub> đóng vai trò là phân tử chuyển đổi trạng thái bit 1 và bit 0 từ dạng điện tích thành dạng dòng điện một chiều.
  - + Q<sub>1</sub>, Q<sub>3</sub> đóng vai trò như 2 khóa điện tử đóng mở để nối thông hoặc cách ly Q<sub>2</sub> và tụ C với bên ngoài.
- Dây điều khiển viết: Để điều khiển quá trình viết dữ liệu vào.
- Dây viết: Cung cấp tín hiệu để thực hiện ghi dữ liệu vào.
- Dây điều khiển đọc: Để điều khiển quá trình đọc dữ liệu ra.
- Dây đọc: Cung cấp trạng thái dữ liệu bit 1 và bit 0 thông qua dòng điện.

#### b. Nguyên lý hoạt động.

\* Trạng thái lưu giữ số liệu.

Dây điều khiển viết và dây điều khiển đọc đều có mức điện áp thấp (L – mức 0V). Các transistor Q<sub>1</sub> và Q<sub>3</sub> đều không thông, tụ C và Q<sub>2</sub> được cách ly hoàn toàn với bên ngoài do vậy trạng thái điện tích trên tụ được bảo lưu, tức là giá trị bit dữ liệu (1 hoặc 0) đang được lưu giữ.

\* Trạng thái đọc dữ liệu ra.

- + Đưa dây điều khiển đọc lên mức cao (H) bằng cách tác động một xung dương điện áp --> Q<sub>3</sub> được dẫn thông kết nối Q<sub>2</sub> với dây đọc.
- + Giả sử phân tử nhớ đang lưu giữ bit 1 đồng nghĩa với tụ C đang lưu giữ điện tích. Điện tích dương trên má tụ C tác động vào cực cửa G của Q<sub>2</sub> làm

cho  $Q_2$  dẫn thông. Khi đó đưa dây đọc lên mức cao (H), sẽ có dòng điện chạy qua  $Q_3$  và  $Q_2$  xuống GND. Điện áp trên đầu ra dây đọc sẽ có mức điện áp thấp (L – giá trị 0V), dòng điện không đưa được ra ngoài điều này tương đương với có bit 1 được đưa ra.

+ Giả sử phần tử nhớ đang lưu giữ bit 0 đồng nghĩa với tụ C không có điện tích, cực cửa G của  $Q_2$  có mức điện áp 0V làm cho  $Q_2$  không thông. Đưa dây đọc lên mức cao (H), khi đó sẽ có dòng điện đưa ra ngoài, điện áp trên đầu ra dây đọc sẽ có mức điện áp cao (H), điều này tương đương với có bit 0 được đưa ra.

Như vậy khi có dòng, có áp đưa ra ngoài trên dây đọc điều đó tương đương với bit 0 được truy xuất ra, còn khi không có dòng, có áp đưa ra ngoài trên dây đọc điều đó tương đương với bit 1 được truy xuất ra.

+ Sau khi đọc xong, đưa điện áp trên dây điều khiển đọc và dây đọc xuống mức thấp (*kết thúc xung dương trên dây điều khiển đọc*) để đưa mạch về trạng thái lưu giữ số liệu.

\* Trạng thái viết dữ liệu vào.

+ Đưa dây điều khiển viết lên mức cao (H) bằng cách tác động một xung dương điện áp -->  $Q_1$  được dẫn thông kết nối tụ C với dây viết.

+ Muốn ghi bit 1 thì đưa dây viết lên mức điện áp cao (H), sẽ có dòng điện từ dây viết qua  $Q_1$  nạp điện cho tụ C, tụ C có điện tích tương đương với bit 1 được ghi.

+ Muốn ghi bit 0 thì đưa dây viết xuống mức điện áp thấp (L – giá trị 0V), tụ C sẽ phóng điện ra ngoài thông qua  $Q_1$ , tụ C không còn điện tích, điều này tương đương với bit 0 đã được ghi.

+ Sau khi viết xong dữ liệu, cho mức điện áp trên dây điều khiển viết xuống mức thấp (*kết thúc xung dương trên dây điều khiển viết*) để đưa mạch về trạng thái lưu giữ số liệu.

### 2.3. Khảo sát bộ nhớ RAM.

a. Nội dung:

- Tìm hiểu cấu trúc, chức năng các chân của bộ nhớ RAM dùng IC 7489
- Lắp mạch, khảo sát nguyên lý hoạt động của IC 7489 .

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

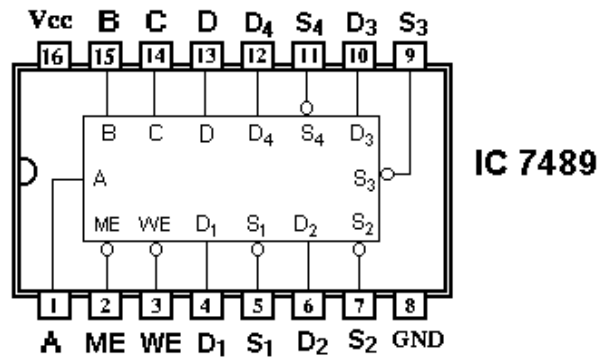
c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC RAM	IC 7489 hoặc tương đương	1 IC/ nhóm
3	Công tắc gạt	2 cực - chân cắm	5
4	Điện trở	1 K $\Omega$ / 0.25W	5
5	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
6	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 10.1: Bảng thiết bị, vật tư khảo sát mạch đếm 10 dùng IC 7490

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Tìm hiểu cấu trúc của IC 7489.



Hình 10.13 : Cấu trúc IC 7489

- + IC 7489 là IC nhớ có dung lượng nhớ 64 bit (16 từ/4bit).
- + PIN 16 : Vcc = +5V
- + PIN 8 : GND
- + PIN 2 : Lối vào cho phép bộ nhớ hoạt động (ME - Memory Enable). Lối vào này tương tự như lối vào chọn Chip (CS)
- + PIN 3 : Lối vào cho phép đọc/viết dữ liệu (WE - Write Enable).
- + PIN 5; 7; 9; 11 : Các lối vào nhập dữ liệu 4 bit song song (S<sub>4</sub>, S<sub>3</sub>, S<sub>2</sub>, S<sub>1</sub>).
- + PIN 4 ; 6 ; 10 ; 12 : Các lối ra cho dữ liệu 4 bit song song (D<sub>4</sub>, D<sub>3</sub>, D<sub>2</sub>, D<sub>1</sub>).
- + PIN 13; 14; 15; 1 : Các lối vào địa chỉ 4 bit DCBA (A là bit LSB).

- Hoạt động:

+ Ghi dữ liệu :

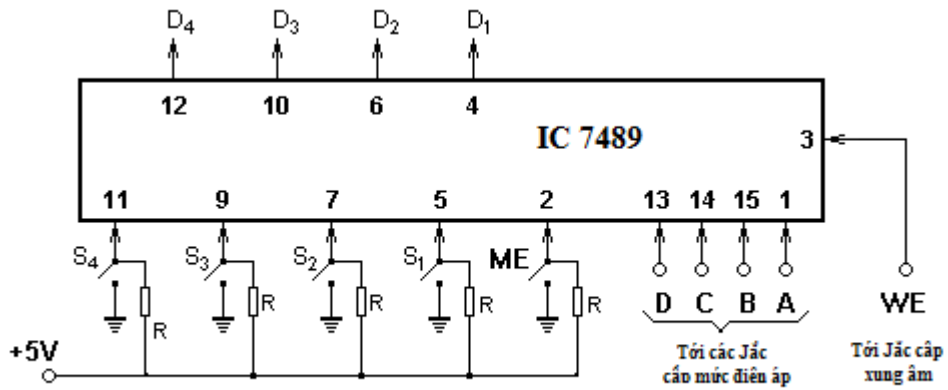
Dữ liệu được ghi vào bộ nhớ theo từng từ (*word*) 4 bit. Đầu tiên, đưa mức điện áp tại chân cho phép bộ nhớ hoạt động ME (Memory Enable) xuống mức thấp (L). Tiếp theo, ta xác định địa chỉ các phần tử nhớ để ghi giữ dữ liệu thông qua việc đưa vào các tín hiệu mã nhị phân tại các lối vào địa chỉ DCBA. Tiếp theo nữa, ta xác lập dữ liệu muốn ghi 4 bit cho 1 từ dưới dạng mã nhị phân tại các lối vào S<sub>4</sub>S<sub>3</sub>S<sub>2</sub>S<sub>1</sub>. Cuối cùng, ta đưa tín hiệu cho phép ghi dữ liệu bằng cách kích thích một xung âm tại lối vào WE (Write Enable). Lập tức dữ liệu sẽ được ghi vào trong các phần tử nhớ theo địa chỉ mong muốn.

+ Đọc dữ liệu ra:

Việc đọc dữ liệu ra đơn giản bằng cách giữ lối vào ME ở mức thấp (L), lối vào WE ở mức cao (H), sau đó xác lập địa chỉ của phần tử nhớ qua các lối vào địa chỉ DCBA, lập tức dữ liệu bên trong các phần tử nhớ tương ứng sẽ được truy xuất ra ngoài qua các lối ra dữ liệu D<sub>4</sub>D<sub>3</sub>D<sub>2</sub>D<sub>1</sub>.

- Lắp mạch.

+ Nghiên cứu mạch đấu nối (Hình 10.14).



Hình 10.14 : Mạch khảo sát IC 7489

- + Cấp Vcc = +5V ; GND.
- + Kết nối các chân xác định địa chỉ D, C, B, A tới các Jắc cấp mức điện áp D, C, B, A tương ứng trên máy.
- + Kết nối chân cho phép đọc/viết WE tới Jắc cấp xung âm trên máy.
- + Cắm 5 công tắc lên bảng mạch.
- + Kết nối 5 điện trở từ 5 cực của các công tắc tới điện áp + 5V.
- + Kết nối GND cho 5 cực còn lại của 5 công tắc.
- + Kết nối các công tắc với các lối vào tương ứng trên IC.
- Khảo sát nguyên lý hoạt động ghi dữ liệu vào trong RAM.
- + Lập bảng chân lý dự tính cho 16 từ dữ liệu 4 bit  $S_4S_3S_2S_1$  với các địa chỉ xác định của các phân tử nhớ trong RAM.

Số thập phân	Vào ME	Vào địa chỉ				Vào dữ liệu				Vào WE
		D	C	B	A	$S_4$	$S_3$	$S_2$	$S_1$	
0	L	0	0	0	0					⌋
1	L	0	0	0	1					⌋
2	L	0	0	1	0					⌋
3	L	0	0	1	1					⌋
4	L	0	1	0	0					⌋
5	L	0	1	0	1					⌋
6	L	0	1	1	0					⌋
7	L	0	1	1	1					⌋
8	L	1	0	0	0					⌋
9	L	1	0	0	1					⌋
10	L	1	0	1	0					⌋
11	L	1	0	1	1					⌋
12	L	1	1	0	0					⌋
13	L	1	1	0	1					⌋
14	L	1	1	1	0					⌋
15	L	1	1	1	1					⌋

Bảng 10.2 : Bảng chân lý khảo sát cho IC 7489

- + Đưa lối vào cho phép ME xuống mức thấp (L - logic 0).



- + Nhập một dữ liệu địa chỉ DCBA, nhập một dữ liệu cần ghi S<sub>4</sub>S<sub>3</sub>S<sub>2</sub>S<sub>1</sub> theo bảng chân lý đã được lập. Tạo xung âm kích thích tại lối vào WE.
- + Tiến hành lặp lại như bước trên với mỗi một địa chỉ tiếp theo cho đến hết.
- Khảo sát nguyên lý hoạt động đọc dữ liệu ra từ RAM.
- + Giữ lối vào ME ở mức thấp (L), lối vào WE ở mức cao (H).
- + Nhập các địa chỉ DCBA theo mã nhị phân.
- + Quan sát trạng thái dữ liệu thông qua đèn hiển thị LED trên các chân ra tương ứng của IC là D<sub>4</sub>D<sub>3</sub>D<sub>2</sub>D<sub>1</sub>.
- So sánh kết quả dữ liệu được truy xuất ra với giá trị dữ liệu đã được nạp vào tại các địa chỉ xác định ban đầu.

### Đánh giá kết quả

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được cấu trúc, nguyên lí hoạt động của các bộ nhớ cơ bản ROM; RAM.	<b>3</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của bộ nhớ RAM dùng IC 7489 đúng chức năng.	<b>5</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

### 3. Mở rộng dung lượng bộ nhớ.

#### 3.1. Phương pháp mở rộng số đường địa chỉ.

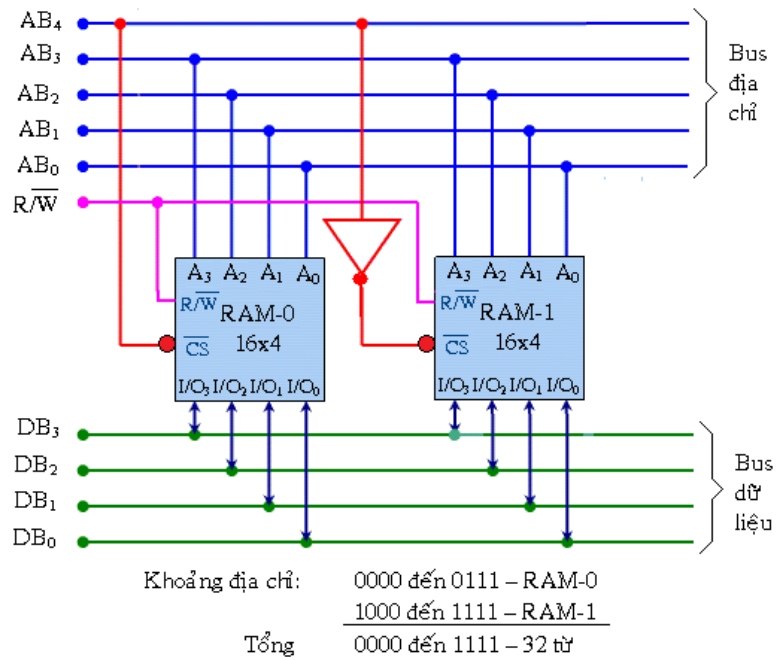
a. Khái quát chung.

- Như trên đã đề cập, do hạn chế về dung lượng nhớ RAM của 1 IC RAM nên bộ nhớ RAM thường được tổ chức theo kiểu ghép hợp nhiều IC RAM lại với nhau để tăng dung lượng bộ nhớ.
- Có hai cách ghép hợp các IC RAM với nhau để mở rộng dung lượng bộ nhớ, đó là phương pháp mở rộng số đường địa chỉ và phương pháp mở rộng số đường dữ liệu.
- Phương pháp mở rộng số đường địa chỉ cho phép cho phép tăng số từ của bộ nhớ nhưng số bit dành cho 1 từ không thay đổi.

Ví dụ : Dùng k bộ nhớ RAM có cấu trúc (m từ) x (n bit) ghép nối với nhau theo phương pháp mở rộng số đường địa chỉ sẽ tạo ra một bộ nhớ RAM mới với số từ tăng lên gấp k lần nhưng số bit cho 1 từ thì không đổi. Cụ thể ta sẽ có một bộ nhớ RAM với số từ sẽ là (k.m), còn số bit thì vẫn giữ nguyên là (m bit).

b. Hình thức ghép nối.

- Ví dụ: sử dụng 2 IC RAM 16x4 ghép nối với nhau để thành một bộ nhớ mới là RAM 32X4.
- Theo hình thức tổ chức ghép nối trên, ta có:
  - + 4 đường địa chỉ của 2 RAM được ghép nối song song tương ứng nhau.
  - + Đường địa chỉ thứ 5 chính là lối vào cho phép RAM hoạt động nhưng được phân chia khác trạng thái nhau nhờ cổng NOT tại 1 RAM (trên hình vẽ là RAM-1). Do lối vào cho phép của 2 RAM khác trạng thái nhau nên cùng một thời điểm chỉ có 1 RAM được phép hoạt động.



Hình 10.15: Ghép nối 2 RAM 16x4 theo phương pháp mở rộng địa chỉ.

+ Với 5 lối vào địa chỉ này, số từ trong bộ nhớ sẽ là  $2^5 = 32$ .

+ 4 đường dữ liệu vào ra cũng được ghép song song nhau đại diện cho một từ mã dữ liệu 4 bit.

### 3.2. Phương pháp mở rộng số đường dữ liệu

- Phương pháp mở rộng số đường dữ liệu cho phép cho phép tăng số bit của 1 từ trong bộ nhớ nhưng số từ của bộ nhớ thì không thay đổi.

- Ví dụ: sử dụng 2 IC RAM 16x4 ghép nối với nhau theo phương pháp mở rộng số đường dữ liệu để thành một bộ nhớ mới là RAM 16x8.

- Hình thức tổ chức (hình 10.16):

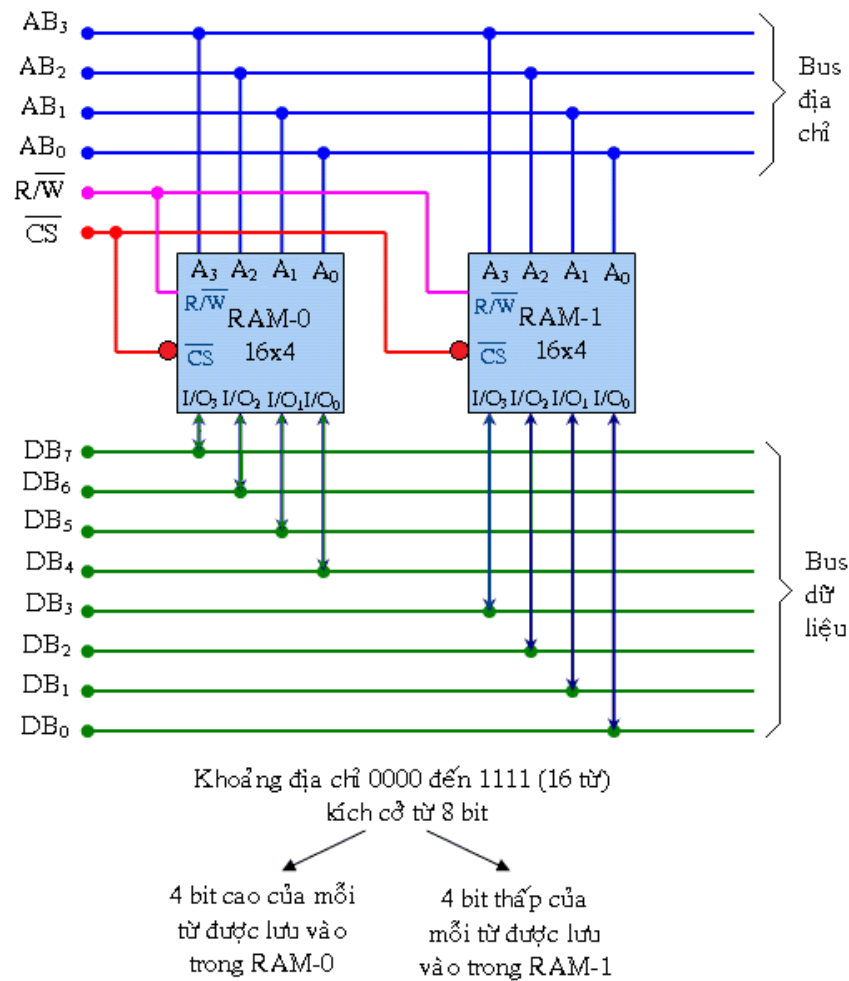
- Theo hình thức tổ chức ghép nối trên, ta có:

+ 4 đường địa chỉ của 2 RAM được ghép nối song song tương ứng nhau và chính là 4 đường địa chỉ của RAM mới.

+ 4 đường dữ liệu vào/ra của 2 RAM được đưa ra độc lập và nó sẽ đại diện cho một từ mã dữ liệu có độ dài 8 bit.

+ Lối vào cho phép hoạt động của 2 RAM được đấu nối chung với nhau. Điều này cho phép cùng một lúc 2 RAM đều có thể hoạt động. Như vậy với cùng 1 địa chỉ đưa vào, 2 RAM sẽ cùng nhau truy nhập dữ liệu vào/ra nhưng độc lập nhau và ghép hợp với nhau để có độ dài 8 bit cho 1 từ mã dữ liệu.

+ Với cách tổ chức này, dung lượng bộ nhớ RAM sẽ là 16x8.



Hình 10.16: Ghép nối 2 RAM 16x4 theo phương pháp mở rộng đường dữ liệu.

## 4. Giới thiệu IC nhớ bán dẫn

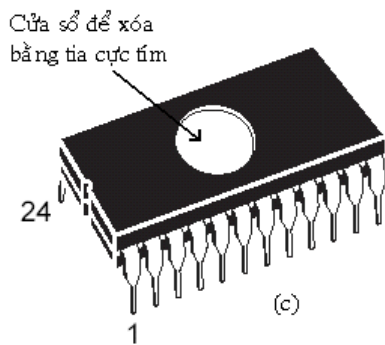
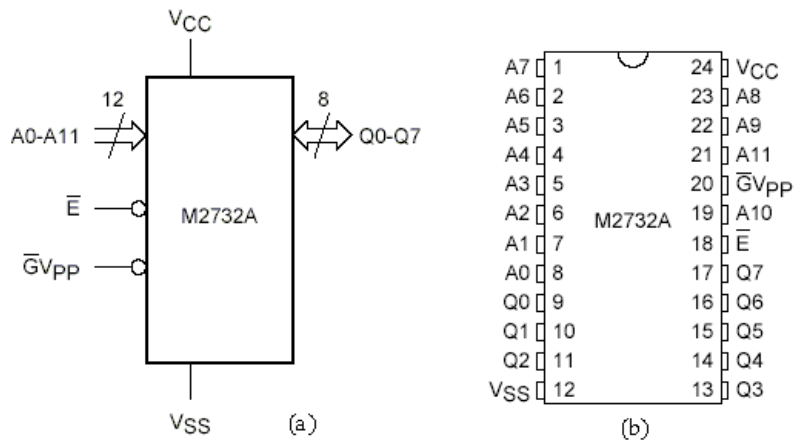
### 4.1 Chip EPROM M2732A

- Hiện nay trên thị trường có nhiều loại EPROM với dung lượng và thời gian truy xuất khác nhau. IC 2732A là loại EPROM NROMS nhỏ có dung lượng 4Kx8 hoạt động với nguồn điện +5V trong suốt tiến trình vận hành bình thường.

- IC M2732A có 12 đầu vào địa chỉ và 8 đầu ra dữ liệu. Hai đầu vào điều khiển là  $\overline{E}$  và  $\overline{V_{PP}}$ .

+  $\overline{E}$  là đầu vào cho phép của chip, được sử dụng để đặt thiết bị vào chế độ có đợi khi năng lượng tiêu thụ giảm.

+  $\overline{V_{PP}}$  là đầu vào có hai mục đích với chức năng tùy thuộc vào chế độ hoạt động của thiết bị.  $\overline{V}$  cho phép đầu ra và được sử dụng để kiểm soát vùng đệm đầu ra dữ liệu của thiết bị, sao cho có thể nối thiết bị này với bus dữ liệu của bộ vi xử lý mà không xảy ra chạnh chấp bus.  $V_{pp}$  là điện thế lập trình đặc biệt bắt buộc phải có trong suốt giai đoạn lập trình.



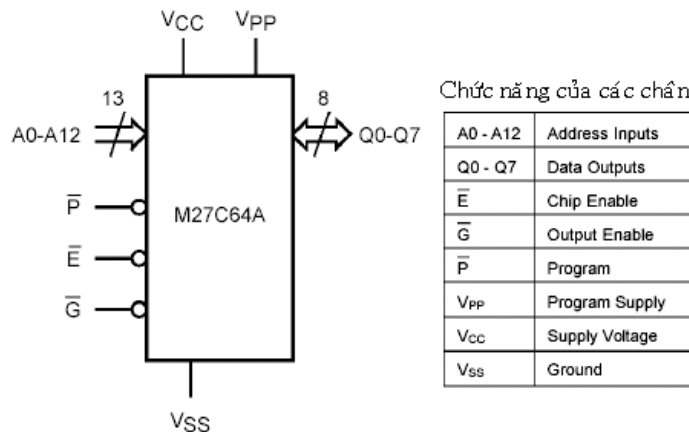
Mode	$\bar{E}$	$\bar{G}_{VPP}$	$V_{CC}$	$Q_0 - Q_7$
Read	$V_{IL}$	$V_{IL}$	$V_{CC}$	Data Out
Program	$V_{IL}$ Pulse	$V_{PP}$	$V_{CC}$	Data In
Verify	$V_{IL}$	$V_{IL}$	$V_{CC}$	Data Out
Program Inhibit	$V_{IH}$	$V_{PP}$	$V_{CC}$	Hi-Z
Standby	$V_{IH}$	X	$V_{CC}$	Hi-Z

Ghi chú  $V_{IL}$  = TTL LOW  
 $V_{IH}$  = TTL HIGH  
 X = không quan tâm  
 $V_{pp}$  = 21V danh định

Hình 10.17 (a) Kí hiệu logic của EPROM M2732A; (b) Sơ đồ chân; (c) Vỏ EPROM với cửa sổ tia tử ngoại; (d) Chế độ hoạt động của EPROM M2732A

#### 4.2 Chip EPROM M27C64A

- IC EPROM M27C64A là loại EPROM có dung lượng lớn 8Kx8 và thời gian truy xuất là 150ns. Đây là loại EPROM đang phổ biến trên thị trường, có hai dạng vỏ khác nhau để người dùng có thể chọn lựa tùy theo nhu cầu.



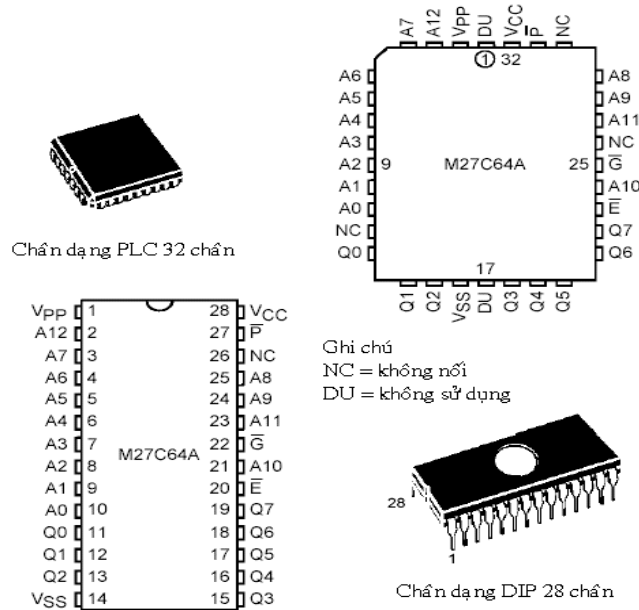
Chức năng của các chân

A0 - A12	Address Inputs
Q0 - Q7	Data Outputs
$\bar{E}$	Chip Enable
$\bar{G}$	Output Enable
$\bar{P}$	Program
$V_{PP}$	Program Supply
$V_{CC}$	Supply Voltage
$V_{SS}$	Ground

Hình 10.18: Ký hiệu logic và chức năng các chân của M27C64A

Mode	$\bar{E}$	$\bar{G}$	$\bar{P}$	A9	V <sub>PP</sub>	Q0 - Q7
Read	V <sub>IL</sub>	V <sub>IL</sub>	V <sub>IH</sub>	X	V <sub>CC</sub>	Data Out
Output Disable	V <sub>IL</sub>	V <sub>IH</sub>	V <sub>IH</sub>	X	V <sub>CC</sub>	Hi-Z
Program	V <sub>IL</sub>	V <sub>IH</sub>	V <sub>IL</sub> Pulse	X	V <sub>PP</sub>	Data In
Verify	V <sub>IL</sub>	V <sub>IL</sub>	V <sub>IH</sub>	X	V <sub>PP</sub>	Data Out
Program Inhibit	V <sub>IH</sub>	X	X	X	V <sub>PP</sub>	Hi-Z
Standby	V <sub>IH</sub>	X	X	X	V <sub>CC</sub>	Hi-Z
Electronic Signature	V <sub>IL</sub>	V <sub>IL</sub>	V <sub>IH</sub>	V <sub>ID</sub>	V <sub>CC</sub>	Codes

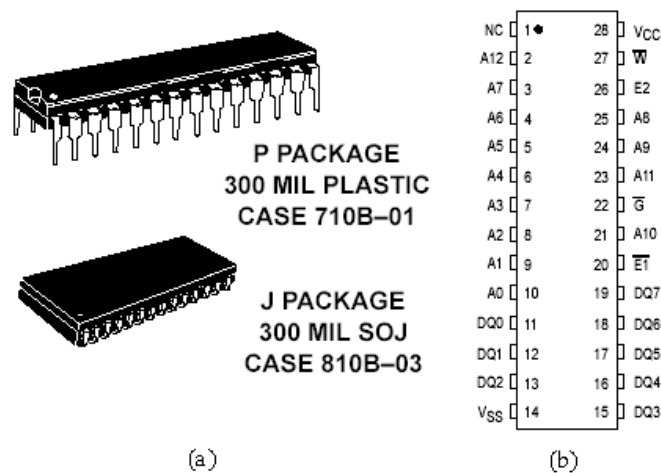
Bảng 10.3 : Bảng phân lý của M27C64A



Hình 10.19: Hình dạng và cấu trúc các chân M27C64A

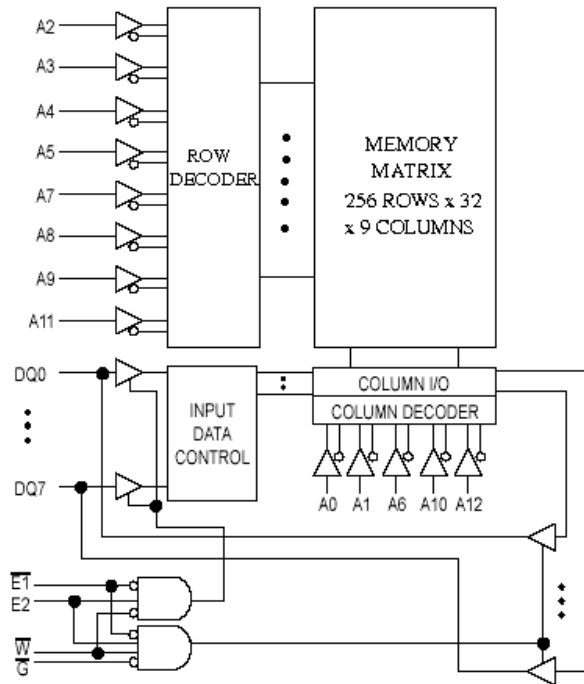
### 4.3 IC SRAM MCM6264C

Một loại IC SRAM thực tế hiện dần có mặt trên thị trường là MCM6264C CMOS 8Kx8 với chu kỳ đọc và chu kỳ ghi là 12ns, công suất tiêu thụ ở chế độ standby chỉ là 100mW. Sơ đồ chân và hình dạng của IC này được minh họa trong hình 10.20.



Hình 10.20: Hình dạng và cấu trúc các chân MCM6264C

- Cấu trúc bên trong của IC SRAM như hình 4.29. Ở đây có 13 đầu vào địa chỉ và 8 đường vào/ra dữ liệu. 4 đầu vào điều khiển quyết định chế độ vận hành của thiết bị, theo như bảng các chế độ hoạt động hình 10.21 và 10.22.



Hình 10.21: Sơ đồ cấu trúc của MCM6264C

Tên các chân	
A0 – A12	Address Input
DQ0 – DQ7	Data Input/Data Output
$\overline{W}$	Write Enable
$\overline{G}$	Output Enable
E1, E2	Chip Enable
VCC	Power Supply (+ 5 V)
VSS	Ground

(a)

Bảng chế độ hoạt động							
E1	E2	$\overline{G}$	$\overline{W}$	Mode	VCC Current	Output	Cycle
H	X	X	X	Not Selected	$I_{SB1}, I_{SB2}$	High-Z	—
X	L	X	X	Not Selected	$I_{SB1}, I_{SB2}$	High-Z	—
L	H	H	H	Output Disabled	$I_{CCA}$	High-Z	—
L	H	L	H	Read	$I_{CCA}$	D <sub>out</sub>	Read Cycle
L	H	X	L	Write	$I_{CCA}$	High-Z	Write Cycle

(b)

Hình 10.22: Chức năng các chân (a) và bảng chân lý (b) của MCM6264C

- Đầu vào  $\overline{W}$  cũng chính là đầu vào  $R/\overline{W}$ .  $\overline{W}$  ở mức thấp cho phép ghi dữ liệu vào RAM, với điều kiện RAM này được chọn cả hai đầu vào E đều tích cực.  $\overline{W}$  ở mức cao sẽ cho phép hoạt động đọc, miễn là linh kiện phải được chọn và bộ đệm đầu ra được kích hoạt bằng  $\overline{G} = \text{LOW}$ . Khi không được chọn linh kiện này sẽ trở vào chế độ năng lượng thấp, và không có đầu vào nào có hiệu lực.

## Bài 11: Mạch ADC - DAC

*Mục tiêu:*

\* *Kiến thức:*

- Trình bày được cấu tạo, nguyên lý hoạt động, phạm vi ứng dụng các bộ chuyển đổi ADC và DAC.

- Giải thích được chức năng một số IC chuyển đổi thông dụng và ứng dụng của chúng.

\* *Kỹ năng:*

- Kiểm tra, khảo sát một số ứng dụng của IC chuyển đổi thông dụng.

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

### 1. Mạch chuyển đổi số - tương tự ( DAC - Digital to Analog Converter )

#### 1.1. Khái quát chung.

- Hầu hết tín hiệu trong tự nhiên đều là các đại lượng tương tự như nhiệt độ, áp suất, cường độ ánh sáng, ... Do đó muốn xử lý trong một hệ thống kỹ thuật số (VD: máy tính số), ta phải chuyển đổi các tín hiệu ở dạng tương tự này sang dạng tín hiệu số, có như vậy mới có thể xử lý và điều khiển các hệ thống được.

- Ngược lại, thường có yêu cầu biến đổi tín hiệu số (thường là kết quả xử lý) thành tín hiệu tương tự tương ứng để đưa ra sử dụng.

- Chúng ta gọi sự chuyển đổi từ tín hiệu tương tự sang tín hiệu số là chuyển đổi AD, mạch điện làm nhiệm vụ công việc chuyển đổi này gọi là ADC.

- Chúng ta gọi sự chuyển đổi từ tín hiệu số sang tín hiệu tương tự là chuyển đổi DA, mạch điện làm nhiệm vụ công việc chuyển đổi này gọi là DAC.

- Để kết quả xử lý nhận được một cách chính xác thì chuyển đổi AD và DA phải có độ chính xác đủ cao. Mặt khác, muốn dùng hệ thống số để điều khiển, giám sát các quá trình biến đổi nhanh thì ADC và DAC phải có tốc độ đủ lớn. Vậy độ chính xác và tốc độ chuyển đổi là các đặc trưng kỹ thuật chủ yếu để đánh giá chất lượng của ADC và DAC.

- Mạch ADC và DAC có nhiều kiểu cấu trúc khác nhau, tuy nhiên thông dụng hơn cả là 2 loại mạch điển hình là DAC điện trở hình T và ADC xấp xỉ tiệm cận

#### 1.2. Mạch DAC điện trở hình T

##### 1.2.1. Cấu trúc mạch.

- Mạch có 2 loại giá trị điện trở là R và 2R được mắc thành mạng 4 cực hình T kết nối dây chuyển.

- Mạch điện trở này được mắc vào bộ khuếch đại đảo dùng KĐTĐ.

-  $B_3, B_2, B_1, B_0$  là các bit nhị phân được đưa vào chuyển đổi với  $B_0 = \text{LSB}$ .

-  $V_{\text{ref}}$  là nguồn điện áp chuẩn có nội trở coi như bằng 0.

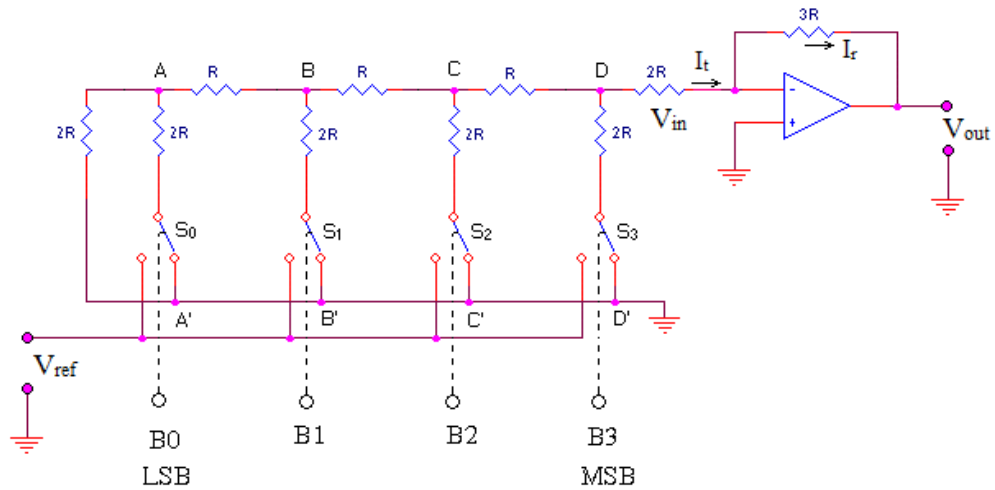
-  $V_{\text{in}}$  là điện áp đưa ra từ mạch điện trở để đưa vào bộ khuếch đại đảo.

-  $V_{\text{out}}$  là điện áp tương tự đưa ra sau khi chuyển đổi

-  $S_3, S_2, S_1, S_0$  là các chuyển mạch điện tử được khái quát hóa. Chúng chịu sự điều khiển của các tín hiệu nhị phân  $B_3, B_2, B_1, B_0$  tương ứng.

+ Khi  $B_i = 1$  thì  $S_i$  được đấu với nguồn điện áp chuẩn  $V_{\text{ref}}$ .

+ Khi  $B_i = 0$  thì  $S_i$  được nối với đất (GND)

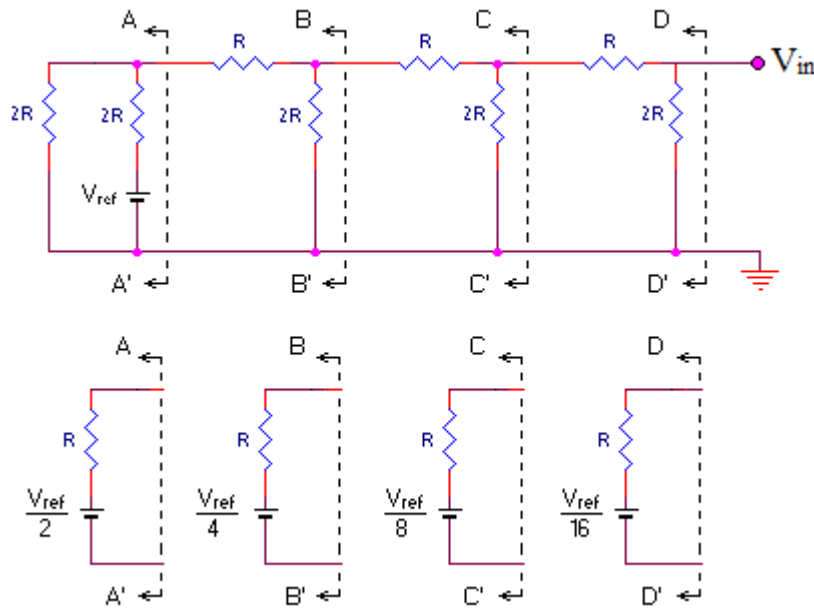


Hình 11.1: Cấu trúc mạch DAC điện trở hình T

### 1.2.2. Nguyên lý làm việc.

a. Nguyên lý.

\* Xét mạch làm việc với sự đóng mở đơn lẻ của các chuyển mạch  $S_i$   
 - Cho  $B_3B_2B_1B_0 = 0001$  --> lúc đó chỉ có  $S_0$  đấu vào nguồn  $V_{ref}$ , còn  $S_3S_2S_1$  được nối đất. Ta có mạch tương đương



Hình 11.2: Mạch tương đương của mạch điện trở hình T

- Nguồn  $V_{ref}$  sẽ chuyển qua các mắt mạch để đưa vào KĐTT.  
 - Áp dụng định lý Thevenin một cách tuần tự qua các mắt mạch A, B, C, D, với nội trở tại các điểm nút nhìn về phía trái sẽ luôn là R. Ta sẽ có:

$$U_{AA'} = \frac{V_{ref}}{2} = \frac{V_{ref}}{2^1} \quad ; \quad U_{CC'} = \frac{V_{ref}}{8} = \frac{V_{ref}}{2^3}$$

$$U_{BB'} = \frac{V_{ref}}{4} = \frac{V_{ref}}{2^2} \quad ; \quad U_{DD'} = \frac{V_{ref}}{16} = \frac{V_{ref}}{2^4}$$

- Như vậy ta thấy rằng, cứ sau mỗi một mắt mạch, điện áp sẽ giảm đi một nửa.

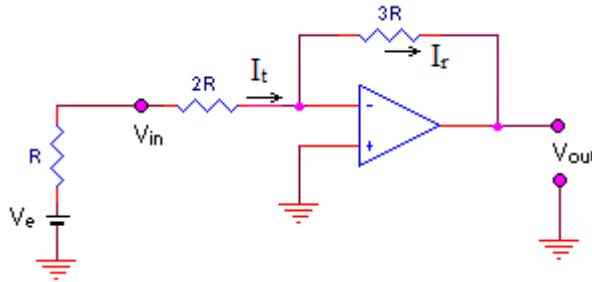


- Với phương pháp như trên, ta tính cho các trường hợp  $B_3B_2B_1B_0 = 0010$  ;  $0100$  ;  $1000$  tức là tương ứng với các chuyển mạch đơn lẻ  $S_1$  ;  $S_2$  ;  $S_3$  lần lượt được nối với  $V_{ref}$ . Tương ứng với các trường hợp trên ta sẽ có điện áp đưa ra của mạch điện trở hình T lần lượt là :

$$\frac{V_{ref}}{2^3} ; \frac{V_{ref}}{2^2} ; \frac{V_{ref}}{2^1}$$

\* Xét mạch làm việc với sự đóng mở bất kỳ của các chuyển mạch  $S_i$

- Áp dụng nguyên lý xếp chồng đối với các giá trị điện áp trên, ta có mạch tương đương mạng điện trở hình T, trong đó nội trở tương đương là  $R$ , sức điện động của nguồn tương đương là  $V_e$  ( $V_e$  là điện áp cuối cùng đưa ra của mạch điện trở hình T).



Hình 11.3: Mạch tương đương của mạch DAC điện trở hình T

- Giá trị  $V_e$  phụ thuộc và việc đóng mở các chuyển mạch  $S_3, S_2, S_1, S_0$  tức là phụ thuộc vào giá trị các bit nhị phân đưa vào chuyển đổi  $B_3B_2B_1B_0$ .

$$V_e = \frac{V_{ref}}{2^4} (B_3 \cdot 2^3 + B_2 \cdot 2^2 + B_1 \cdot 2^1 + B_0 \cdot 2^0)$$

- Mạch KĐTT với các điện trở đầu vào là  $(R + 2R)$  và điện trở hồi tiếp là  $3R$  nên sẽ có hệ số khuếch đại  $K=1$  -->  $V_{out} = -V_e$  (dấu trừ thể hiện điện áp vào ra ngược pha nhau vì là bộ khuếch đại đảo).

- Vậy, ta có :

$$V_{out} = -V_e = -\frac{V_{ref}}{2^4} (B_3 \cdot 2^3 + B_2 \cdot 2^2 + B_1 \cdot 2^1 + B_0 \cdot 2^0)$$

- Tổng quát cho mạch chuyển đổi tín hiệu số n bit  $B_{n-1} \dots B_1 B_0$

$$V_{OUT} = -\frac{V_{ref}}{2^N} (B_{N-1} \cdot 2^{N-1} + B_{N-2} \cdot 2^{N-2} + \dots + B_1 \cdot 2^1 + B_0 \cdot 2^0)$$

b. Sai số chuyển đổi : Đối với mạch DAC điện trở hình T thì sai số chuyển đổi do các nguyên nhân sau:

\* Sai lệch điện áp chuẩn tham chiếu  $V_{ref}$ .

- Từ công thức tổng quát, ta có thể tính sai số chuyển đổi DA do riêng sai số lệch điện áp chuẩn tham chiếu  $V_{ref}$  gây ra như sau:

$$\Delta V_{OUT} = -\frac{\Delta V_{ref}}{2^N} (B_{N-1} \cdot 2^{N-1} + B_{N-2} \cdot 2^{N-2} + \dots + B_1 \cdot 2^1 + B_0 \cdot 2^0)$$

- Biểu thức trên cho thấy sai số của điện áp tương tự  $\Delta V_{OUT}$  tỉ lệ với sai lệch  $\Delta V_{ref}$  và tỉ lệ thuận với giá trị tín hiệu số đầu vào ( $B_{n-1} \dots B_2 B_1 B_0$ ).

b. Sự trôi điểm "0" của khuếch đại thuật toán.

Sự trôi điểm "0" của bộ khuếch đại thuật toán ảnh hưởng như nhau đối với mọi giá trị tín hiệu số được biến đổi. Sai số  $\Delta V_{OUT}$  do trôi điểm "0" không phụ thuộc giá trị tín hiệu số.

\* Điện áp rơi trên điện trở tiếp xúc của tiếp điểm chuyển mạch.

Các chuyển mạch không phải là lý tưởng, thực tế điện áp rơi khi nối thông của mạch điện chuyển mạch không thể tuyệt đối bằng 0. Vậy điện áp rơi này đóng vai trò tín hiệu sai số đưa đến đầu vào mạng điện trở hình T.

\* Sai số của điện trở .

Sai số điện trở cũng gây ra sai số phi tuyến. Sai số của các điện trở không như nhau, tác động gây sai số chuyển đổi DA của những điện trở khác nhau về vị trí là khác nhau.

b. Tốc độ chuyển đổi:

DAC điện trở hình T công tác song song (*các bit tín hiệu số đầu vào được đưa vào song song*) nên có tốc độ chuyển đổi cao. Thời gian cần thiết cho một lần chuyển đổi gồm hai giai đoạn: thời gian trễ truyền đạt của bit tín hiệu vào xa nhất đến bộ khuếch đại thuật toán và thời gian cần thiết để bộ khuếch đại thuật toán ổn định tín hiệu ra.

### 1.3. Thông số kỹ thuật của bộ chuyển đổi DAC

#### 1.3.1 Độ phân giải (Solution)

- Độ phân giải là tỷ số giữa giá trị cực tiểu đối với giá trị cực đại của điện áp đầu ra, về trị số tỷ số này tương ứng tỷ số giá trị cực tiểu đối với giá trị cực đại của tín hiệu số đầu vào.

- Ví dụ : Đối với DAC 10 bit, độ phân giải là:

$$\frac{0000000001}{1111111111} = \frac{1}{2^{10} - 1} = \frac{1}{1023} = 0.001$$

- Độ phân giải của DAC phụ thuộc vào số bit, do đó các nhà chế tạo thường ấn định độ phân giải của DAC ở dạng số bit. DAC 10 bit có độ phân giải tinh hơn DAC 8 bit. DAC có càng nhiều bit thì độ phân giải càng tinh hơn.

#### 1.3.2 Độ tuyến tính (Linearity).

Độ tuyến tính của DAC biểu thị bằng sai số phi tuyến. Sai số phi tuyến là số % của giá trị lệch cực đại khỏi đặc tính vào/ra lý tưởng so với giá trị cực đại đầu ra.

#### 1.3.3 Độ chính xác chuyển đổi (Accuracy)

- Độ chính xác chuyển đổi xác định bằng sai số chuyển đổi tính cực đại. Sai số này phải bao gồm sai số phi tuyến, sai số tỷ lệ và sai số trôi v.v... Trong một số trường hợp cụ thể, người ta có thể tính riêng từng sai số mà không cho sai số tổng hợp.

- Có nhiều cách đánh giá độ chính xác. Hai cách thông dụng nhất là sai số toàn thang (*full scale error*) và sai số tuyến tính (*linearity error*) thường được biểu diễn ở dạng phần trăm đầu ra cực đại (*đầy thang*) của bộ chuyển đổi.

- Sai số toàn thang là khoảng lệch tối đa ở đầu ra DAC so với giá trị dự kiến (*lý tưởng*) được biểu diễn ở dạng phần trăm.

- Sai số tuyến tính là khoảng lệch tối đa ở kích thước bậc thang so với kích thước bậc thang lý tưởng.

- Điều quan trọng của một DAC là độ chính xác và độ phân giải phải tương thích với nhau.

#### 1.3.4 Thời gian xác lập dòng, áp đầu ra (Settling time)

Thời gian xác lập ra là thời gian từ khi tín hiệu số được đưa vào đến khi dòng hoặc áp đầu ra đã ổn định. Hoặc cũng có thể xem thời gian xác lập ra là thời gian cần thiết để mức dòng, áp đầu ra đạt đến số % quy định của mức dòng, áp ra cực đại.

#### 1.3.5 Tỷ số phụ thuộc nguồn.

DAC chất lượng cao yêu cầu sự ảnh hưởng của biến thiên điện áp nguồn đối với điện áp đầu ra vô cùng nhỏ. Tỉ số phụ thuộc nguồn là tỉ số biến thiên mức điện áp đầu ra với biến thiên điện áp nguồn gây ra nó.

Nguồn xét để cung cấp cho các chuyển mạch và cho KĐTT

### 1.3.6 Các thông số khác.

Ngoài các thông số trên chúng ta cần phải quan tâm đến các thông số khác của một DAC khi sử dụng như:

- Các mức logic cao, thấp, điện trở, điện dung, của đầu vào;
- Dải động, điện trở, điện dung của đầu ra;
- Hệ số nhiệt độ.

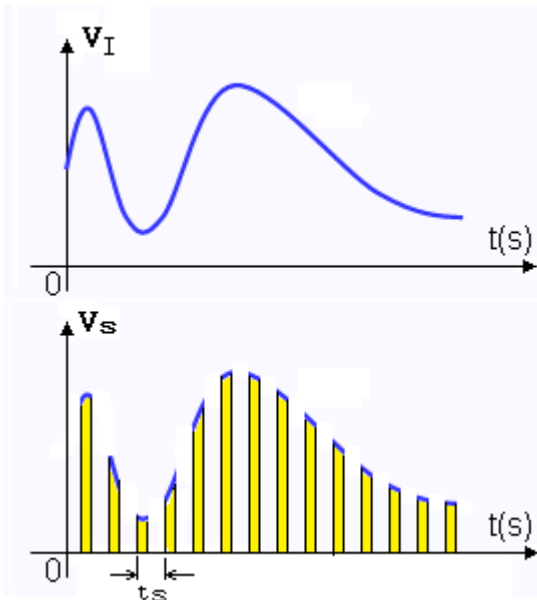
## 2. Mạch chuyển đổi tương tự - số ( ADC - Analog to Digital Convert )

### 2.1. Các bước chuyển đổi AD và định lý lấy mẫu.

#### 2.1.1. Khái quát chung.

- Trong ADC, tín hiệu tương tự đầu vào là tín hiệu liên tục (Analog), tín hiệu số mã hóa đầu ra là tín hiệu rời rạc.
- Sự chuyển đổi AD đòi hỏi phải lấy mẫu đối với tín hiệu tương tự tại đầu vào ở những thời điểm quy định, sau đó chuyển đổi các giá trị mẫu đó thành lượng tử hóa - Mã hóa.
- Vậy quá trình chuyển đổi AD nói chung có 4 bước: Lấy mẫu - Nhớ mẫu - Lượng tử hóa - Mã hóa.
- Các bước trên đây luôn luôn kết hợp với nhau trong một quá trình thống nhất, cụ thể, người ta có thể phân định:
  - + Lấy mẫu - Nhớ mẫu là công việc liên tục của cùng mạch điện.
  - + Lượng tử hóa - Mã hóa là công việc đồng thời thực hiện trong quá trình chuyển đổi với khoảng thời gian cần thiết là một phần của thời gian nhớ mẫu

#### 2.1.2. Định lý lấy mẫu.



Hình 11.4: Lấy mẫu tín hiệu tương tự đầu vào

- Người ta đã chứng minh rằng: Đối với tín hiệu tương tự  $V_I$  thì tín hiệu lấy mẫu  $V_s$  sau quá trình lấy mẫu có thể khôi phục trở lại  $V_I$  một cách trung thực nếu điều kiện sau đây được thỏa mãn:

$$f_s \geq 2F_{\text{Imax}}$$

Đây chính là nội dung của định lý lấy mẫu

Trong đó: +  $f_s$  [Hz] là tần số lấy mẫu ( $f_s = 1/t_s$ ) ;  $t_s$  [s] là chu kỳ lấy mẫu.

+  $F_{Imax}$  [Hz] là giới hạn trên của dải tần số tín hiệu tương tự.

- Nếu biểu thức trên được thỏa mãn, người ta có thể dùng bộ lọc thông thấp để khôi phục  $V_I$  từ  $V_S$ .

- Ví dụ: một tín hiệu thoại có dải tần  $\Delta f = (300\text{-}3400)\text{Hz}$ . Tín hiệu này sẽ được lấy mẫu để chuyển đổi sang tín hiệu số. Vậy theo định lý lấy mẫu, để có thể khôi phục trở lại tín hiệu ban đầu thì tần số lấy mẫu phải thỏa mãn điều kiện  $f_s \geq 2F_{Imax} = 2.3400[\text{Hz}] = 6800\text{Hz} = 6.8 \text{ KHz}$

### 2.1.3. Lượng tử hóa và mã hóa.

- Tín hiệu số không những rời rạc trong thời gian mà còn không liên tục trong biến đổi giá trị. Một giá trị bất kỳ của tín hiệu số đều phải biểu thị bằng bội số nguyên lần giá trị đơn vị nào đó, giá trị này là nhỏ nhất được chọn. Nghĩa là nếu dùng tín hiệu số biểu thị điện áp lấy mẫu thì phải bắt điện áp lấy mẫu hóa thành bội số nguyên lần giá trị đơn vị. Đơn vị được chọn theo qui định này gọi là đơn vị lượng tử, kí hiệu  $\Delta$ .

- Vậy quá trình lượng tử hóa là quá trình bắt điện áp lấy mẫu hóa thành bội số nguyên lần giá trị đơn vị lượng tử  $\Delta$ .

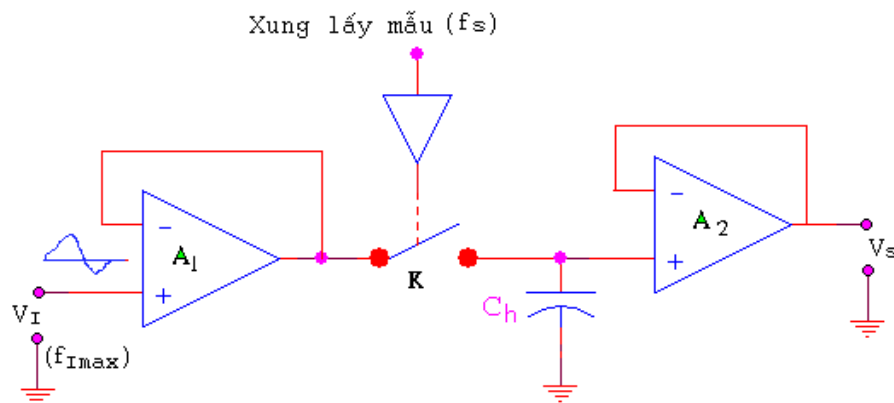
- Sau quá trình lượng tử, ta được kết quả biểu thị bằng số của của việc so sánh mẫu điện áp tương tự với đơn vị lượng tử  $\Delta$ . Kết quả này sẽ được chuyển đổi sang mã nhị phân là các tín hiệu số.

- Vậy quá trình mã hóa là quá trình chuyển đổi các kết quả so sánh của mẫu điện áp tương tự với đơn vị lượng tử  $\Delta$  thành các mã nhị phân dưới dạng các xung số.

- Mã nhị phân dưới dạng các xung số có được sau quá trình trên chính là tín hiệu đầu ra của chuyển đổi AD.

## 2.2. Mạch điện lấy mẫu và nhớ mẫu.

### 2.2.1. Mạch điện.



Hình 11.5: Mạch lấy và nhớ mẫu

- KĐTT  $A_1$  và  $A_2$  là một mạch lặp điện áp (hệ số KĐ  $K=1$ ) đóng vai trò ngăn cách mạch lấy mẫu và giữ mẫu bên trong với mạch vào/ra bên ngoài.

- Khóa chuyển mạch điện tử (K) là phần tử lấy mẫu cho tín hiệu tương tự  $V_I$ . Khóa chuyển mạch này được điều khiển bởi tần số xung lấy mẫu  $f_s$

- Tụ  $C_h$  là phần tử giữ mẫu tín hiệu  $V_I$  sau khi được lấy mẫu.

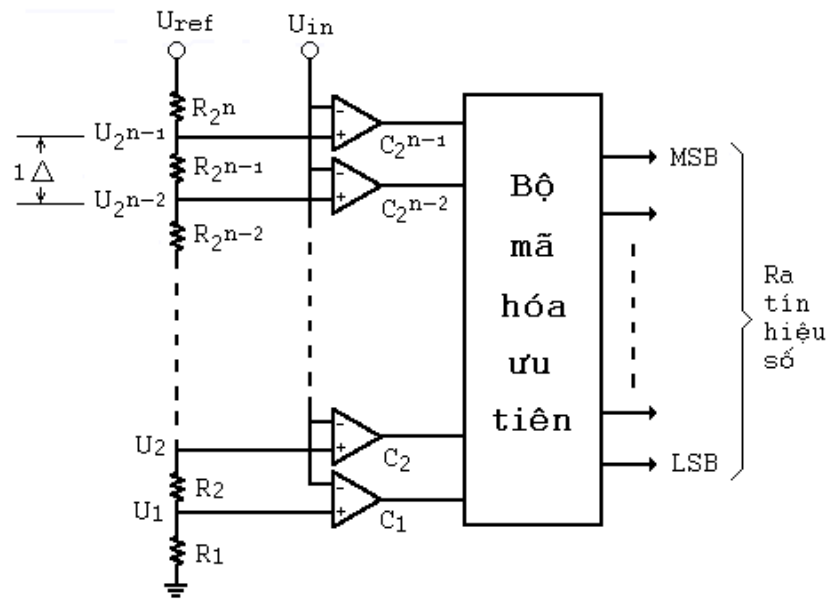
### 2.2.2. Nguyên lý làm việc.

- Khi đầu vào xung lấy mẫu = 1 lúc này chuyển mạch K đóng, mạch ở chế độ lấy mẫu tín hiệu  $V_I$ .

- Khi đầu vào xung lấy mẫu = 0 lúc này chuyển mạch K hở, mạch chế độ giữ mẫu tín hiệu  $V_I$  sau khi vừa được lấy mẫu.
- Chuyển mạch được đóng một thời gian đủ dài để tụ  $C_h$  nạp đến giá trị dòng điện của tín hiệu tương tự. Ví dụ nếu chuyển mạch được đóng tại thời điểm  $t_0$  thì đầu ra  $A_1$  sẽ nạp nhanh cho tụ  $C_h$  lên đến điện thế tương tự  $V_0$ . khi chuyển mạch mở thì tụ  $C_h$  sẽ duy trì điện áp này để đầu ra của  $A_2$  cung cấp mức điện áp  $V_S$  cho mạch lượng tử hóa và mã hóa phía sau. Bộ khuếch đại đệm  $A_2$  có trở kháng cao tại đầu vào nhằm không cho tụ  $C_h$  phóng điện làm giảm một cách đáng kể điện áp của mẫu tín hiệu đang lưu giữ trong thời gian mạch lượng tử hóa và mã hóa phía sau làm việc.

### 2.3. Mạch ADC chuyển đổi song song (Parallel ADC).

#### 2.3.1 Mạch điện



Hình 11.6: Mạch ADC kiểu so sánh song song.

- Trên hình 11.6 là mạch ADC so sánh kiểu song song  $n$  bit (Parallel Comparator)
- Mạch có  $2^{n-1}$  bộ so sánh, ký hiệu từ  $(C_1 \text{ :-: } C_{2^{n-1}})$
- Có  $2^n$  điện trở, ký hiệu từ  $(R_1 \text{ :-: } R_{2^n})$  được mắc nối tiếp nhau vào nguồn điện áp chuẩn  $U_{ref}$ .
- Đầu ra của các bộ so sánh được đưa vào bộ mã hóa ưu tiên thông qua hệ thống nhớ đệm.
- Đầu ra của bộ mã hóa chính là đầu ra của ADC.
- Đầu vào  $U_{in}$  để đưa mẫu tín hiệu tương tự cần chuyển đổi sang tín hiệu số.

#### 2.3.2 Nguyên lý làm việc.

- Mức điện áp chuẩn được chia đều trên các điện trở ( $2^n$  điện trở). Mỗi mức điện áp sẽ là  $U_{ref} / 2^n = 1\Delta$  (mức điện áp lượng tử). Như vậy, lỗi vào không đảo của các bộ so sánh từ  $C_1 \text{ :-: } C_{2^{n-1}}$  sẽ hơn nhau lần lượt một giá trị điện áp lượng tử là  $1\Delta$ .
- Mẫu điện áp đưa vào chuyển đổi  $U_{in}$  được đưa vào tất cả các lối vào đảo của các bộ so sánh từ  $(C_1 \text{ :-: } C_{2^{n-1}})$  và được so sánh với các mức điện áp lượng tử tương ứng trên các lối vào bộ so sánh.

- Kết quả đưa ra của các bộ so sánh sẽ được đưa vào bộ mã hóa ưu tiên theo một thuật toán thích hợp và cho ra kết quả tín hiệu số dưới dạng mã nhị phân ở đầu ra.
- Ví dụ cho mạch ADC 3 bit,

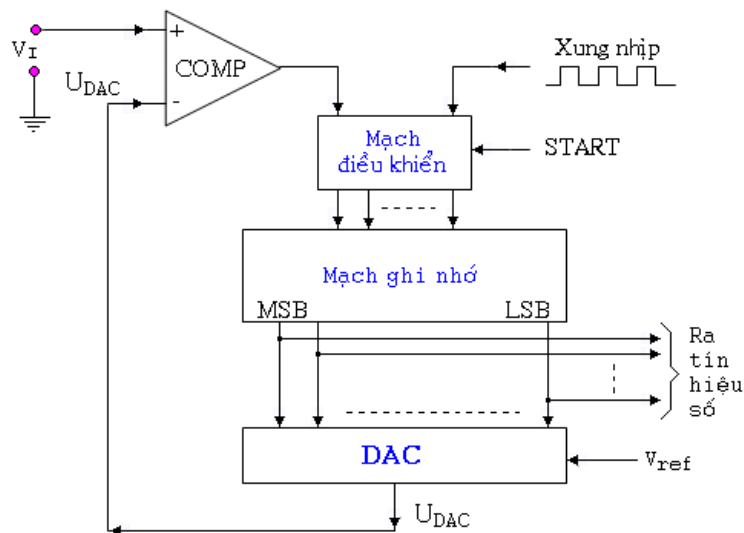
1V		111	$7 \Delta = 7/8V$
$7/8V$		110	$6 \Delta = 6/8V$
$6/8V$		101	$5 \Delta = 5/8V$
$5/8V$		100	$4 \Delta = 4/8V$
$4/8V$		011	$3 \Delta = 3/8V$
$3/8V$		010	$2 \Delta = 2/8V$
$2/8V$		001	$1 \Delta = 1/8V$
$1/8V$		000	$0 \Delta = 0V$

Hình 11.7: Phương pháp phân chia mức lượng tử với 8 mức

- Giả thiết điện áp chuẩn  $U_{ref} = 1V$ , điện áp này chia đều cho 8 khoảng, mỗi khoảng sẽ có điện áp là  $(1/8)V$ . Như vậy 1 bước lượng tử  $1\Delta = (1/8)V$
- Điện áp mẫu tín hiệu tương tự sẽ được đưa vào lối vào đảo để so sánh với các bước điện áp trên các lối vào không đảo của bộ so sánh. Kết quả so sánh sẽ được đưa vào bộ mã hóa ưu tiên theo thuật toán như biểu diễn trên hình 11.7 và có kết quả số đưa ra dưới dạng mã nhị phân.

#### 2.4. Mạch ADC chuyển đổi xấp xỉ tiệm cận ( Successive Approximation ADC ).

##### 2.4.1 Mạch điện.



Hình 11.7: Mạch ADC xấp xỉ tiệm cận

- Bộ so sánh (COM - Comparator) : so sánh mẫu điện áp hiện tại với mẫu điện áp trước đó của  $V_I$
- Mạch điều khiển: Điều khiển toàn bộ quá trình hoạt động của mạch khi có tín hiệu điều khiển đưa tới.
- Mạch ghi nhớ : Ghi nhớ lại kết quả chuyển đổi số của mẫu tín hiệu.
- DAC : chuyển đổi tín hiệu số thành tương tự để đưa vào so sánh.
- $V_{ref}$  : Điện áp chuẩn phục vụ cho quá trình chuyển đổi DA.
- Xung nhịp (Clock): Điều khiển tốc độ chuyển đổi của mạch.

- START: Tín hiệu điều khiển chuyển đổi.

#### 2.4.2 Nguyên lý làm việc.

- Trước khi thực hiện chuyển đổi AD, bộ nhớ phải được xóa về '0'.
- Bắt đầu chuyển đổi, xung nhịp Clock lập bit MSB trong bộ ghi nhớ lên mức 1 --> số liệu đưa ra của bộ nhớ là 100...000. Tín hiệu số này được DAC chuyển đổi thành điện áp tương tự tương ứng là  $V_0$  --> Bộ COM sẽ so sánh  $V_I$  với  $V_0$ . Quá trình so sánh sẽ đưa ra 3 kết quả:
  - + Nếu  $V_0 = V_I$  --> Tín hiệu số vừa được lập là đúng, mạch điều khiển sẽ dừng quá trình chuyển đổi và cho ra kết quả.
  - + Nếu  $V_0 > V_I$  --> Điều này chứng tỏ tín hiệu số quá lớn, mạch điều khiển sẽ điều khiển xóa bit MSB về 0.
  - + Nếu  $V_0 < V_I$  --> Điều này chứng tỏ tín hiệu số quá nhỏ, mạch điều khiển sẽ điều khiển duy trì bit MSB ở 1.
- Tiếp theo, cùng với phương pháp như trên, xung nhịp Clock lập bit có trọng số nhỏ hơn kế tiếp trong bộ ghi nhớ lên mức 1, quá trình so sánh lại tiếp diễn với các kết quả giống như ở trên.
- Quá trình cứ tiếp tục lặp lại cho đến bit cuối cùng LSB.
- Sau quá trình so sánh, tất cả các bit trong bộ nhớ chính là tín hiệu số mong muốn của việc chuyển đổi và được đưa ra.

### 3. Giới thiệu IC, khảo sát mạch chuyển đổi

#### 3.1 Nội dung:

- Tìm hiểu cấu trúc, chức năng các chân của DAC0830.
- Lắp mạch, khảo sát nguyên lý hoạt động của DAC0830 cho ứng dụng.

#### 3.2 Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### 3.3 Bảng thiết bị, vật tư.

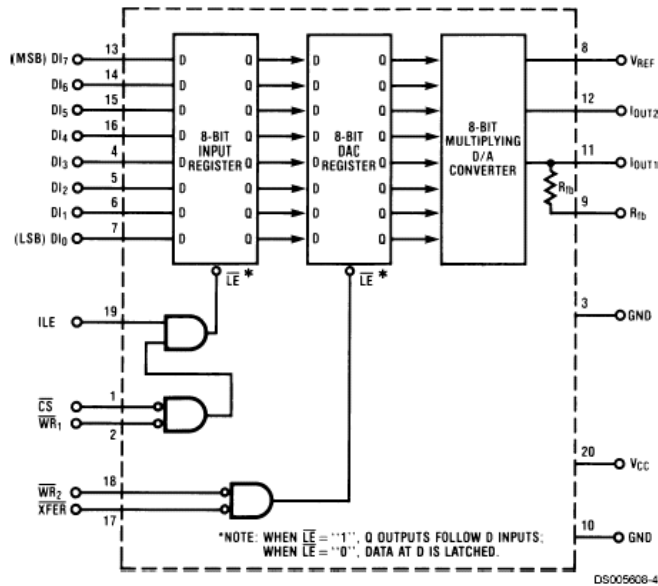
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Board mạch	Board cắm dây	1 board / nhóm
2	IC DAC	0830 hoặc tương đương	1 IC/ nhóm
3	IC KĐTT	LF 351 hoặc tương đương	1 IC/ nhóm
4	Biến trở	10 K	1
5	Nguồn DC	$\pm 15$ VDC/1A	1
6	Bộ đếm số	(4:- 8) bit	1 bộ /nhóm
7	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
8	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm
9	Đồng hồ VOM	Tiêu chuẩn đo lường VN	1

Bảng 11.1: Bảng thiết bị, vật tư khảo sát mạch dùng DAC0830

#### 3.4 Quy trình thực hiện.

- a. Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- b. Tìm hiểu cấu trúc của DAC0830.

DAC 0830 là IC thuộc họ CMOS. Là bộ chuyển đổi D/A 8 bit dùng mạng R/2R ladder. Có thể giao tiếp trực tiếp với các vi xử lý để mở rộng hoạt động chuyển đổi D/A.



Hình 11.8: Sơ đồ chân và cấu trúc bên trong của DAC0830

Chức năng của các chân

\*  $\overline{CS}$  (CHIP SELECT) là chân chọn hoạt động ở mức thấp. Được kết hợp với chân ILE để có thể viết dữ liệu.

\* ILE (INPUT LATCH ENABLE) là chân cho phép chốt ngõ vào, hoạt động ở mức cao. ILE kết hợp với  $\overline{CS}$  để cho phép viết.

\*  $\overline{WR}_1$  (WRITE) hoạt động ở mức thấp. Được sử dụng để nạp các bit dữ liệu ngõ vào chốt. Dữ liệu được chốt khi  $\overline{WR}_1$  ở mức cao. Để chốt được dữ liệu vào thì  $\overline{CS}$  và  $\overline{WR}_1$  phải ở mức thấp trong khi đó ILE phải ở mức cao.

\*  $\overline{WR}_2$  (WRITE) tác động ở mức thấp. Chân này kết hợp với chân  $\overline{XFER}$  cho phép dữ liệu chốt ở ngõ vào mạch chốt được truyền tới thành nghi DAC trong IC.

\*  $\overline{XFER}$  (TRANSFER CONTROL SIGNAL) tác động ở mức thấp. Cho phép  $\overline{WR}_2$  được viết.

\*  $DI_0 - DI_7$  là các ngõ vào số trong đó  $DI_0$  là LSB còn  $DI_7$  là MSB.

\*  $I_{OUT1}$  ngõ ra dòng DAC<sub>1</sub>. Có trị số cực đại khi tất cả các bit vào đều bằng 1, còn bằng 0 khi tất cả các bit vào đều bằng 0.

\*  $I_{OUT2}$  ngõ ra dòng DAC<sub>2</sub>. Nếu  $I_{OUT1}$  tăng từ 0 cho đến cực đại thì  $I_{OUT2}$  sẽ giảm từ cực đại về 0 để sao cho  $I_{OUT1} + I_{OUT2} = \text{hằng số}$ .

\*  $R_{fb}$  điện trở hồi tiếp nằm trong IC. Luôn được sử dụng để hồi tiếp cho Op Amp mắc ở ngoài.

\*  $V_{ref}$  ngõ vào điện áp tham chiếu từ -10 đến +10V.

\*  $V_{CC}$  điện áp nguồn cấp cho IC hoạt động từ 5 đến 15V.

\* GND (mass) chung cho  $I_{OUT1}$  và  $I_{OUT2}$ .

c. Lắp mạch điều khiển volume bằng số dùng DAC8030

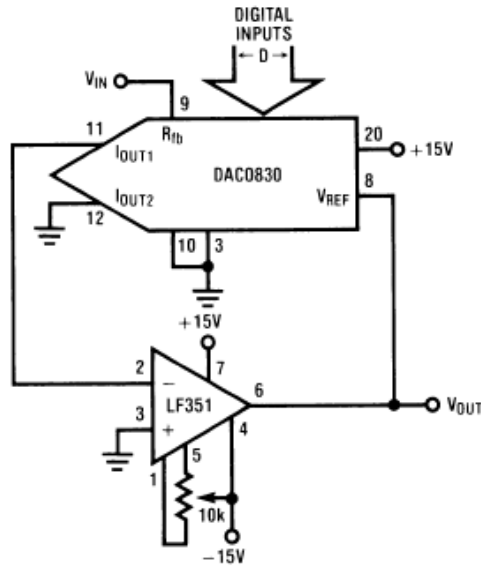
- Nghiên cứu mạch đầu nối (Hình 11.9).

+ Mạch sử dụng nguồn nuôi lưỡng cực  $\pm 15VDC$

+ Điện áp ra sẽ biên đổi từ 0 -:- +15V. Điện áp này sẽ cung cấp cho tầng tiền khuếch đại để tăng giảm hệ số khuếch đại cho tầng công suất.

- Lắp mạch.





Hình 11.9: Ứng dụng DAC0830 để điều khiển volume.

- + Cắm IC DAC0830 lên bảng mạch.
- + Cắm IC LF 351 lên bảng mạch.
- + Cắm biến trở 10K
- + Mạch sử dụng nguồn nuôi lưỡng cực  $\pm 15\text{VDC}$
- + Điện áp ra sẽ biến đổi từ 0 :-+ 15V. Điện áp này sẽ cung cấp cho tầng tiền khuếch đại để tăng giảm hệ số khuếch đại cho tầng công suất.
- Lắp mạch.
- + Cắm IC DAC0830 lên bảng mạch.
- + Cắm IC LF 351 lên bảng mạch.
- + Cắm biến trở 10K
- + Kết nối mạch điện bằng dây cắm.
- + Kết nối các đầu ra bộ đếm số tới các lối vào tương ứng của IC DAC0830.
- + Cấp nguồn  $\pm 15\text{VDC}$  từ bộ nguồn.
- + Mặc đồng hồ đo VOM ở thang đo VDC tới lối ra  $V_{out}$ .
- + Khởi phát bộ đếm hoạt động ở chế độ nhân công.
- + Quan sát kết quả điện áp ra khi kích thích bộ đếm theo từng xung nhịp.

d. Lắp mạch khởi động êm (Ramp-Start)

\* Bảng thiết bị, vật tư.

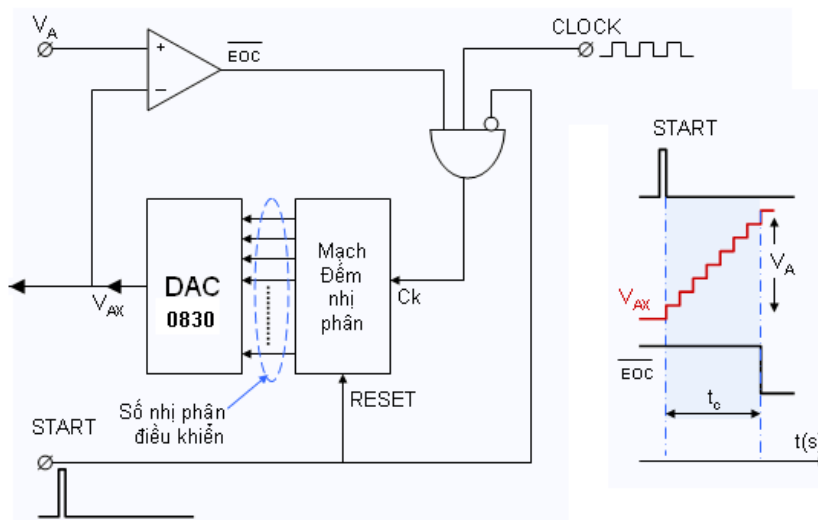
TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Board mạch	Board cắm dây	1 board / nhóm
2	IC DAC	0830 hoặc tương đương	1 IC/ nhóm
3	IC KĐTT	LF 351 hoặc tương đương	1 IC/ nhóm
4	IC số cổng NOT	7404 hoặc tương đương	1
5	IC số cổng OR	7432 hoặc tương đương	1
6	Nguồn DC	$\pm 15 \text{ VDC}/1\text{A}$	1
7	Bộ đếm số	(4:- 8) bit	1 bộ /nhóm
8	Bộ cấp dao động xung	Điều chỉnh được tần số	1 bộ /nhóm
9	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
10	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm
11	Đồng hồ VOM	Tiêu chuẩn đo lường VN	1

Bảng 11.1: Bảng thiết bị, vật tư khảo sát mạch dùng DAC0830

\* Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Nghiên cứu sơ đồ và nguyên lý hoạt động.

Trong mạch điều khiển hệ truyền động có động cơ sử dụng kỹ thuật số, người ta thường sử dụng các bộ khởi động êm giúp hệ thống tránh được các xung đột biến cơ học, giúp động không bị xoắn gãy trục hay hư hỏng các chi tiết cơ khí cũng như điện từ khác. Mạch này có sơ đồ khối về nguyên lý làm việc như hình sau:



Hình 11.10: Ứng dụng DAC làm mạch khởi động êm.

Khi hệ nhận được tín hiệu "START" từ mạch điều khiển, mạch đếm nhận xung clock và bắt đầu đếm lên, cùng lúc này ngõ ra Op-Amps là tín hiệu EOC (End-Of-Conversion) đang ở mức cao. Theo nhịp đếm lên của mạch đếm, DAC chuyển đổi các số nhị phân theo giá trị lớn dần như dạng sóng điện áp  $V_{AX}$  trên hình vẽ. Tín hiệu này điều khiển hệ thống khởi động êm cho đến khi  $V_A = V_{AX}$  thì tín hiệu ngõ ra Op-Amps EOC sẽ về 0 dẫn đến kết thúc quá trình khởi động êm do cổng AND 3 ngõ vào hoạt động như một khoá điện tử.

Rõ ràng, thay vì đột biến từ 0 đến  $V_A$ , tín hiệu điện áp  $V_{AX}$  tăng dần theo từng nấc nhỏ. Khoảng cách giữa 2 nấc chính là độ phân giải của DAC.

- Lắp ráp mạch.

- + Cắm IC DAC0830 lên bảng mạch.
- + Cắm IC LF 351 lên bảng mạch.
- + Tạo cổng logic từ các IC mạch cổng
- + Kết nối mạch điện bằng dây cắm.
- + Kết nối đường cấp xung nhịp và xung khởi động START
- + Cấp nguồn  $\pm 15\text{VDC}$  từ bộ nguồn cho mạch.
- + Mặc đồng hồ đo VOM ở thang đo VDC tới lối ra  $V_{AX}$ .
- + Khởi phát xung đếm ở chế độ nhân công.
- + Quan sát kết quả điện áp ra khi kích thích cho mạch từng xung nhịp.

## Đánh giá kết quả

Mục tiêu	Nội dung	Điểm
Kiến thức	Phân tích được nguyên lý hoạt động cơ bản của mạch chuyển đổi AD và DA.	2
Kỹ năng	Lắp ráp, kiểm tra được sự hoạt động ứng dụng của mạch DAC 0830.	6
Thái độ	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	2

## Phần 2: KỸ THUẬT XUNG

### Bài 12: Tổng quan về kỹ thuật xung

*Mục tiêu:*

\* *Kiến thức:*

- Trình bày được các khái niệm về xung điện, dãy xung.
- Giải thích được sự tác động của các linh kiện thụ động đến dạng xung.

\* *Kỹ năng:*

- Đo, đọc được các thông số cơ bản của tín hiệu xung.

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

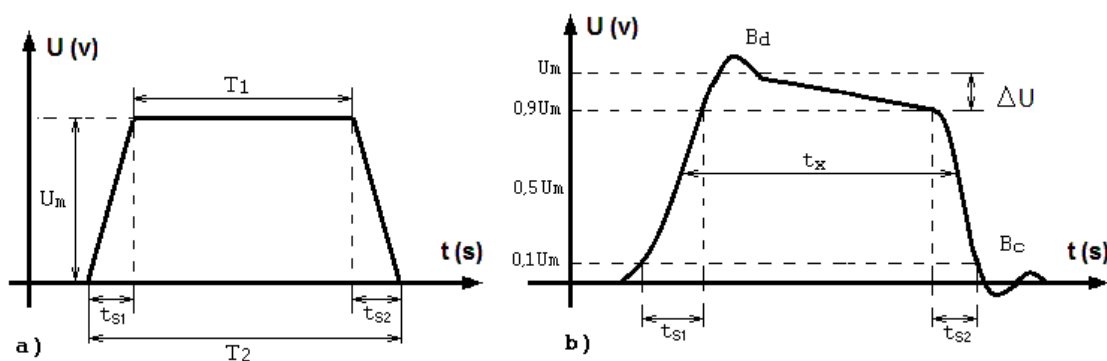
#### 1. Định nghĩa, các tham số xung đơn và dãy xung.

##### 1.1 Định nghĩa.

Xung điện là tín hiệu tạo nên do sự thay đổi mức của điện áp hay dòng điện trong một khoảng thời gian rất ngắn.

##### 1.2 Các thông số của xung đơn và dãy xung.

###### 1.2.1 Xung đơn.

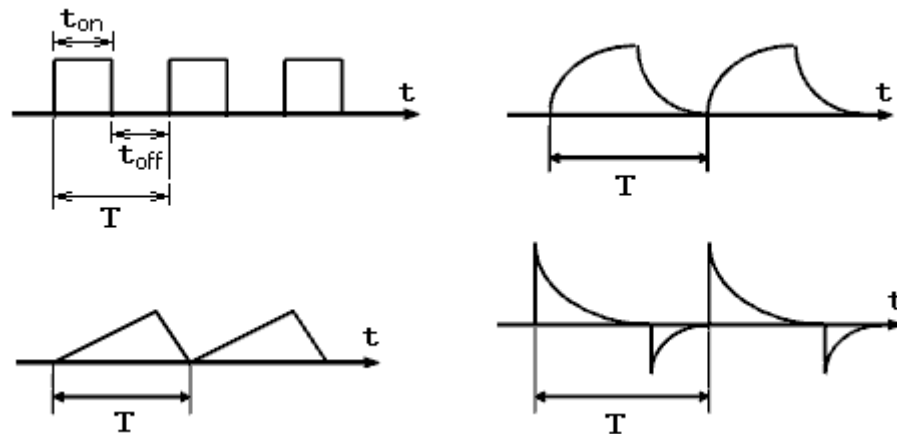


Hình 12.1: Xung đơn hình thang lý tưởng (a) và xung thực tế (b).

- Đối với một xung điện áp đơn lý tưởng (hình a) ta có các thông số cơ bản

- + Đáy xung:  $T_2$  [s] là khoảng thời gian mức điện áp xung bắt đầu biến thiên tăng, giảm từ 0 cho tới khi xung biến thiên trở về 0.
- + Đỉnh xung:  $T_1$  [s] là khoảng thời gian tồn tại của xung ở giá trị ổn định.
- + Biên độ xung:  $U_m$  [V] là mức giá trị điện áp lớn nhất mà xung đạt được, được tính từ đáy xung đến đỉnh xung.
- + Độ rộng sườn trước xung:  $t_{s1}$  [s] là khoảng thời gian xung biến thiên từ giá trị 0 đến đỉnh xung.
- + Độ rộng sườn sau xung:  $t_{s2}$  [s] là khoảng thời gian xung biến thiên từ giá trị đỉnh về 0.
- Trong thực tế, khi truyền xung qua mạch điện, do ảnh hưởng các thông số của mạch điện nên xung không còn giữ nguyên hình dạng như ban đầu mà bị biến dạng đi, do vậy một vài thông số của xung không còn giữ nguyên bản chất của xung lý tưởng hoặc còn có thêm một vài thông số khác (hình b)
- + Độ sụt đỉnh xung :  $\Delta U$  [V] là mức điện áp chênh lệch của đỉnh xung, nó nằm giữa giá trị  $U_m$  và  $0,9U_m$ .
- + Độ rộng sườn trước xung:  $t_{s1}$  [s] được tính từ giá trị  $0,1U_m$  đến  $0,9U_m$ .
- + Độ rộng sườn sau xung:  $t_{s2}$  [s] được tính từ giá trị  $0,9U_m$  về  $0,1U_m$
- + Độ rộng xung:  $t_x$  [s] là khoảng thời gian được tính giữa hai thời điểm tương ứng với giá trị  $0,5U_m$ .
- + Bướu đỉnh xung:  $B_d$  là giá trị điện áp tại đỉnh xung tăng bất thường.
- + Bướu chân xung:  $B_c$  là giá trị điện áp tại chân xung tăng bất thường.

### 1.2.2 Chuỗi xung.

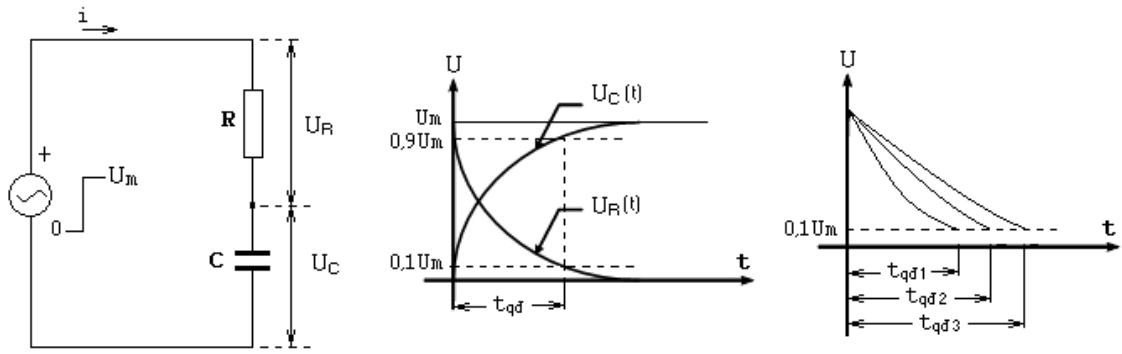


Hình 12.2: Một số chuỗi xung cơ bản

- Chu kỳ xung:  $T$  [s] là khoảng thời gian lặp lại của xung.
- Tần số xung:  $f_x$  [Hz] là số chu kỳ lặp lại của xung trong một đơn vị thời gian là 1 giây, nó chính là nghịch đảo của chu kỳ xung  $f_x = 1/T$  [1/s = 1Hz]
- Đối với chuỗi xung vuông, còn có thêm các thông số
- + Thời gian tồn tại của xung:  $t_{on}$  [s]
- + Thời gian nghỉ của xung:  $t_{off}$  [s]
- + Độ rộng của xung ( $Q$ ): là tỉ số giữa chu kỳ  $T$  và độ rộng xung  $t_{on}$ ;  $Q = T/t_{on}$
- + Hệ số đáy xung ( $\eta$ ): Là nghịch đảo của độ rộng xung  $Q$ ;  $\eta = 1/Q = t_{on}/T$

## 2. Tác dụng của mạch R-C đối với các xung cơ bản.

### 2.1. Mạch R-C với bước nhảy dương.



Hình 12.3: Quá trình quá độ của mạch R-C với bước nhảy dương.

- Giả sử tại thời điểm  $t = 0$ , điện áp  $U$  có bước nhảy dương từ  $0V$  đến  $U_m$ .

Vậy ở  $t \geq 0$  ta có:  $u_R + u_C = U_m$

Với  $u_R = iR$  và  $i = Cdu_C/dt$  thì phương trình cân bằng điện áp trên thành:

$$RC(du_C/dt) + u_C = U_m$$

- Giải phương trình vi phân trên ta có:

$$u_C(t) = U_m(1 - e^{-t/RC})$$

Tích  $RC$  có thứ nguyên thời gian là giây (s), nếu  $R$  tính bằng  $\Omega$  và  $C$  tích bằng Fara (F) và thay tích số  $RC$  bằng một đại lượng  $\tau$  ( $\tau$  được gọi là hằng số thời gian của mạch R-C). Ta rút ra:

$$u_R(t) = U_m \cdot e^{-t/\tau}$$

$$i(t) = (U_m/R) \cdot e^{-t/\tau}$$

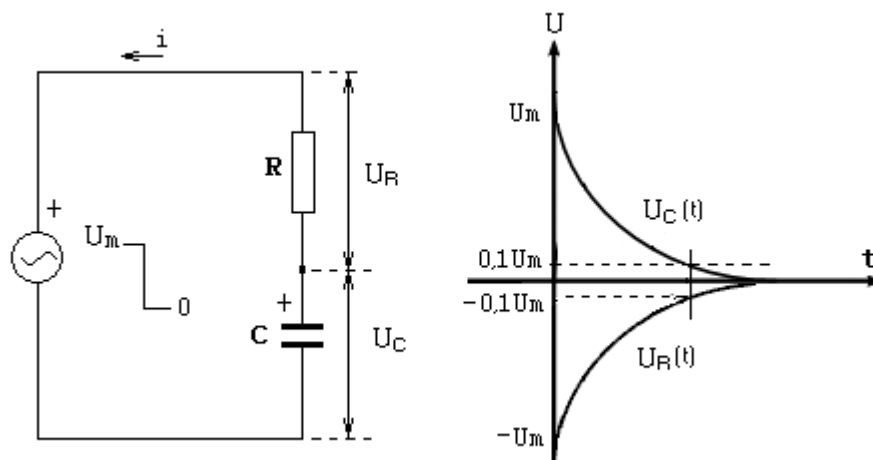
Ta thấy điện áp trên tụ điện  $C$  tăng theo luật hàm mũ và ở  $t = \infty$  thì  $u_C = U_m$ . Ngược lại, điện áp trên điện trở  $R$  và dòng điện giảm theo luật hàm mũ, khi  $t = \infty$  thì  $i(t) = 0$ ,  $u_R = 0$ , mạch đạt trạng thái dừng.

- Về lý thuyết thì quá trình quá độ xảy ra trong thời gian là vô hạn nhưng trong thực tế, khi  $u_C = 0,9U_m$  hoặc khi  $u_R = 0,1U_m$  thì quá trình quá độ coi như chấm dứt.

- Thời gian quá độ là:  $t_{qd} = 2,3\tau = 2,3RC$

- Ở  $t = \tau 3$  có thể coi  $u_C \approx U_m$  và  $i \approx 0$ ,  $u_R \approx 0$ . Hằng số thời gian  $\tau = RC$  của mạch càng lớn thì thời gian quá độ càng kéo dài và ngược lại.

## 2.2. Mạch R-C với bước nhảy âm.



Hình 12.4: Quá trình quá độ của mạch R-C với bước nhảy âm.

- Với các bước phân tích giống như ở trên nhưng dòng điện trong mạch đổi chiều do là dòng phóng của tụ C. Các giá trị  $u_R$  và  $u_C$  được xác định:

$$u_C(t) = U_m \cdot e^{-t/\tau}$$

$$u_R(t) = -U_m \cdot e^{-t/\tau}$$

$$i(t) = -(U_m/R) \cdot e^{-t/\tau}$$

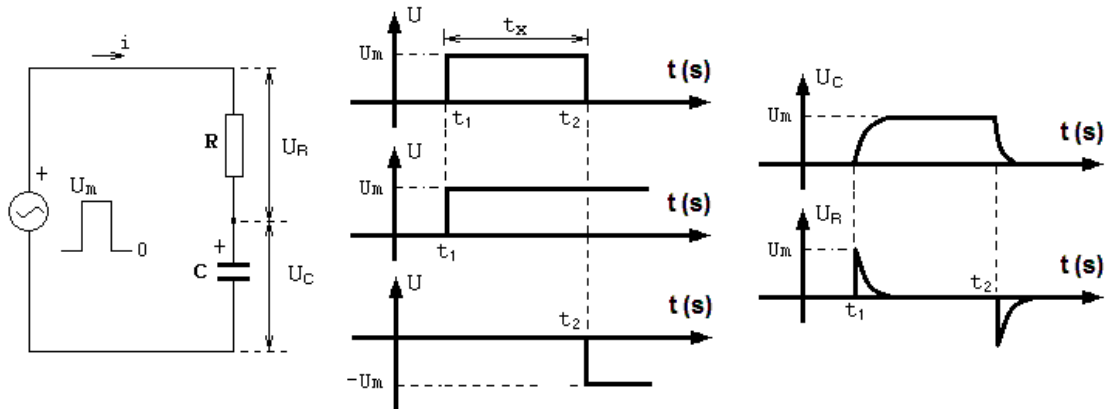
Ta thấy điện áp trên tụ điện C giảm theo luật hàm mũ và ở  $t = \infty$  thì  $u_C = 0$ . Điện áp trên điện trở R cũng giảm theo luật hàm mũ nhưng bắt đầu từ giá trị  $-U_m$ , khi  $t = \infty$  thì  $i(t) = 0$ ,  $u_R = 0$ , mạch đạt trạng thái dừng.

- Về lý thuyết thì quá trình quá độ xảy ra trong thời gian là vô hạn nhưng trong thực tế, khi  $u_C = 0,1U_m$  hoặc khi  $u_R = 0,1U_m$  thì quá trình quá độ coi như chấm dứt.

- Thời gian quá độ là :  $t_{qd} = 2,3\tau = 2,3RC$

- Ở  $t = \tau$  có thể coi  $u_C \approx 0$  và  $i \approx 0$ ,  $u_R \approx 0$ . Hằng số thời gian  $\tau = RC$  của mạch càng lớn thì thời gian quá độ càng kéo dài và ngược lại.

### 2.3. Mạch R-C với một xung dương.



Hình 12.5: Quá trình quá độ của mạch với xung vuông.

- Nếu đặt lên mạch R-C một xung vuông góc. Quá trình quá độ của mạch xem như là sự xếp chồng của hai quá trình ứng với hai bước nhảy:

+ Bước nhảy dương tại thời điểm  $t = t_1$

+ Bước nhảy âm tại thời điểm  $t = t_2$ .

- Điện áp trên tụ C và trên điện trở R có dạng như trên hình vẽ.

- Sự thay đổi điện áp trên hai phần tử này (hình dạng của điện áp) phụ thuộc vào hằng số thời gian của mạch (giá trị  $\tau = RC$ ).

+ Nếu  $\tau \leq t_x/3$  thì điện áp trên tụ C sẽ tăng nhanh đến  $U_m$ , điện áp trên R giảm nhanh về 0. Độ dốc của sườn xung trên C và R sẽ tăng.

+ Nếu  $\tau > t_x/3$  thì điện áp trên tụ C tăng chậm đến  $U_m$ , điện áp trên R giảm chậm về 0. Độ dốc của sườn xung trên C và R sẽ giảm.

### 3. Khảo sát dạng xung

a. Nội dung:

- Quan sát các dạng xung cơ bản như xung vuông, xung tam giác, xung kim..

- Quan sát ảnh hưởng của các dạng nhiễu đối với tín hiệu xung.

- Đo, đọc các thông số cơ bản của xung như chu kỳ xung, độ rộng xung, độ nghiêng xung, độ rộng sườn trước, sườn sau xung...

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 4 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy phát sóng tạo hàm		1 máy / nhóm
2	Máy hiện sóng 2 tia	20 MHz	1 máy / nhóm
3	Mạch R-C	Nhiều giá trị C và R	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ nhóm

Bảng 12.1: Bảng thiết bị, vật tư khảo sát tín hiệu xung

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Đấu nối mạch đo, quan sát dạng tín hiệu xung nhận được trên máy hiện sóng.
- + Đấu nối đầu ra của máy phát sóng với đầu vào CH1 hoặc CH2 của máy hiện sóng.
- + Bật chế độ phát xung vuông.
- + Điều chỉnh Volt-Disp, Time-Disp để có được dạng sóng dễ quan sát.
- + Bật chế độ phát xung tam giác.
- + Điều chỉnh Volt-Disp, Time-Disp để có được dạng sóng dễ quan sát.
- + Bật chế độ phát xung vuông bậc thang.
- + Điều chỉnh Volt-Disp, Time-Disp để có được dạng sóng dễ quan sát.
- + Đấu nối mạch R-C từ lối ra của bộ phát sóng với lối vào của của máy hiện sóng
- + Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.
- + Thay đổi các thông số của mạch R-C để quan sát dạng sóng.
- Đo, đọc các thông số cơ bản của xung
- + Mỗi khi thực nghiệm với một dạng xung, đo và xác định chính xác các thông số cơ bản của xung: Chu kỳ xung, độ rộng xung, độ nghỉ xung, biên độ xung và tính tần số xung.

**Đánh giá kết quả.**

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lí hoạt động của mạch Trigger schmitt dùng Transistor.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch Trigger schmitt đúng yêu cầu kỹ thuật.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## Bài 13: Mạch đa hài tự dao động

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được cấu tạo, nguyên lý hoạt động các mạch đa hài tự dao động.

- Trình bày được các ứng dụng của mạch đa hài tự dao động trong kỹ thuật

\* *Kỹ năng:*

- Lắp ráp, sửa chữa, đo kiểm được các mạch đa hài tự dao động đúng yêu cầu kỹ thuật.

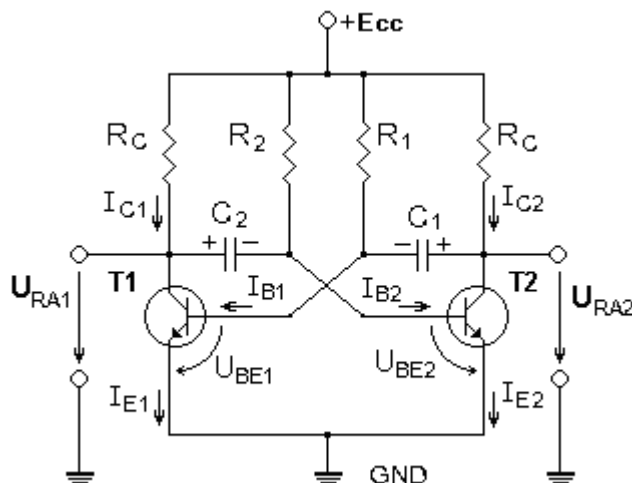
\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

### 1. Mạch dao động đa hài dùng Transistor.

#### 1.1. Sơ đồ nguyên lý.



Hình 13.1: Sơ đồ nguyên lý mạch dao động đa hài dùng Transistor (n-p-n)

-  $T_1, T_2$  là 2 Transistor (n-p-n) đóng vai trò như hai khóa điện tử đóng mở, được mắc theo sơ đồ E chung. Mạch được gọi là đối xứng nếu:

+  $T_1, T_2$  là 2 transistor loại, cùng thông số (cùng mã số).

+  $R_{C1} = R_{C2} = R_C$ .

+  $R_1 = R_2$

+  $C_1 = C_2$

-  $R_{C1}, R_{C2}$  là hai điện trở tải và cung cấp +Ecc cho cực C của  $T_1, T_2$ .

-  $R_1, R_2$  là hai điện trở định thiên cho 2 cực B của  $T_1, T_2$ .

-  $C_1, C_2$  là hai tụ điện dẫn điện áp hồi tiếp từ điện áp ra cực C của transistor trước về cực B transistor, đồng thời đóng vai trò là hằng số thời gian của mạch tức là quyết định thời gian lật trạng thái của  $T_1, T_2$ .

-  $U_{RA1}, U_{RA2}$  là hai điện áp đưa ra được lấy từ cực C của  $T_1, T_2$  tương ứng.

#### 1.2. Nguyên lý làm việc.

Nguyên lý hoạt động của mạch có thể tóm tắt như sau: Việc hình thành xung vuông ở cửa ra được thực hiện sau một khoảng thời gian  $\tau_1 = t_1 - t_0$  (đối với

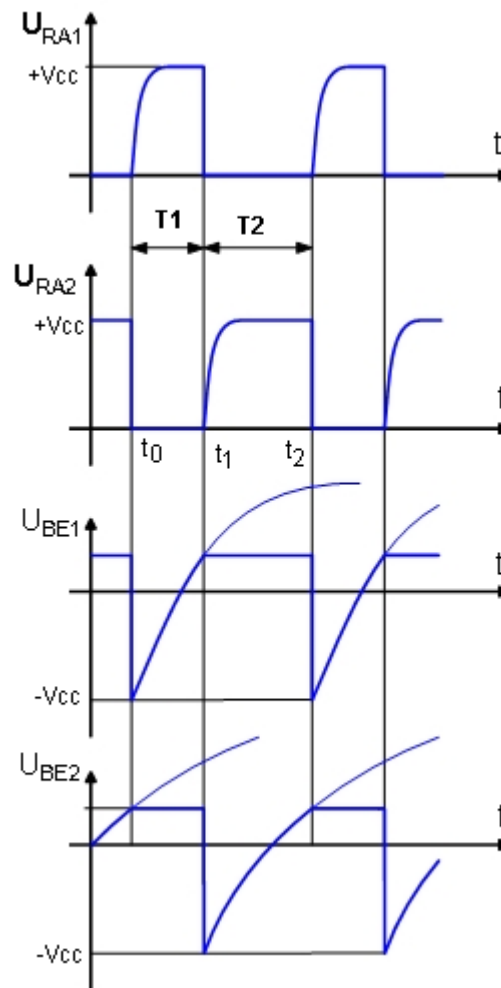


cửa ra 1 hoặc  $\tau_2 = t_2 - t_1$  (với cửa ra 2) nhờ các quá trình đột biến chuyển trạng thái của sơ đồ tại các thời điểm  $t_0, t_1, t_2...$

Trong khoảng  $\tau_1$  tranzito T1 khóa T2 mở. Tụ C1 đã được nạp đầy điện tích trước lúc  $t_0$  phóng điện qua T2 qua nguồn  $E_c$  qua R1 theo đường  $+C1 \rightarrow T2 \rightarrow R1 \rightarrow -C1$  làm điện thế trên cực bazơ của T1 thay đổi theo. Đồng thời trong khoảng thời gian này tụ C2 được nguồn E nạp theo đường  $+E \rightarrow R_c \rightarrow T2 \rightarrow -E$  làm điện thế trên cực bazơ T2 thay đổi theo.

Lúc  $t = t_1$  thì  $U_{B1} \approx +0,6V$  làm T1 mở và xảy ra quá trình đột biến lần thứ nhất, nhờ mạch hồi tiếp dương làm sơ đồ lật đến trạng thái T1 mở T2 khóa.

Trong khoảng thời gian  $\tau_2 = t_2 - t_1$  trạng thái trên được giữ nguyên, tụ C2 (đã được nạp trước lúc  $t_1$ ) bắt đầu phóng điện và C1 bắt đầu quá trình nạp tương tự như đã nêu trên cho tới lúc  $t = t_2$ ,  $U_{B2} \approx +0,6V$  làm T2 mở và xảy ra đột biến lần thứ hai chuyển sơ đồ về trạng thái ban đầu: T1 khóa T2 mở.



Hình 13.2 : Dạng sóng điện áp của mạch dao động đa hài dùng Transistor

Các tham số chủ yếu và xung vuông đầu ra được xác định dựa trên việc phân tích nguyên lý vừa nêu trên và ta thấy rõ độ rộng xung ra  $\tau_1$  và  $\tau_2$  liên quan trực tiếp với hằng số thời gian phóng của các tụ điện, C1 và C2:

$$\tau_1 = RC \cdot \ln 2 \approx 0,7R_1 \cdot C_1$$

$$\tau_2 = R_2C_2 \cdot \ln 2 \approx 0,7R_2 \cdot C_2$$

Nếu chọn đối xứng  $R_1 = R_2$ ;  $C_1 = C_2$ , T1 giống hệt T2 ta có  $\tau_1 = \tau_2$  và nhận được sơ đồ đa hài đối xứng, ngược lại ta có đa hài không đối xứng. Chu kỳ xung vuông  $T_{ra} = \tau_1 + \tau_2$

Biên độ xung ra được xác định gần đúng bằng giá trị nguồn Ecc cung cấp. Để tạo ra các xung có tần số thấp hơn 1000Hz, các tụ trong sơ đồ cần có điện dung lớn. Còn để tạo ra các xung có tần số cao hơn 10kHz ảnh hưởng có hại của quán tính các tranzito (tính chất tần số) làm xấu các thông số của xung vuông nghiêm trọng. Do vậy, dải ứng dụng của sơ đồ hình trên là hạn chế và ở vùng tần số thấp và cao người ta đưa ra các sơ đồ đa hài khác tạo xung có ưu thế hơn là các sơ đồ dùng KĐT.

### 1.3 Lắp ráp mạch.

#### 1.3.1 Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### 1.3.2 Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	Đồng hồ VOM	Tiêu chuẩn đo lường VN	1 máy / nhóm
	Máy hiện sóng 2 tia	20 MHz	1 máy / 4 nhóm
3	Transistor n-p-n	C1815 hoặc tương đương	2 / nhóm
4	Điện trở $R_{C1} = R_{C2}$ ,	2,2 K $\Omega$ - 0,5w	2 / nhóm
5	Điện trở $R_1 = R_2$	33 K $\Omega$ - 0,5w	2 / nhóm
6	Tụ điện $C_1 ; C_2$	0,11 $\mu$ F -:-1 $\mu$ F	2 / nhóm
7	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
8	Ổ tiếp nguồn	220V/5A	1 bộ / 4 nhóm

Bảng 13.1 : Bảng thiết bị, vật tư lắp ráp mạch đa hài dùng transistor .

#### 1.3.3 Quy trình thực hiện.

➤ Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.

- Kiểm tra đồng hồ VOM

- Kiểm tra số lượng, chất lượng các linh kiện

➤ Lắp mạch.

- Ráp các linh kiện transistor, điện trở, tụ điện lên bảng mạch trên máy.

- Đấu nối các linh kiện theo sơ đồ nguyên lý.

- Đấu dây cấp nguồn +5VDC, GND cho mạch.

- Nối 2 kênh (CH1 và CH2) của máy hiện sóng tới 2 lối ra của mạch

➤ Vận hành.

- Bật khóa công tắc cấp nguồn.

- Điều chỉnh các tham số Volt-Disp và Time-Disp của máy hiện sóng để nhận được dạng sóng của dao động.

- Quan sát và nhận xét về dạng sóng điện áp.

- Lần lượt nối kênh CH1 của máy hiện sóng tới hai lối vào  $U_{BE1}$  và  $U_{BE2}$ .

- Quan sát và nhận xét về dạng sóng điện áp.

- So sánh với đồ thị dạng sóng theo lý thuyết.

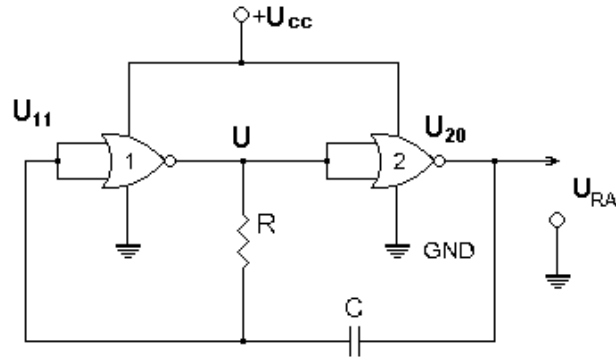
#### 1.3.4 Kiểm tra đánh giá.

Mục tiêu	Nội dung	Điểm
Kiến thức	Phân tích được nguyên lí hoạt động của mạch đa hài tự dao động dùng transistor.	2

<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch đa hài tự dao động đúng yêu cầu kỹ thuật.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## 2. Mạch dao động đa hài dùng cổng logic.

### 2.1. Sơ đồ nguyên lý.



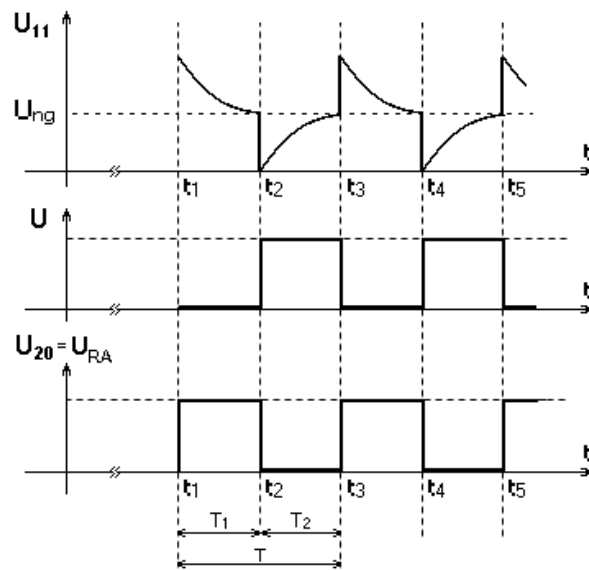
Hình 13.1: Sơ đồ nguyên lý mạch dao động đa hài dùng cổng NOR

- Mạch sử dụng 2 phần tử NOR. Các cổng logic NOR hoạt động như một khóa chuyển mạch điện tử đóng mở. Khi đầu ra ở mức cao tương đương với chuyển mạch nối đầu ra lên  $+U_{cc}$ , còn khi đầu ra ở mức thấp tương đương với chuyển mạch nối đầu ra với  $0V$  (GND).
- Hai đầu vào của NOR-1 và NOR-2 được đấu nối với nhau thành một lối vào và hoạt động như cổng NOT.
- Điện áp đưa ra ( $U_{20}$ ) lấy trên đầu ra của NOR-2 và đồng thời đưa một phần tín hiệu trở về đầu vào NOR-1 ( $U_{11}$ ) thông qua tụ C.
- Điện trở R và tụ C tạo thành mạch thời hằng quyết định thời gian lật trạng thái của mạch.
- U là điện áp chung giữa đầu ra của NOR-1 và điện áp của NOR-2.

### 2.2 Nguyên lý làm việc.

- Theo sơ đồ nguyên lý thì điện áp ra  $U_{20}$  và điện áp U luôn đảo nhau.
- Xét trạng thái của mạch tại thời điểm  $t_1$  nào đó rằng  $U_{11}$  đang ở mức điện áp lớn hơn mức điện áp ngưỡng ( $U_{ng}$ ) là mức điện áp phân chia giữa hai mức cao (H) và thấp (L) đặc trưng cho 2 mức logic1 và logic0 của cổng logic -->  $U_{11} > U_{ng}$  -->  $U_{11} = H = 1$  -->  $U = L = 0$  -->  $U_{20} = H = 1$ . Ở đây, ta có thể coi  $U_{20} = H = \text{logic1} = +U_{cc}$ ;  $U = L = \text{logic0} = 0V$ .
- Giữa U với  $U_{11}$  có mối liên hệ với nhau thông qua điện trở R, do đó khi  $U = 0V$  (nối với GND) thì  $U_{11}$  sẽ giảm dần về  $0V$ .
- Trong quá trình giảm, khi  $U_{11}$  giảm về  $U_{ng}$  (thời điểm  $t_2$ ) nó sẽ nhận mức logic0 -->  $U_{11} = L = 0$ , U lập tức sẽ nhận mức logic1 -->  $U = H = 1$ . Điều này có nghĩa điện áp U tăng đột ngột từ  $0V$  lên điện áp nguồn  $+U_{cc}$  --> Điện áp  $U_{20}$  cũng đột ngột giảm từ  $+U_{cc}$  về  $0V$ .
- Sự giảm đột ngột của  $U_{20}$  sẽ được truyền về  $U_{11}$  thông qua tụ C và do đó sẽ làm  $U_{11}$  giảm ngay về  $0V$ .

- Sau thời điểm  $t_2$ , tụ C bắt đầu nạp điện  $+U_{cc}$  --> đầu ra NOR-1 --> R --> C --> đầu ra NOR-2 --> GND. Điện áp trên tụ C tăng dần do đó áp  $U_{11}$  cũng tăng dần.
- Tại thời điểm  $t_3$ , khi giá trị  $U_{11}$  đạt tới giá trị  $U_{ng}$ , nó sẽ nhận mức logic1 -->  $U_{11} = H = 1$ , lập tức U sẽ nhận mức logic0 -->  $U = 0$  -->  $U_{20} = H = 1$ , tụ C bắt đầu quá trình phóng điện ( $+C$  --> R --> đầu ra NOR-1 --> nguồn --> đầu ra NOR-2 -->  $-C$ ). Ngay tại thời điểm đầu dòng phóng của tụ qua R lớn khiến điện áp  $U_{11}$  tăng đột biến và sau đó giảm dần theo thời gian. Quá trình tiếp diễn sau đó lại lặp lại như đã xét ở thời điểm ban đầu.
- Kết luận: Mạch luôn có sự thay đổi trạng thái nối tiếp nhau,  $U_{20}$  liên tục lật trạng thái và kết quả ta thu được ở đầu ra một chuỗi xung vuông.
- Đồ thị thời gian.



Hình 13.3: Biểu đồ thời gian mạch dao động đa hài dùng cổng NOR

- Chu kỳ lặp  $T$  của xung đầu ra  $U_{20}$  chỉ phụ thuộc vào hằng số thời gian phóng nạp của tụ C tức là phụ thuộc vào trị số của R và C. Để điều chỉnh tần số xung đầu ra, người ta thường sử dụng R là biến trở.
- Giá trị  $U_{ng}$  thay đổi thì chỉ là ảnh hưởng đến độ rộng hẹp của xung đầu ra, còn chu kỳ lặp thì không đổi.
- Nếu giá trị  $U_{ng} = 1/2$  điện áp nguồn thì khi đó  $T_1 = T_2$ .
- Chu kỳ xung đầu ra được tính:  $T \approx 1,4 RC$

### 2.3. Lắp ráp mạch.

#### 2.3.1 Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### 2.3.2 Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số cổng NOR	7402 hoặc tương đương	1 IC/ nhóm
3	Biến trở VR (R)	10K $\Omega$	1
4	Tụ điện C	10 $\mu$ F	1
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ô tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 13.1 : Bảng thiết bị, vật tư lắp ráp mạch đa hài dùng transistor .

### 2.3.3 Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Phân định sử dụng các cổng logic trong IC
- Lắp mạch.
  - Ráp các linh kiện IC, VR, C lên bảng mạch trên máy
  - Đấu nối các linh kiện theo sơ đồ nguyên lý.
  - Đấu dây cấp nguồn +5VDC, GND cho mạch
- Vận hành.
  - Bật khóa công tắc cấp nguồn.
  - Quan sát đèn LED chớp nháy báo tín hiệu ra tại lõi ra U<sub>20</sub>.
  - Điều chỉnh VR để thay đổi tần số xung ra.

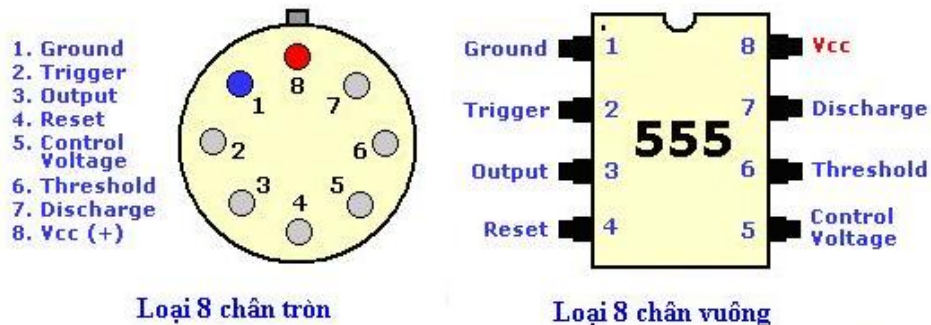
### 2.3.4 Kiểm tra đánh giá.

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lí hoạt động của mạch đa hài tự dao động dùng cổng logic.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch đa hài tự dao động đúng yêu cầu kỹ thuật.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## 3. Mạch dao động đa hài dùng IC 555

### 3.1 Giới thiệu về IC555

- IC555 là một loại linh kiện khá là phổ biến với việc dễ dàng tạo được xung vuông và có thể thay đổi tần số tùy thích, sơ đồ mạch đơn giản, điều chế được độ rộng xung. Nó được ứng dụng hầu hết vào các mạch tạo xung đồng chốt hay là những mạch dao động khác.
- Một số các thông số cơ bản của 555 có trên thị trường :
  - + Điện áp nguồn cấp : (2-:- 18)VDC ( Tùy từng loại của 555 : LM555, NE555, NE7555..)
  - + Dòng điện cung cấp : 6mA - 15mA.
  - + Điện áp logic ở mức cao : 0.5 - 15V.
  - + Điện áp logic ở mức thấp : 0.03 - 0.06V.
  - + Công suất lớn nhất là : 600mW.
- Các dạng hình dáng của 555 trong thực tế:



-Chức năng của từng chân của 555

+ **Chân số 1(GND)**: chân nối đất hay chân còn gọi là chân chung.

+ **Chân số 2(TRIGGER)**: Đây là chân đầu vào thấp hơn điện áp so sánh và được dùng như 1 chân chốt hay ngõ vào của 1 tầng so áp. Mạch so sánh ở đây với mức điện áp chuẩn là  $2/3V_{cc}$ .

+ **Chân số 3(OUTPUT)**: Chân này là chân dùng để lấy tín hiệu ra logic. Trạng thái của tín hiệu ra được xác định theo mức 0 và 1. 1 ở đây là mức cao nó tương ứng với gần bằng  $V_{cc}$  nếu (PWM=100%) và mức 0 tương đương với 0V nhưng mà trong thực tế mức 0 này không được 0V mà nó  $\approx (0.35 \rightarrow 0.75V)$ .

+ **Chân số 4(RESET)**: Dùng lập định mức trạng thái ra. Khi chân số 4 nối masse thì ngõ ra ở mức thấp. Còn khi chân 4 nối vào mức áp cao thì trạng thái ngõ ra tùy theo mức áp trên chân 2 và 6. Nhưng mà trong mạch để tạo được dao động thường hay nối chân này lên  $V_{CC}$ .

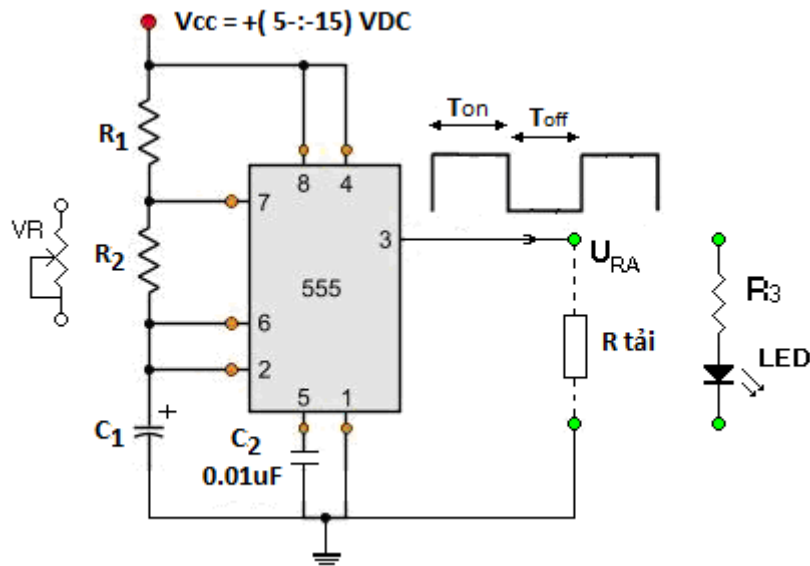
+ **Chân số 5(CONTROL VOLTAGE)**: Dùng làm thay đổi mức áp chuẩn trong IC 555 theo các mức biến áp ngoài hay dùng các điện trở ngoài cho nối GND. Chân này có thể không nối cũng được nhưng mà để giảm trừ nhiễu người ta thường nối chân số 5 xuống GND thông qua tụ điện từ 0.01 $\mu$ F đến 0.1 $\mu$ F các tụ này lọc nhiễu và giữ cho điện áp chuẩn được ổn định.

+ **Chân số 6(THRESHOLD)** : là một trong những chân đầu vào so sánh điện áp khác và cũng được dùng như 1 chân chốt.

+ **Chân số 7(DISCHAGER)** : có thể xem chân này như 1 khóa điện tử và chịu điều khiển bởi mức logic của chân 3. Khi chân 3 ở mức áp thấp thì khóa này đóng lại, ngược lại thì nó mở ra. Chân 7 tự nạp xả điện cho 1 mạch R-C lúc IC 555 dùng như 1 tầng dao động.

+ **Chân số 8 (Vcc)**: Chân cung cấp áp và dòng cho IC hoạt động. Điện áp cấp từ 2V  $\rightarrow$  18V (Tùy từng loại 555 thấp nhất là NE7555).

### 3.2. Sơ đồ nguyên lý.



Hình 13.4 : Sơ đồ nguyên lý mạch dao động dùng IC 555

- Điện trở R<sub>1</sub>, R<sub>2</sub> và tụ C<sub>1</sub> là mạch thời hằng, khi cấp nguồn sẽ luôn có quá trình phóng nạp điện của tụ C<sub>1</sub>. Thời gian phóng nạp của tụ C<sub>1</sub> phụ thuộc vào các giá trị của R<sub>1</sub>, R<sub>2</sub> và tụ C<sub>1</sub>.

- Tụ C<sub>2</sub> giúp cho mạch hoạt động ổn định.

- Nguồn cấp cho mạch tùy thuộc thực tế, có thể lấy trong phạm vi từ (5:-15)VDC
- Chân số 3 là chân đưa điện áp dao động xung ra tải. Chu kỳ xung đầu ra do thời hằng của mạch quyết định.

### 3.3 Nguyên lý làm việc.

- Khi cấp nguồn cho mạch, trong mạch luôn xảy ra quá trình phóng nạp điện của tụ C1

+ Đường nạp: +VCC --> R1 --> R2 --> C1 -->GND.

+ Đường phóng: Má (+) C1 --> R2 --> chân7 --> qua mạch bên trong của IC --> GND --> má (-)C1.

- Trong quá trình phóng nạp của C1, mức điện áp trên chân 2 và 6 sẽ thay đổi theo mức điện áp trên tụ C1 và thông qua các mạch so áp bên trong IC để tạo ra các ngưỡng lật trạng thái mức điện áp tại đầu ra chân số 3.

+ Khi tụ C1 nạp, mức điện áp trên C1 tăng dần và đạt tới ngưỡng lật, nó sẽ làm chân số 3 lật trạng thái từ mức thấp lên mức cao. Khi chân 3 lên mức điện áp cao, nó sẽ đóng mạch để chân 7 tiếp mát (GND), lập tức tụ C1 phóng điện.

+ Khi tụ C1 phóng, mức điện áp trên C1 giảm dần và khi đạt tới ngưỡng lật, nó sẽ làm chân số 3 lật trạng thái từ mức cao xuống mức thấp. Khi chân 3 xuống mức điện áp thấp, nó sẽ mở mạch để chân 7 ngắt khỏi mát (GND), lập tức tụ C1 lại được nạp điện.

+ Quá trình phóng nạp cho tụ liên tiếp xảy ra trong mạch với diễn biến lặp đi lặp lại như trên. Kết quả mức điện áp trên chân số 3 liên tục lật trạng thái và cho ra các xung vuông.

- Thời gian xung ra tồn tại ở mức cao phụ thuộc vào thời gian nạp cho tụ C1

$$T_{on} = 0,69.(R1 + R2).C1$$

- Thời gian xung ra tồn tại ở mức thấp phụ thuộc vào thời gian phóng tụ C1

$$T_{off} = 0,69.R2.C1$$

- Chu kỳ của xung đầu ra :  $T = T_{on} + T_{off}$

$$= 0,69.(R1 + R2).C1 + 0,69.R2.C1$$

$$= 0,69 (R1 + 2R2).C1$$

- Tần số xung đầu ra:

$$f = \frac{1}{T} = \frac{1}{0.69(R1 + 2R2) \times C1} = \frac{1.44}{(R1 + 2R2) \times C1} \text{ [Hz]}$$

- Để có thể điều chỉnh được tần số xung đầu ra, người ta thường thay R<sub>1</sub> bằng một biến trở VR.

<i>Một số các thông số của mạch dao động 555</i>			
<b>C1</b>	<b>R<sub>1</sub> = 1k R<sub>2</sub> = 6k8</b>	<b>R<sub>1</sub> = 10k R<sub>2</sub> = 68k</b>	<b>R<sub>1</sub> = 100k R<sub>2</sub> = 680k</b>
<b>0.001μ</b>	100kHz	10kHz	1kHz
<b>0.01μ</b>	10kHz	1kHz	100Hz
<b>0.1μ</b>	1kHz	100Hz	10Hz
<b>1μ</b>	100Hz	10Hz	1Hz
<b>10μ</b>	10Hz	1Hz	0.1Hz

Bảng 13.2 : Bảng quan hệ giữa một số giá trị của R<sub>1</sub>, R<sub>2</sub>, C<sub>1</sub> với tần số xung ra.

### 3.4. Lắp ráp mạch.

#### 3.4.1 Tổ chức thực hiện:

Triển khai thực hành lắp ráp mạch với từng sinh viên.

#### 3.4.2 Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy hiện sóng hai tia	20MHz	1 máy/8 SV
2	Đồng hồ VOM	Tiêu chuẩn đo lường VN	1 máy/ 2 SV
3	Bộ nguồn 1 chiều	$U = (0 \text{ :-: } 30)\text{VDC}/2\text{A}$	1 máy/8 SV
4	IC dao động 555	LM555 hoặc tương đương	1
5	Đế cắm IC	Đế 8 chân / 2 hàng	1
6	Điện trở R <sub>1</sub>	3,3 K $\Omega$ - 0.25W	1
7	VR	10 K $\Omega$ - 0.5W	1
8	Điện trở R <sub>3</sub>	1 K $\Omega$ - 0.5W	1
9	Tụ điện C <sub>1</sub>	10 $\mu\text{F}$ - 16V	1
10	Tụ C <sub>2</sub>	0.01 $\mu\text{F}$ - 16V	1
11	LED màu	150mA	1
12	Bảng mạch đa năng	(8 x 12) cm	1
13	Thiếc hàn, nhựa thông	Thiếc dây 0.2 x 1m	1
14	Mỏ hàn xung	75W/220V	1
15	Dây nối mạch tráng thiếc	0.1cm x 1m	1

Bảng 13.1 : Bảng thiết bị, vật tư lắp ráp mạch đa hài dùng transistor .

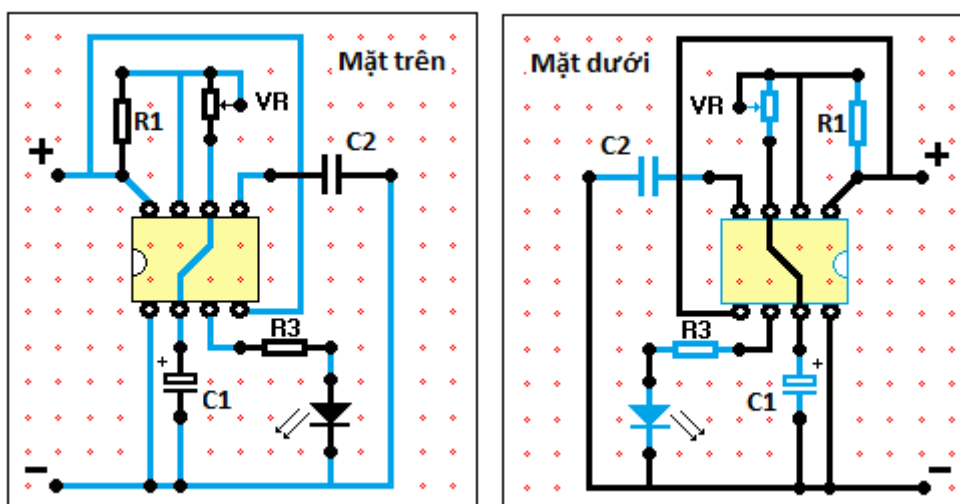
#### 3.4.3 Quy trình thực hiện.

➤ Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thông kê.

- Kiểm tra hoạt động của máy hiện sóng, đồng hồ VOM.
- Kiểm tra số lượng và chất lượng các linh kiện, vật tư.

➤ Thiết kế mạch lắp ráp.

- Tìm hiểu kích thước của bảng mạch lắp ráp và kích thước thực tế của các linh kiện có trong sơ đồ để phân bổ vị trí các linh kiện cho hợp lý.



- Vẽ ký hiệu các linh kiện theo sự sắp xếp tương ứng với mặt trên bảng mạch, chú ý đến vị trí các chân IC555 và cực tính của tụ điện.



- Vẽ sơ đồ đi dây kết nối các linh kiện ở mặt dưới bảng mạch.
- Nên biểu diễn bằng hai màu sắc khác nhau để phân biệt mạch đi dây ở bên dưới bảng mạch và phần linh kiện đi phía trên bảng mạch (như hình vẽ trên).
- Lắp mạch.
  - Xác định vị trí các linh kiện lắp ráp trên sơ đồ.
  - Uốn chân linh kiện đúng yêu cầu kỹ thuật.
  - Lắp và hàn đế IC,  $R_1$ ,  $R_3$ ,  $C_2$ .
  - Lắp và hàn LED,  $C_1$ , VR.
  - Hàn dây đi mạch.
  - Cát chân linh kiện.
- Kiểm tra.
  - Kiểm tra chất lượng các mối hàn.
  - Đo kiểm tra độ tiếp thông của mạch và chập mạch.
- Vận hành.
  - Lắp IC vào vị trí để cắm.
  - Cấp nguồn một chiều  $U = 9VDC$ .
  - Quan sát đèn báo LED.
  - Điều chỉnh VR để nhận được tần số xung ra  $\approx 1Hz$ .
  - Đo kiểm tra xung ra bằng máy hiện sóng.

#### 3.4.4 Kiểm tra đánh giá.

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lí hoạt động của mạch đa hài tự dao động dùng IC555.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch dao động đa hài dùng IC555 đúng yêu.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## Bài 14: Mạch đa hài một trạng thái ổn định.

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được cấu tạo, nguyên lý hoạt động các mạch dao động đa hài một trạng thái ổn định.

- Trình bày được các ứng dụng của mạch đa hài một trạng thái ổn định trong kỹ thuật

\* *Kỹ năng:*

- Lắp ráp, sửa chữa, đo kiểm được các mạch dao động đa hài một trạng thái ổn định đúng yêu cầu kỹ thuật

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

### 1. Khái quát chung.

- Mạch đa hài một trạng thái ổn định là mạch có một trạng thái ổn định còn trạng thái thứ hai là trạng thái không ổn định hay còn gọi là trạng thái tựa ổn định.

- Trạng thái ổn định thường ở mức thấp (L - logic0), còn trạng thái tựa ổn định sẽ ở mức cao (H - logic1).

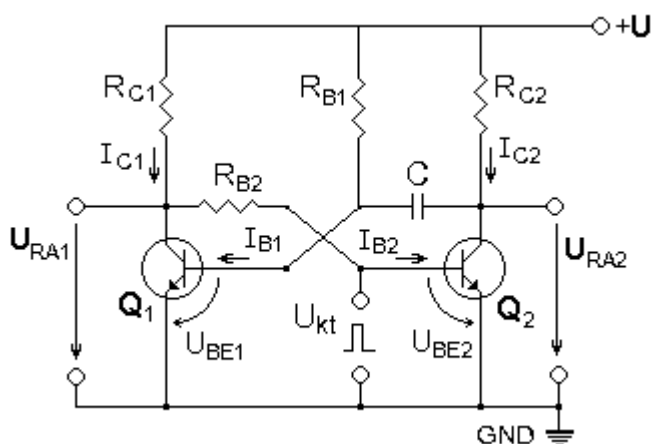
- Khi muốn mạch chuyển đổi từ trạng thái ổn định sang trạng thái tựa ổn định thì cần phải có một tín hiệu kích thích từ bên ngoài mang đến. Còn đối với sự chuyển đổi ngược lại, từ trạng thái tựa ổn định sang trạng thái ổn định thì sự việc diễn ra hoàn toàn tự động.

- Thời gian tựa ổn định (thời gian tồn tại xung đầu ra) do tham số của mạch hoàn toàn quyết định.

- Các phần tử tích cực được sử dụng để xây dựng mạch là transistor, cổng logic, khuếch đại thuật toán hoặc IC.

### 2. Mạch đa hài một trạng thái ổn định dùng Transistor.

#### 2.1. Sơ đồ mạch.



#### 2.2. Nguyên lý làm việc.

- Trạng thái ban đầu Q1 mở - Q2 khóa nhờ RB1, Q1 mở bão hòa làm  $U_{CE1} = U_{BE2} = 0V$  nên Q2 khóa, đây là trạng thái ổn định bền (gọi là trạng thái đợi).

- Tại thời điểm  $t = t_0$  kích thích một xung điện áp dương ở lối vào làm mở Q2, điện thế cực collector của Q2 giảm từ +U xuống gần bằng 0V. Bước nhảy điện áp

này thông qua bộ lọc tần số cao  $R_{B1}$ , C đặt toàn bộ đến cực bazơ của  $Q_1$  làm điện thế ở đó đột biến từ mức thông (khoảng +0,6V) đến mức  $-E + 0,6V \approx -E$ , do đó  $Q_1$  bị khóa lại. Khi đó  $Q_2$  được duy trì ở trạng thái mở nhờ mạch hồi tiếp dương qua  $R_{B2}$  ngay cả khi điện áp vào bằng 0. Tụ C (đầu qua  $R_{B1}$  đến điện thế +E) bắt đầu nạp điện làm điện thế cực bazơ  $Q_1$  biến đổi theo quy luật :

$$U_{BE1} \approx E [ 1 - 2\exp(-t/R_{B1}.C) ]$$

- Với điều kiện ban đầu:  $U_{BE1}(T = t_0) = -E$  và điều kiện cuối:  $U_{BE1}(T \rightarrow \infty) = E$ .

$Q_1$  bị khóa cho tới lúc  $t = t_1$ , khi  $U_{BE1}$  đạt tới giá trị +0,6V khoảng thời gian này xác định từ điều kiện  $U_{BE1}(t_1) = 0$  và quyết định độ dài xung ra  $t_x$ :

$$t_1 - t_0 = t_x = R_{B1}.C.\ln 2 = 0,7R_{B1}.C$$

- Sau thời điểm  $t = t_1$ ,  $Q_1$  mở và quá trình hồi tiếp dương qua  $R_{B2}$  đưa mạch về lại trạng thái ban đầu, đợi xung vào tiếp sau (lúc  $t = t_2$ ). Lưu ý những điều trình bày trên đúng khi  $T > t_x > \tau_x$  ( $\tau_x$  là độ rộng xung vào và  $T_v$  là chu kỳ xung vào) và khi điều kiện trên được thỏa mãn thì ta luôn có chu kỳ xung ra  $T_{ra} = T_v$ .

- Để điều chỉnh được độ rộng xung ra, người ta thường thay  $R_{B1}$  bằng một biến trở VR.

### 2.3. Lắp ráp mạch.

#### 3.4.1 Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### 3.4.2 Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	Đồng hồ VOM	Tiêu chuẩn đo lường VN	1 máy / nhóm
3	Transistor n-p-n	C1815 hoặc tương đương	2 / nhóm
4	Điện trở $R_{C1}$ , $R_{C2}$ , $R_{B2}$	5,6 K $\Omega$ - 0,25w	3 / nhóm
5	Điện trở $R_{B1}=VR$	20 K $\Omega$ - 0,5w	1 / nhóm
6	Tụ điện C	1 $\mu$ F	1 / nhóm
7	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
8	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 13.1 : Bảng thiết bị, vật tư lắp ráp mạch đa hài dùng transistor .

#### 3.4.3 Quy trình thực hiện.

➤ Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thông kê.

- Kiểm tra đồng hồ VOM

- Kiểm tra số lượng, chất lượng các linh kiện.

➤ Lắp mạch.

- Ráp các linh kiện transistor, điện trở, biến trở, tụ điện lên bảng mạch trên máy.

- Đầu nối các linh kiện theo sơ đồ nguyên lý.

- Đầu vào kích xung đầu vào jắc cấp sườn dương xung.

- Đầu ra của  $Q_1$  và  $Q_2$  đầu tới đèn hiển thị LED.

- Đầu dây cấp nguồn +5VDC, GND cho mạch.

➤ Vận hành.

- Bật khóa công tắc cấp nguồn.

- Quan sát đèn LED báo tín hiệu ra tại lối ra  $Q_1$  và  $Q_2$ .

- Nhấn nút kích sườn dương xung.

- Quan sát đèn LED báo tín hiệu ra tại lối ra  $Q_1$  và  $Q_2$ .

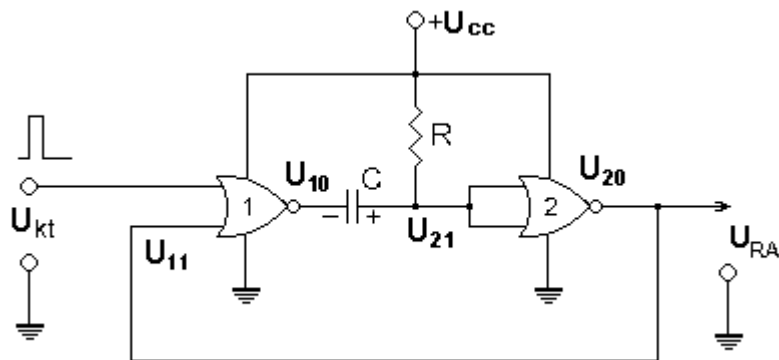
- Điều chỉnh VR để thay đổi độ rộng xung ra theo sự mong muốn.

### 3.4.4 Kiểm tra đánh giá.

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lí hoạt động của mạch dao động đa hài một trạng thái ổn định.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch dao động đa hài một trạng thái ổn định đúng yêu cầu kỹ thuật.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## 3. Mạch đa hài một trạng thái ổn định dùng cổng logic.

### 3.1. Sơ đồ mạch.



- Mạch sử dụng 2 phần tử NOR. Các cổng logic NOR hoạt động như một khóa chuyển mạch điện tử đóng mở. Khi đầu ra ở mức cao tương đương với chuyển mạch nối đầu ra lên  $+U_{CC}$ , còn khi đầu ra ở mức thấp tương đương với chuyển mạch nối đầu ra với  $0V$  (GND).

- Hai đầu vào của NOR-2 được nối vào nhau và hoạt động như cổng NOT.

- Điện trở  $R$  được nối với  $+U_{CC}$  để cung cấp mức điện áp cho đầu vào NOR-2 và cùng với tụ  $C$  đóng vai trò là hằng số thời gian của mạch tức là nó qui định thời gian của trạng thái tựa ổn định.

- Điện áp đưa ra ( $U_{20}$ ) lấy trên đầu ra của NOR-2 và đồng thời đưa một phần tín hiệu trở về đầu vào NOR-1 ( $U_{11}$ ) nhằm duy trì cho mạch hoạt động (sẽ xét ở phần nguyên lý làm việc).

- Điện áp tín hiệu kích thích ( $U_{kt}$ ) là một xung dương được đưa vào lối vào còn lại của NOR-1.

- Điện áp ra ( $U_{10}$ ) của NOR-1 được truyền tới đầu vào của NOR-2 qua tụ  $C$ .

### 3.2. Nguyên lý làm việc.

- Giả thiết tại thời điểm ban đầu  $t_1$ , khi chưa có điện áp kích thích từ bên ngoài ta có  $U_{kt} = L = \text{logic}0 = 0V$ , tụ  $C$  chưa được nạp điện  $\rightarrow U_c = 0V$ , hai lối vào của NOR-2 được nối với  $+U_{CC}$  qua điện trở  $R$  nên có mức điện áp cao  $\rightarrow U_{21} = H = \text{logic}1 = +U_{CC}$  và do vậy điện áp ra của NOR-2 sẽ nhận mức điện áp thấp  $\rightarrow U_{20} = U_{RA} = L = \text{logic}0 = 0V \rightarrow U_{11} = L = \text{logic}0 = 0V$ . Điện áp ra NOR-1 nhận mức  $\text{logic}1 = H = +U_{CC}$ . Như vậy tụ điện  $C$  vẫn chưa thể nạp điện. Mạch sẽ tồn tại ở trạng thái này nếu như không có một tác động nào từ bên ngoài. Đây chính là trạng thái ổn định của mạch.

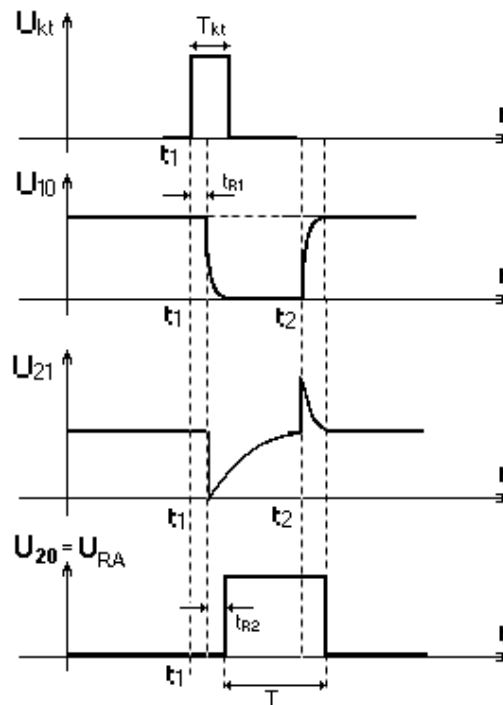
- Tại thời điểm  $t_2$ , đưa một xung dương kích thích tại lối vào  $\rightarrow U_{kt} = H = 1$  khiến điện áp đầu ra của NOR-1 sẽ đột ngột sụt về  $0V \rightarrow U_{10} = L = 0V$ . Ngay tại thời điểm  $t_1$  này, tụ C chưa thể kịp nạp điện ngay, do đó  $U_C = 0V$ , mức 0 này được truyền tới lối vào NOR-2  $\rightarrow U_{21} = L = 0V$ , đầu ra NOR-2 sẽ nhận mức cao  $\rightarrow U_{20} = U_{RA} = H = 1$ . Đầu ra  $U_{20}$  đã lật trạng thái từ  $L = 0$  lên  $H = 1$ .

- Sau thời điểm  $t_1$  này, tụ C mới bắt đầu được nạp điện  $+U_{CC} \rightarrow R \rightarrow C \rightarrow$  đầu ra NOR-1  $\rightarrow GND$ , điện áp trên tụ C ( $U_C$ ) tăng dần trong một khoảng thời gian nào đó từ  $t_1$  :-  $t_2$ . Đây chính là thời gian tựa ổn định của mạch.

Khi  $U_{20} = 1$  (tại thời điểm  $t_1$  như đã xét ở trên), mức logic 1 này được hồi tiếp về  $U_{11}$  để giữ cho điện áp đầu ra ( $U_{10}$ ) của NOR-1 duy trì ở mức thấp ( $L$ ) bất kể xung dương kích thích còn hay mất. Điều này đảm bảo cho quá trình nạp điện của tụ C.

- Tại thời điểm  $t_2$ , khi điện áp trên tụ C đủ lớn và được coi là mức logic 1 = H thì  $U_{21} = H = 1$ , lập tức  $U_{20} = U_{RA} = L = \text{logic}0 = 0V \rightarrow$  Mạch lại lật trạng thái. Điện áp  $U_{11}$  lập tức trở về mức logic 0 = L =  $0V$ , điều này khiến khiến điện áp đầu ra của NOR-1 sẽ quay trở về mức cao  $\rightarrow U_{10} = H = 1$ . Tụ C chấm dứt quá trình nạp và bắt đầu phóng điện  $+C \rightarrow R \rightarrow$  nguồn  $\rightarrow$  đầu ra NOR-1  $\rightarrow -C$ . Dòng phóng lúc đầu lớn khiến điện áp tăng đột biến trên R và sau đó dòng phóng giảm dần và khi phóng hết điện thì  $U_C = 0V$ . Mạch trở về trạng thái như ban đầu đã xét tức là trở về trạng thái ổn định.

- Biểu đồ thời gian



+ Giữa  $U_{kt}$  với  $U_{10}$  và giữa  $U_{21}$  với  $U_{20}$  có một khoảng thời gian trễ nào đó. Vì vậy so giữa  $U_{kt}$  với  $U_{20}$  sẽ có 2 lần thời gian trễ.

+ Để mạch làm việc được bình thường thì độ rộng xung kích thích phải lớn hơn tổng thời gian trễ nói trên  $T_{kt} > (t_{R1} + t_{R2})$ .

+ Độ rộng xung đầu ra (thời gian tựa ổn định) phụ thuộc vào thời gian nạp cho tụ C tức là phụ thuộc vào trị số của R và C. Thực tế để có thể điều chỉnh được độ rộng xung ra, người ta thường thay điện trở R là một biến trở.

### 3.3. Lắp ráp mạch.

#### 3.4.1 Tổ chức thực hiện:

Chia lớp thành các nhóm với 2 sinh viên/nhóm.

#### 3.4.2 Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực tập số	ED-1100A	1 máy / nhóm
2	IC số cổng NOR	7402 hoặc tương đương	1 IC/ nhóm
3	Biến trở VR	10K $\Omega$	1
4	Tụ điện C	10 $\mu$ F	1
3	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
4	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 13.1 : Bảng thiết bị, vật tư lắp ráp mạch đa hài dùng transistor .

#### 3.4.3 Quy trình thực hiện.

➤ Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thông kê.

➤ Phân định sử dụng các cổng logic trong IC

➤ Lắp mạch.

- Ráp các linh kiện IC, VR, C lên bảng mạch trên máy

- Đấu nối các linh kiện theo sơ đồ nguyên lý.

- Một đầu vào của NOR-1 đấu vào jack cấp sườn dương xung.

- Đấu dây cấp nguồn +5VDC, GND cho mạch.

➤ Vận hành.

- Bật khóa công tắc cấp nguồn.

- Quan sát đèn LED báo tín hiệu ra tại lối ra U<sub>20</sub>.

- Nhấn nút kích sườn dương xung.

- Quan sát đèn LED báo tín hiệu ra tại lối ra U<sub>20</sub>.

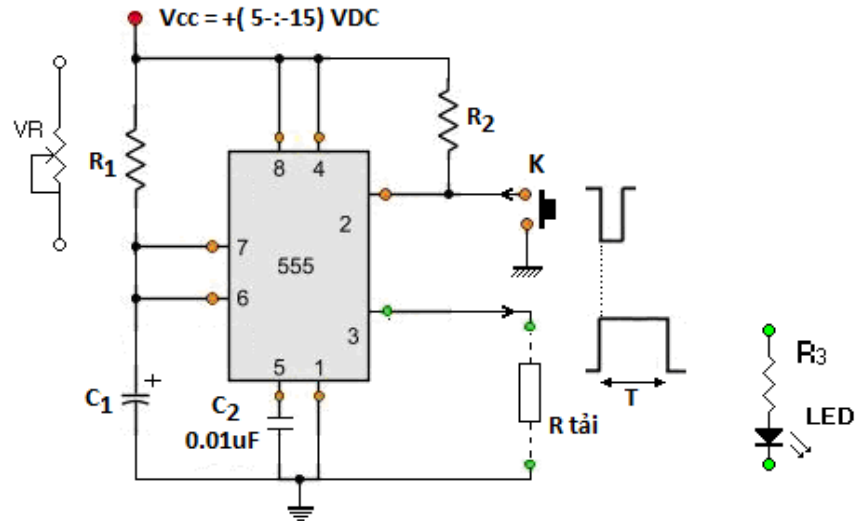
- Điều chỉnh VR để thay đổi độ rộng xung ra theo sự mong muốn.

#### 3.4.4 Kiểm tra đánh giá.

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lí hoạt động của mạch dao động đa hài một trạng thái ổn định dùng cổng logic.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch dao động đa hài một trạng thái ổn định dùng cổng logic đúng yêu cầu kỹ thuật.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## 4. Mạch đa hài một trạng thái ổn định dùng IC 555

### 4.1. Sơ đồ mạch.



Hình 14.4: Sơ đồ nguyên lý mạch đa hài một trạng thái ổn định dùng IC 555

- Điện trở R1, C1 là mạch thời hằng, khi cấp nguồn sẽ luôn có quá trình phóng nạp điện của tụ C1. Thời gian phóng nạp của tụ C1 phụ thuộc vào các giá trị của R1 và tụ C1.
- Điện trở R2 luôn cung cấp mức điện áp cao cho chân số 2 của IC555.
- Nút nhấn khóa K là loại thường mở, khi tác động nhấn khóa K sẽ đưa chân số 2 trở về mức điện áp thấp là 0V tạo ra một xung âm kích thích đưa vào chân 2.
- Chân số 3 là chân đưa điện áp xung ở mức cao khi có kích thích xung âm tại chân số 2. Thời gian tồn tại T của xung ra do thời hằng của mạch quyết định.
- Tụ C2 giúp cho mạch hoạt động ổn định.

#### 4.2. Nguyên lý làm việc.

- Khi ở trạng thái bình thường, không có tác động vào nút nhấn K, chân số 2 luôn có mức điện áp cao từ nguồn cấp thông qua R2, IC không làm việc, đầu ra chân số 3 luôn có mức điện áp thấp, chưa có xung đưa ra.
- Khi nhấn khóa K, chân số 2 của IC555 trở về mức điện áp thấp là 0V, tạo ra sự lật trạng thái tại đầu vào chân số 2 từ mức cao xuống mức thấp, chân số 3 lập tức chuyển trạng thái từ mức thấp 0V lên mức cao và tồn tại trong một khoảng thời gian T nào đó và sau đó tự động trở về trạng thái đầu là 0V bất kể xung kích thích còn hay mất.
- Thời gian tồn tại T của xung ra do thời hằng của mạch quyết định.

$$T=1,1.R_1.C_1 \text{ (sec)}$$

Một vài thông số của mạch một xung dùng IC555			
C1	R <sub>1</sub> = 100k	R <sub>1</sub> = 330k	R <sub>1</sub> = 560k
10μF	1.1 sec	3.63 sec	6.16 sec
100μF	11 sec	36.3 sec	61.6 sec
470μF	51.7 sec	170.61 sec	289.52 sec

#### 4.3. Lắp ráp mạch.

### 3.4.1 Tổ chức thực hiện:

Triển khai thực hành lắp ráp mạch với từng sinh viên.

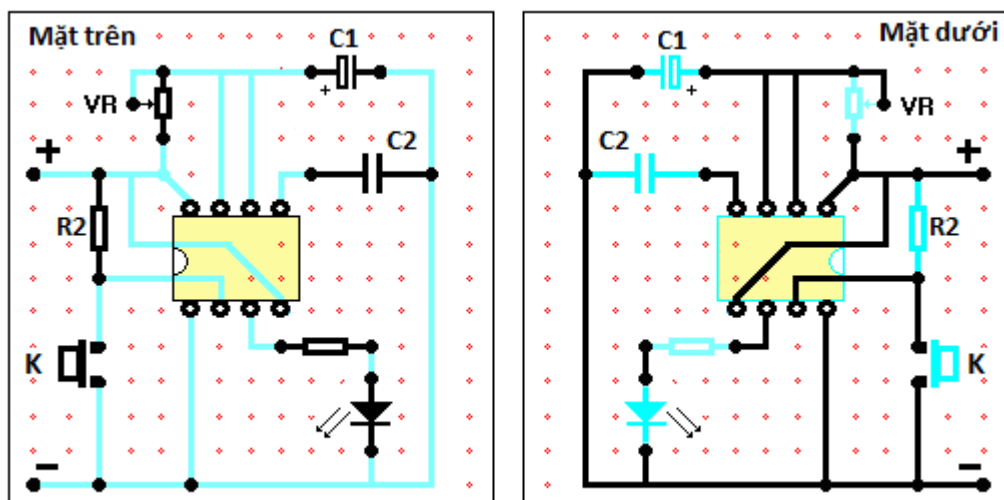
### 3.4.2 Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy hiện sóng hai tia	20MHz	1máy/8 SV
2	Đồng hồ VOM	Tiêu chuẩn đo lường VN	1máy/ 2 SV
3	Bộ nguồn 1 chiều	$U = (0 \text{ :-} 30)\text{VDC}/2\text{A}$	1máy/8 SV
4	IC dao động 555	LM555 hoặc tương đương	1
5	Đế cắm IC	Đế 8 chân / 2 hàng	1
6	Điện trở $R_2$	$3,3 \text{ K}\Omega - 0.25\text{W}$	1
7	VR	$10 \text{ K}\Omega - 0.5\text{W}$	1
8	Điện trở $R_3$	$1 \text{ K}\Omega - 0.5\text{W}$	1
9	Tụ điện $C_1$	$10 \mu\text{F} - 16\text{V}$	1
10	Tụ $C_2$	$0.01 \mu\text{F} - 16\text{V}$	1
11	LED màu	150mA	1
12	Phím nhấn 2 tiếp điểm		1
13	Bảng mạch đa năng	$(8 \times 12) \text{ cm}$	1
14	Thiếc hàn, nhựa thông	Thiếc dây $0.2 \times 1\text{m}$	1
15	Mỏ hàn xung	$75\text{W}/220\text{V}$	1
16	Dây nối mạch tráng thiếc	$0.1\text{cm} \times 1\text{m}$	1

Bảng 13.1 : Bảng thiết bị, vật tư lắp ráp mạch đa hài dùng transistor .

### 3.4.3 Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Kiểm tra hoạt động của máy hiện sóng, đồng hồ VOM.
- Kiểm tra số lượng và chất lượng các linh kiện, vật tư.
- Thiết kế mạch lắp ráp.



- Tìm hiểu kích thước của bảng mạch lắp ráp và kích thước thực tế của các linh kiện có trong sơ đồ để phân bổ vị trí các linh kiện cho hợp lý.
- Vẽ ký hiệu các linh kiện theo sự sắp xếp tương ứng với mặt trên bảng mạch, chú ý đến vị trí các chân IC555 và cực tính của tụ điện.



- Vẽ sơ đồ đi dây kết nối các linh kiện ở mặt dưới bảng mạch.
  - Nền biểu diễn bằng hai màu sắc khác nhau để phân biệt mạch đi dây ở bên dưới bảng mạch và phần linh kiện đi phía trên bảng mạch (như hình vẽ trên).
  - Lắp mạch.
    - Xác định vị trí các linh kiện lắp ráp trên sơ đồ.
    - Uốn chân linh kiện đúng yêu cầu kỹ thuật.
    - Lắp và hàn đế IC, R<sub>2</sub>, R<sub>3</sub>, C<sub>2</sub>, công tắc nhấn K
    - Lắp và hàn LED, C<sub>1</sub>, VR.
    - Hàn dây đi mạch.
    - Cắt chân linh kiện.
  - Kiểm tra.
    - Kiểm tra chất lượng các mối hàn.
    - Đo kiểm tra độ tiếp thông của mạch và chập mạch.
  - Vận hành.
    - Lắp IC vào vị trí để cắm.
    - Cấp nguồn một chiều U = 9VDC.
    - Nhấn công tắc K và quan sát đèn báo LED.
    - Điều chỉnh VR để nhận được độ rộng xung ra theo mong muốn.
    - Đo kiểm tra xung ra bằng máy hiện sóng.
- 3.4.4 Kiểm tra đánh giá.

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lý hoạt động của mạch dao động đa hài một trạng thái ổn định dùng cổng IC555.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch dao động đa hài một trạng thái ổn định dùng IC555 đúng yêu cầu kỹ thuật.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## Bài 15: Mạch đa hài hai trạng thái ổn định.

Mục tiêu:

- Giải thích được cấu tạo, nguyên lý hoạt động các mạch dao động đa hài hai trạng thái ổn định.
- Trình bày được các ứng dụng của mạch đa hài hai trạng thái ổn định trong kỹ thuật
- Lắp ráp, sửa chữa, đo kiểm được các mạch dao động đa hài hai trạng thái ổn định đúng yêu cầu kỹ thuật

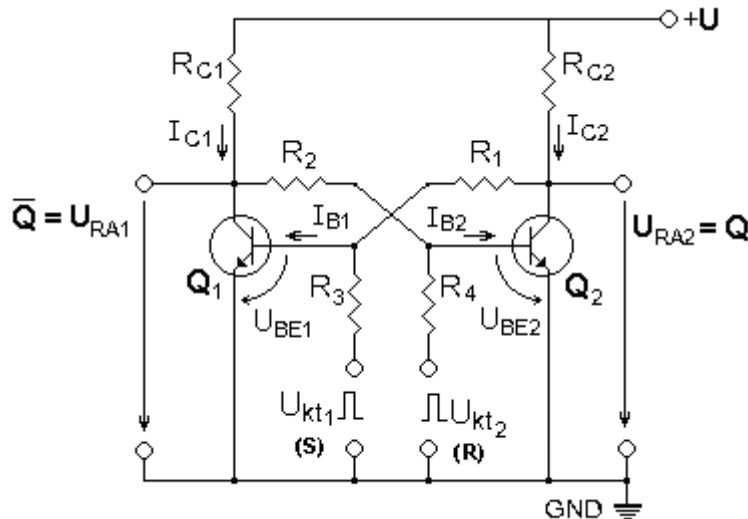
Nội dung:

### 1. Khái quát chung.

Các mạch có hai trạng thái ổn định ở đầu ra (còn gọi là mạch trigơ) được đặc trưng bởi hai trạng thái ổn định bền theo thời gian và việc chuyển nó từ trạng thái này sang trạng thái kia (xảy ra tức thời nhờ các vòng hồi tiếp dương nội bộ) chỉ xảy ra khi đặt tới lối vào thích hợp của nó các xung điện áp có biên độ và cực tính thích hợp. Đây là phần tử cơ bản cấu tạo nên một ô nhớ (ghi, đọc) thông tin dưới dạng số nhị phân.

### 2. Mạch đa hài hai trạng thái ổn định dùng Transistor.

#### 2.1. Sơ đồ mạch.



Hình 15.1: Sơ đồ mạch đa hài hai trạng thái ổn định dùng Transistor.

- Q1 và Q2 là hai transistor n-p-n ghép liên tiếp nhau qua các vòng hồi tiếp dương bằng các cặp điện trở R1, R3 và R2, R4.

- Nếu :

- + Q1 và Q2 là 2 transistor cùng loại (cùng tham số)
- +  $R_{C1} = R_{C2}$
- +  $R_1 = R_2$
- +  $R_3 = R_4$

--> Thì ta có mạch đối xứng

- Hai lối vào nhận xung dương kích thích là Ukt1 và Ukt2 được đặt tên tương ứng là S và R nên mạch còn được gọi tên là mạch Trigger RS

#### 2.2. Nguyên lý làm việc.

- Mạch chỉ có hai trạng thái ổn định bền là:

- + Q1 mở, Q2 khóa ứng với mức điện áp ra  $U_{RA1} = 0, U_{RA2} = 1$  hay
- + Q1 khóa Q2 mở ứng với mức điện áp ra  $U_{RA1} = 1, U_{RA2} = 0$ .
- Các trạng thái còn lại là không thể xảy ra (Q1 và Q2 cùng khóa) hay là không ổn định (Q1 và Q2 cùng mở).
- Q1 và Q2 không thể cùng khóa do nguồn +Ecc khi đóng mạch sẽ đưa một điện áp dương nhất định tới các cực bazơ. Q1 và Q2 có thể cùng mở nhưng do tính chất đối xứng không lí tưởng của mạch, chỉ cần một sự chênh lệch vô cùng bé giữa dòng điện trên 2 nhánh ( $I_{B1} \neq I_{B2}$  hay  $I_{c1} \neq I_{c2}$ ) thông qua các mạch hồi tiếp dương, độ chênh lệch này sẽ bị khoét sâu nhanh chóng tới mức sơ đồ chuyển về một trong hai trạng thái ổn định bền đã nêu.
- + Chẳng hạn thoát đầu  $I_{B1} > I_{B2}$  từ đó  $I_{C1} > I_{C2}$ , các giảm áp âm trên collector của Q1 và dương trên collector của Q2 thông qua phân áp R2,R4 hay R1,R3 đưa về làm  $I_{B1} > I_{B2}$  dẫn tới Q1 mở Q2 khóa.
- + Nếu ngược lại lúc đầu  $I_{B1} < I_{B2}$  thì sẽ dẫn tới Q1 khóa Q2 mở.
- Tuy nhiên, không nói chắc được mạch sẽ ở trạng thái nào trong hai trạng thái ổn định đã nêu. Để đầu ra đơn trị, trạng thái vào ứng với khi có cả hai tín hiệu xung dương kích  $U_{kt1}$  (S) và  $U_{kt2}$  (R) tương đương với  $R=S=1$  là bị cấm. Nói khác đi điều kiện cấm là  $R = S = 0$ .
- Từ việc phân tích trên rút ra bảng trạng thái của Trigger cho phép xác định trạng thái ở đầu ra của nó ứng với tất cả các khả năng có thể của các xung đầu vào ở bảng 15.1. Ở đây chỉ số n thể hiện trạng thái hiện tại, chỉ số (n + 1) thể hiện trạng thái tương lai của đầu ra, dấu chéo thể hiện trạng thái cấm. Đầu vào R gọi là đầu vào xóa (Reset). Đầu vào S gọi là đầu vào thiết lập (Set).

Đầu vào		Đầu ra	
$R_n$	$S_n$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	0	$Q_n$	$\overline{Q}_n$
0	1	1	0
1	0	0	1
1	1	x	x

Bảng 15.1: Bảng chân lý mô tả hoạt động của Trigger RS.

### 2. 3 Lắp ráp mạch.

#### a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đa hài hai trạng thái ổn định dùng Transistor.
- Lập bảng chân lý mô tả nguyên lý làm việc của mạch.

#### b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 3 sinh viên/nhóm.

#### c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực kỹ thuật điện tử		1 máy / nhóm
2	Máy hiện sóng 2 tia	20 MHz	1 máy / 4 nhóm
3	Transistor n-p-n	C1815 hoặc tương đương	2
4	Điện trở Rc1, Rc2	5,6 K $\Omega$ - 0.5w	2
5	Điện trở R1, R2	5,6 K $\Omega$ - 0.5w	2

6	Điện trở R3, R4	1 K $\Omega$ - 0.5w	2
7	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
8	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 15.2: Bảng thiết bị, vật tư khảo sát mạch hạn chế nối tiếp

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Nghiên cứu sơ đồ nguyên lý.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đa hài hai trạng thái ổn định dùng Transistor.
- + Cắm các linh kiện lên bảng mạch theo sơ đồ nguyên lý.
- + Đấu nối mạch điện.
- + Cấp nguồn 1 chiều 5VDC cho mạch
- + Nối que đo kênh 1 (CH1) và kênh 2 (CH2) của máy hiện sóng với lối ra Q và lối vào S của mạch.
- + Nhấn công tắc để tạo xung kích thích cho mạch lần lượt tại lối vào S và R theo từng trường hợp RS = [00 ; 01 ; 10].
- + Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.
- Lập bảng chân lý mô tả lại nguyên lý làm việc của mạch.

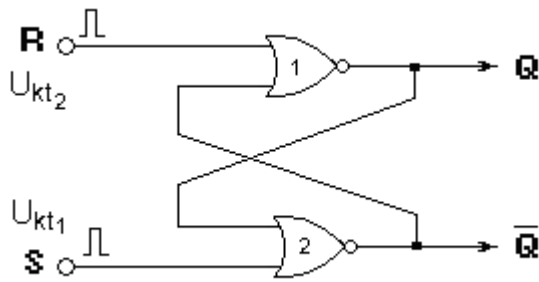
Đầu vào		Đầu ra	
R <sub>n</sub>	S <sub>n</sub>	Q <sub>n+1</sub>	$\bar{Q}_{n+1}$
0	0		
0	1		
1	0		
1	1	x	x

**Đánh giá kết quả.**

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lý hoạt động của mạch đa hài hai trạng thái ổn định dùng Transistor.	<b>3</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch đa hài hai trạng thái ổn định dùng Transistor đúng yêu cầu kỹ thuật.	<b>5</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

**3. Mạch đa hài hai trạng thái ổn định dùng cổng logic.**

**3.1 Cấu trúc mạch.**



Hình 15.2: Cấu trúc mạch đa hài hai trạng thái ổn định dùng cổng logic.

- Mạch có cấu trúc bằng 2 cổng NOR 1 và 2.
- R (Reset) : Là lối vào xóa.
- S (Set) : Là lối vào đặt.
- Có 2 lối ra là  $Q$  ;  $\bar{Q}$  .

### 3.2 Nguyên lý làm việc:

- Xét nhịp thứ nhất cho  $R = 1$  ;  $S = 0$  Ta có  $Q = 0$  ;  $\bar{Q} = 1$
- Xét nhịp thứ hai cho  $R = 0$  ;  $S = 1$  Ta có  $Q = 1$  ;  $\bar{Q} = 0$
- Xét nhịp thứ ba cho  $R = 0$  ;  $S = 0$  Ta vẫn có  $Q = 1$  ;  $\bar{Q} = 0$

--> trạng thái tại 2 lối ra này vẫn giữ nguyên trạng thái trước đó (nhịp thứ 3 giữ nguyên nhịp thứ 2), ta gọi là nhớ trạng thái trước.

- Xét nhịp thứ tư cho  $R = 1$  ;  $S = 1$  Ta có  $Q = 1$  và  $\bar{Q} = 1$

Nhưng sau đó nhịp thứ năm, nếu ta lại cho  $R = 0$  ;  $S = 0$  thì tại lối ra  $Q$  ;  $\bar{Q}$  sẽ không thể xác định được trạng thái tín hiệu cụ thể. Vì vậy, để tránh tình trạng này, tổ hợp tín hiệu  $R = 1$  ;  $S = 1$  không được sử dụng và được gọi là tổ hợp cấm.

- Bảng chân lý

Đầu vào		Đầu ra	
$R_n$	$S_n$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	1	0
1	0	0	1
1	1	x	x

Bảng 15.3: Bảng chân lý mô tả hoạt động của Trigger RS dùng cổng NOR

### 3.3 Lắp ráp mạch.

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đa hài hai trạng thái ổn định dùng cổng logic NOR.

- Lập bảng chân lý mô tả nguyên lý làm việc của mạch.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 3 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực kỹ thuật điện tử		1 máy / nhóm
2	Máy hiện sóng 2 tia	20 MHz	1 máy / 4 nhóm

3	IC cổng NOR	7402 hoặc tương đương	
7	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
8	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 15.2: Bảng thiết bị, vật tư khảo sát mạch hạn chế nối tiếp

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Nghiên cứu sơ đồ nguyên lý.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch đa hài hai trạng thái ổn định dùng cổng NOR.
- + Cắm IC lên bảng mạch.
- + Đấu nối mạch điện.
- + Cấp nguồn 1 chiều 5VDC cho mạch
- + Nối que đo kênh 1 (CH1) và kênh 2 (CH2) của máy hiện sóng với lối ra Q và lối vào S của mạch.
- + Nhấn công tắc để tạo xung kích thích cho mạch lần lượt tại lối vào S và R theo từng trường hợp RS = [00 ; 01 ; 10].
- + Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.
- Lập bảng chân lý mô tả lại nguyên lý làm việc của mạch.

Đầu vào		Đầu ra	
$R_n$	$S_n$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0		
0	1		
1	0		
1	1	x	x

**Đánh giá kết quả.**

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lý hoạt động của mạch đa hài hai trạng thái ổn định dùng cổng NOR.	<b>3</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch đa hài hai trạng thái ổn định dùng cổng NOR đúng yêu cầu kỹ thuật.	<b>5</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## Bài 16: Mạch Trigger schmitt.

Mục tiêu:

\* Kiến thức:

- Giải thích được cấu tạo, nguyên lý hoạt động mạch Trigger schmitt.
- Trình bày được các ứng dụng của mạch Trigger schmitt trong kỹ thuật.

\* Kỹ năng:

- Lắp ráp, sửa chữa, đo kiểm được mạch Trigger schmitt đúng yêu cầu kỹ thuật

\* Thái độ:

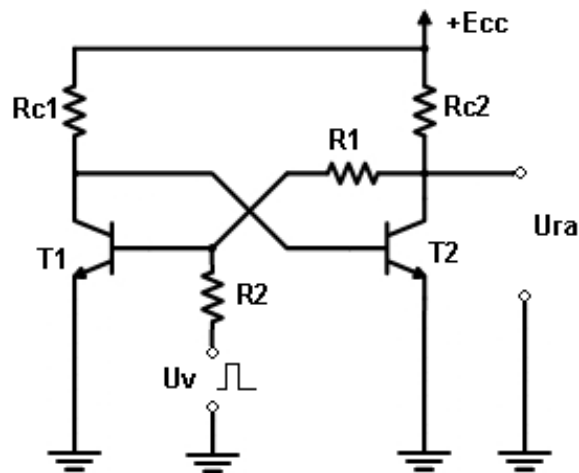
- Chủ động, sáng tạo trong quá trình học tập.

Nội dung:

### 1. Khái quát chung.

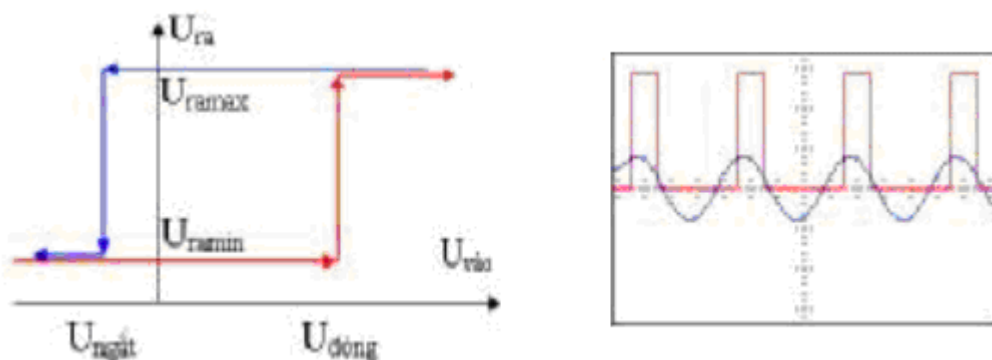
### 2. Mạch Trigger schmitt dùng Transistor.

#### 2.1. Sơ đồ mạch.



#### 2.2. Nguyên lý làm việc.

- Đường đặc tuyến truyền đạt và dạng sóng điện áp vào ra của mạch được biểu thị trên hình vẽ.



- Qua đặc tuyến thấy rõ: Lúc tăng dần  $U_{vào}$  từ một trị số rất âm thì:

khi  $U_v < U_{đóng}$

;  $U_{ra} = U_{ramin}$

Khi  $U_v \geq U_{đóng}$

;  $U_{ra} = U_{ramax}$

Lúc giảm dần  $U_{vào}$  từ 1 trị số dương lớn thì:

khi  $U_v > U_{ngắt}$

;  $U_{ra} = U_{ramax}$

khi  $U_v \leq U_{ngắt}$

;  $U_{ra} = U_{amin}$

- Có thể giải thích hoạt động của mạch như sau: Ban đầu T1 khóa (do B1 được đặt từ 1 điện áp âm lớn) T2 mở (do Rc định dòng làm việc từ Ec) lúc đó  $U_{ra} = U_{CE2}$  bão hòa =  $U_{amin}$ . Khi tăng  $U_v$  tới lúc  $U_v \geq U_{đóng}$  T1 mở, qua mạch hồi tiếp dương ghép trực tiếp từ collector T1 về bazơ T2 làm T2 bị khóa do đột biến điện áp âm từ CT1 đưa tới, qua mạch R1R2 đột biến điện áp dương tại CT2 đưa tới bazơ T1... quá trình dẫn tới T1 mở bão hòa, T2 khóa và  $U_{ra} = U_{amax}$ , phân tích tương tự, mạch sẽ lật trạng thái về T1 khóa T2 mở lúc  $U_v$  vào giảm qua giá trị  $U_{ngắt}$ .

Các giá trị  $U_{vđóng}$  và  $U_{vngắt}$  do việc lựa chọn các giá trị RC, R1, R2 của sơ đồ quyết định. Hiện tượng trên cho phép dùng trigơ Smit như một bộ tạo xung vuông, nhờ hồi tiếp dương mà quá trình lật trạng thái xảy ra tức thời ngay cả khi  $U_v$  vào biến đổi từ từ (Hình 3.12 c) mô tả một ví dụ biến đổi tín hiệu hình sin thành xung vuông nhờ trigơ Smit.

### 2.3. Lắp ráp mạch.

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch Trigger schmitt dùng Transistor.

- Vẽ đồ thị dạng sóng tín hiệu với sự thay đổi của các thông số mạch.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 3 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực kỹ thuật điện tử		1 máy / nhóm
2	Máy phát hàm sine		1 máy / 4 nhóm
3	Máy hiện sóng 2 tia	20 MHz	1 máy / 4 nhóm
4	Transistor n-p-n	C1815 hoặc tương đương	1
5	Điện trở R2	1 K $\Omega$ - 0.5w	1
6	Điện trở R1, Rc1, Rc2	5,6 K $\Omega$ - 0.5w	3
7	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
8	Ổ tiếp nguồn	220V/5A	1 bộ / 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch hạn chế nối tiếp

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.

- Nghiên cứu sơ đồ nguyên lý.

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch Trigger schmitt.

+ Cắm các linh kiện lên bảng mạch theo sơ đồ nguyên lý.

+ Đấu nối mạch điện.

+ Cấp nguồn 1 chiều 5VDC cho mạch

+ Nối que đo kênh 1 (CH1) và kênh 2 (CH2) của máy hiện sóng với lối ra của mạch và lối vào xung kích.

+ Nhấn công tắc để tạo xung kích thích cho mạch.

+ Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.

- Vẽ lại dạng sóng tín hiệu.

+ Đưa tín hiệu điện áp sine với biên độ 1V, tần số 50 Hz tới lối vào kích thích.

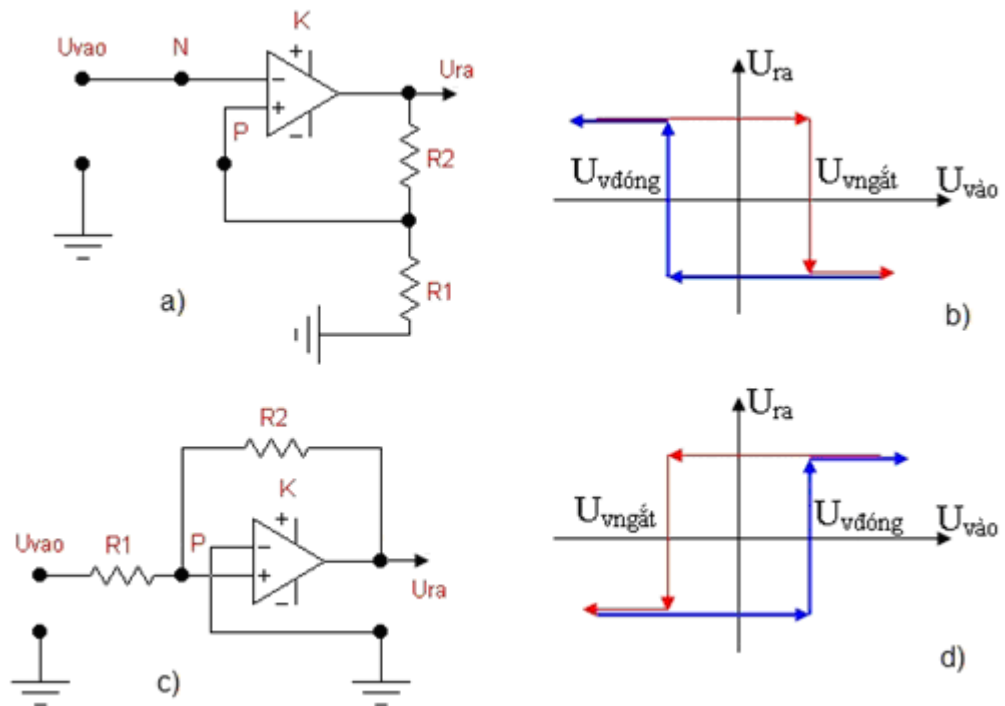


- + Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.
  - Vẽ lại dạng sóng tín hiệu
- Đánh giá kết quả.**

Mục tiêu	Nội dung	Điểm
Kiến thức	Phân tích được nguyên lí hoạt động của mạch Trigger schmitt dùng Transistor.	2
Kỹ năng	Lắp ráp, kiểm tra được sự hoạt động của mạch Trigger schmitt đúng yêu cầu kỹ thuật.	6
Thái độ	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	2

### 3. Mạch Trigger schmitt dùng IC khuếch đại thuật toán

#### 3.1. Sơ đồ mạch.



Hình 16.3 : Trigger Schmitt kiểu đảo (a) và kiểu không đảo (c) với các đặc tuyến truyền đạt tương ứng (b) và (d)

#### 3.2. Nguyên lý làm việc.

- Với trigger Smit đảo (h 16.3a) khi tăng dần  $U_{vào}$  từ 1 giá trị âm lớn, ta thu được đặc tính truyền đạt dạng hình 3.15(b). Tức là:
- Khi  $U_v$  có giá trị âm lớn  $U_{ra} = +U_{ramax}$  trên lối vào không đảo (P) có

$$U_{Pmax} = \frac{U_{ramax}}{R_1 + R_2} R_1 = U_{vngắt}$$

- Tăng dần  $U_{vào}$  trạng thái này không đổi cho tới khi  $U_{vào}$  chưa đạt tới  $U_{vngắt}$ . Khi  $U_{vào} < U_{vngắt}$ , qua mạch hồi tiếp dương có

$$U_{Pmin} = \frac{-U_{ramin}}{R_1 + R_2} R_1 = U_{vđóng}$$

và tiếp tục giữ nguyên khi  $U_v$  tăng.

- Khi giảm  $U_v$  vào từ 1 giá trị dương lớn, cho tới lúc  $U_v = U_{v\text{đóng mạch}}$  mới lật làm  $U_{ra}$  chuyển từ  $-U_{r\text{amin}}$  tới  $+U_{r\text{amax}}$ .

- Để đạt được hai trạng thái ổn định cần có điều kiện

$$\frac{R_1}{R_1 + R_2} \cdot K \geq 1$$

với  $K$  là hệ số khuếch đại không tải của IC

Khi đó độ trễ chuyển mạch được xác định bởi:

$$\Delta U_{\text{trễ}} = \frac{R_1}{R_1 + R_2} (U_{r\text{amax}} - U_{r\text{amin}}) = \beta (U_{r\text{amax}} - U_{r\text{amin}})$$

- Với tri gơ Smit không đảo (h 16.3 c) có đặc tính truyền đạt hình 16.3 d dạng ngược với đặc tính hình 16.3 b. Thực chất sơ đồ 16.3 c có dạng là một bộ so sánh tổng với 1 trong số hai đầu vào được nối tới đầu ra ( $U_2 \equiv U_{ra}$ ). Từ phương trình cân bằng dòng điện cho nút P có:

$$\frac{U_{\text{vào}}}{R_1} = \frac{U_{ra}}{R_2}$$

Suy ra ngưỡng:

$$U_{\text{vngăn}} = -\frac{R_1}{R_2} U_{r\text{amax}}$$

$$U_{\text{vđón}} = -\frac{R_1}{R_2} U_{r\text{amin}}$$

hay độ trễ chuyển mạch xác định bởi :

$$\Delta U_{\text{trễ}} = \frac{R_1}{R_1} (U_{r\text{amax}} - U_{r\text{amin}})$$

Do cách đưa điện áp vào tới lỗi vào không đảo (P) nên khi  $U_v$  có giá trị âm lớn:  $U_{ra} = -U_{r\text{amin}}$  và khi  $U_v$  có giá trị dương lớn:  $U_{ra} = +U_{r\text{amax}}$ . Các phân tích khác tương tự như với mạch 16.3 a đã xét.

- Tương tự như sơ đồ trigơ Smit dùng tranzito, có thể dùng các mạch trên để tạo các xung vuông góc từ dạng điện áp vào bất kì (tuần hoàn). Khi đó chu kỳ xung ra  $T_{ra} = T_{vào}$ . Điều này đặc biệt có ý nghĩa khi cần sửa và tạo lại dạng một tín hiệu tuần hoàn với thông số cơ bản là tần số giống nhau (hay chu kỳ đồng bộ nhau).

### 3.3. Lắp ráp mạch.

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch Trigger schmitt dùng khuếch đại thuật toán.

- Vẽ đồ thị dạng sóng tín hiệu với sự thay đổi của các thông số mạch.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 3 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực kỹ thuật điện tử		1 máy / nhóm
2	Máy phát hàm sine		1 máy / 4 nhóm
3	Máy hiện sóng 2 tia	20 MHz	1 máy / 4 nhóm

4	IC KĐTT	LM741 hoặc tương đương	1
5	Điện trở R1	3.3 K $\Omega$ - 0.5w	1
6	Điện trở R2	5,6 K $\Omega$ - 0.5w	1
7	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
8	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch hạn chế nối tiếp

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Nghiên cứu sơ đồ nguyên lý.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch Trigger schmitt dùng KĐTT.
- + Cắm các linh kiện lên bảng mạch theo sơ đồ nguyên lý.
- + Đấu nối mạch điện.
- + Cấp nguồn 1 chiều 5VDC cho mạch
- + Nối que đo kênh 1 (CH1) và kênh 2 (CH2) của máy hiện sóng với lối ra của mạch và lối vào xung kích.
- + Đưa tín hiệu điện áp sine với biên độ 1V, tần số 50 Hz tới lối vào kích thích.
- + Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.
- Vẽ lại dạng sóng tín hiệu.
- + Thay đổi giá trị biên độ, tần số của điện áp sine .
- + Quan sát và vẽ lại dạng sóng ra của mạch trên màn hình máy hiện sóng

**Đánh giá kết quả.**

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lý hoạt động của mạch Trigger schmitt dùng KĐTT.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch Trigger schmitt đúng yêu cầu kỹ thuật.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## Bài 17 : Mạch hạn chế biên độ

*Mục tiêu:*

\* *Kiến thức:*

- Giải thích được cấu tạo, nguyên lý hoạt động mạch hạn chế biên độ.
- Trình bày được các ứng dụng của mạch hạn chế biên độ trong kỹ thuật

\* *Kỹ năng:*

- Lắp ráp, sửa chữa, đo kiểm được các mạch hạn chế biên độ đúng yêu cầu kỹ thuật

\* *Thái độ:*

- Chủ động, sáng tạo trong quá trình học tập.

*Nội dung:*

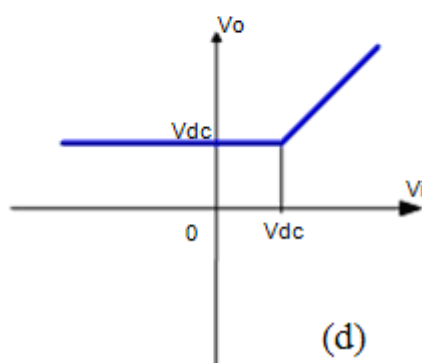
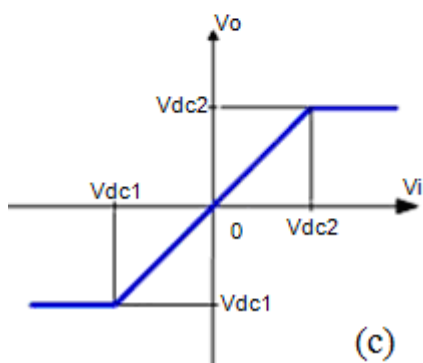
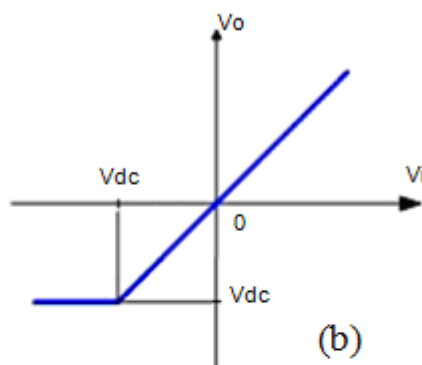
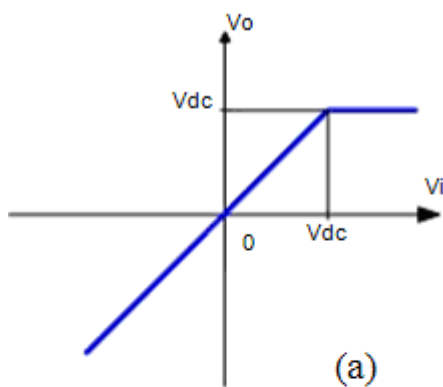
### 1. Khái quát chung.

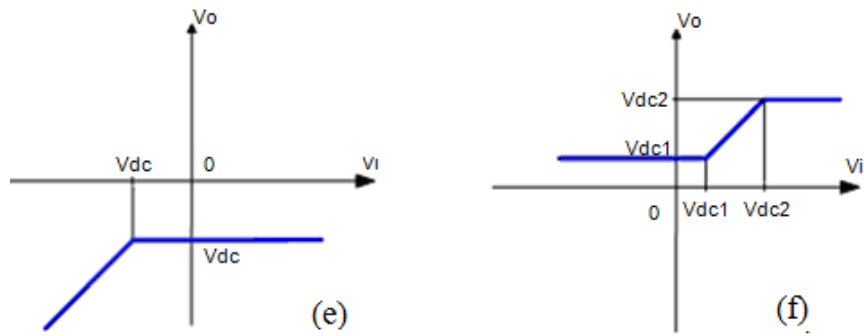
- Mạch hạn chế biên độ là mạch mà tín hiệu đầu ra lặp lại tín hiệu đầu vào khi điện áp đầu vào chưa vượt quá một giá trị nào đó gọi là ngưỡng của mạch hạn chế, còn ngược lại điện áp đầu ra sẽ giữ nguyên một giá trị không đổi khi điện áp đầu vào vượt ra ngoài ngưỡng hạn chế của mạch. Giá trị không đổi đó gọi là mức hạn chế.

- Một mạch xén được định nghĩa như là một mạch hạn chế biên độ điện áp bởi sự cắt bỏ những thành phần không cần thiết của dạng sóng tín hiệu ngõ vào. Sự cắt bỏ này có thể thực hiện bên trên hoặc bên dưới của tín hiệu ngõ vào một mức nào đó.

- Mạch xén là một mạch hai cửa có đường đặc tuyến là những đường gãy lý tưởng, có một đường nghiêng đi qua hoặc không đi qua gốc tọa độ, một hay hai đường nằm ngang có nhiệm vụ loại bỏ những thành phần không cần thiết của tín hiệu ngõ vào. Điện áp tín hiệu ngõ ra quan hệ với điện áp tín hiệu ngõ vào theo phương trình:

$$U_{ra} = f(U_{vào}) ; [ U_o = f(U_i) ]$$





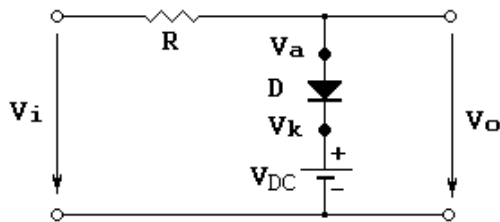
Hình 17.1: Đặc tuyến truyền đạt của một số mạch hạn chế biên độ

- Dựa vào cấu trúc mạch hạn chế biên độ gồm mạch hạn chế biên độ song song và mạch hạn chế biên độ nối tiếp.
- + Mạch hạn chế biên độ song song là mạch có phần tử hạn chế biên độ nối song song với ngõ ra.
- + Mạch hạn chế biên độ nối tiếp là mạch có phần tử hạn chế biên độ nối nối tiếp với ngõ ra.
- Theo chức năng, mạch hạn chế biên độ song song và nối tiếp được chia làm ba loại là mạch hạn chế biên độ âm, mạch hạn chế biên độ dương và mạch hạn chế biên độ hai phía.
- + Mạch hạn chế biên độ âm là mạch cắt bỏ phần âm của điện áp lối vào và chỉ giữ lại phần dương.
- + Mạch hạn chế biên độ dương sẽ cắt bỏ phần dương của điện áp lối vào và chỉ giữ lại phần âm.
- + Mạch hạn chế biên độ hai phía cắt bỏ cả phần dương và phần âm của điện áp lối vào ở một mức nào đó.

## 2 Mạch hạn chế song song.

### 2.1 Mạch điện 1

a. Cấu trúc mạch.



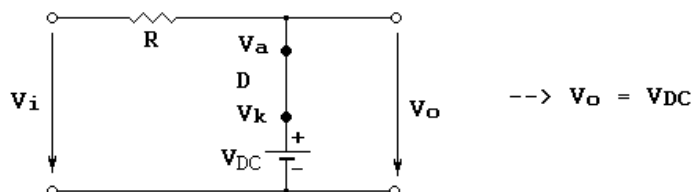
Hình 17.2 : Cấu trúc mạch hạn chế song song- mạch điện 1.

b. Nguyên lý làm việc.

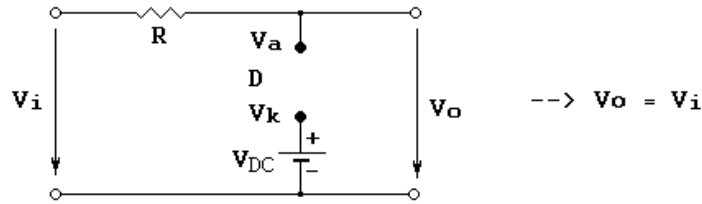
\* Nguyên tắc đóng - mở của Diode:

Gọi  $V_a$  là điện thế tại anode,  $V_k$  là điện thế tại cathode. Mạch trên có hai trường hợp xảy ra:

- Trường hợp 1: Khi  $V_i > V_{dc}$  -->  $V_a > V_k$ , diode dẫn, sơ đồ mạch trở thành:

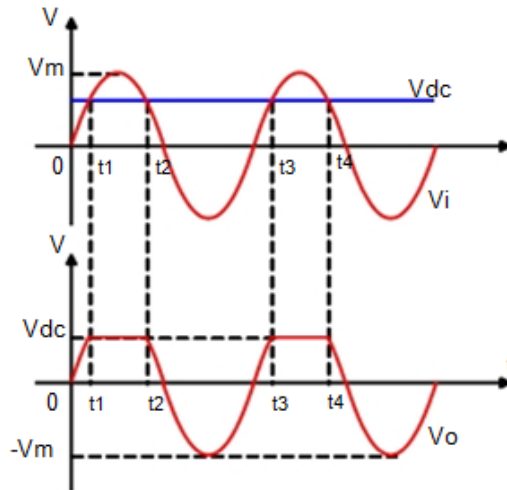


- Trường hợp 2: Khi  $V_i < V_{dc} \rightarrow V_a < V_k$ , diode ngưng dẫn, sơ đồ mạch trở thành:



\* Biểu đồ dạng sóng:

Cho  $V_i$  và  $V_{dc}$  như hình 17.3 Điện áp ngõ ra được xác định như sau:



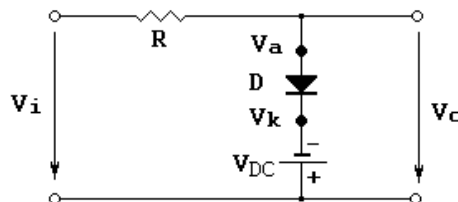
Hình 17.3: Dạng sóng tín hiệu mạch điện 1.

- Khi  $0 < t < t_1$ :  $V_i < V_{dc} \rightarrow$  Diode ngưng dẫn, thuộc trường hợp 2,  $V_o = V_i$ .
- Khi  $t_1 < t < t_2$ :  $V_i > V_{dc} \rightarrow$  Diode dẫn, thuộc trường hợp 1,  $V_o = V_{dc}$ .
- Khi  $t_2 < t < t_3$ :  $V_i < V_{dc} \rightarrow$  Diode ngưng dẫn, thuộc trường hợp 2,  $V_o = V_i$ .
- Khi  $t_3 < t < t_4$ :  $V_i > V_{dc} \rightarrow$  Diode dẫn, thuộc trường hợp 1,  $V_o = V_{dc}$ .

Từ đồ thị ta thấy, khi  $V_i$  lớn hơn  $V_{dc}$  thì điện áp ngõ ra luôn bằng  $V_{dc}$ , khi  $V_i$  nhỏ hơn  $V_{dc}$  thì điện áp ngõ ra luôn bằng  $V_i$ . Vì vậy, đặc tuyến truyền đạt có dạng như hình 17.1a.

## 2.2 Mạch điện 2

a. Cấu trúc mạch.



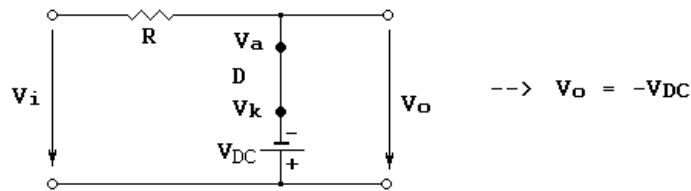
Hình 17.4: Cấu trúc mạch hạn chế song song - mạch điện 2.

b. Nguyên lý làm việc.

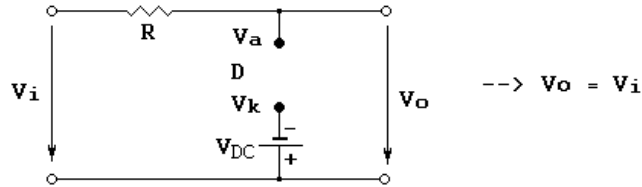
\* Nguyên tắc đóng - mở của Diode:

Gọi  $V_a$  là điện thế tại anode,  $V_k$  là điện thế tại cathode. Mạch trên có hai trường hợp xảy ra:

- Trường hợp 1: Khi  $V_i > V_{dc} \rightarrow V_a > V_k$ , diode dẫn, sơ đồ mạch trở thành:

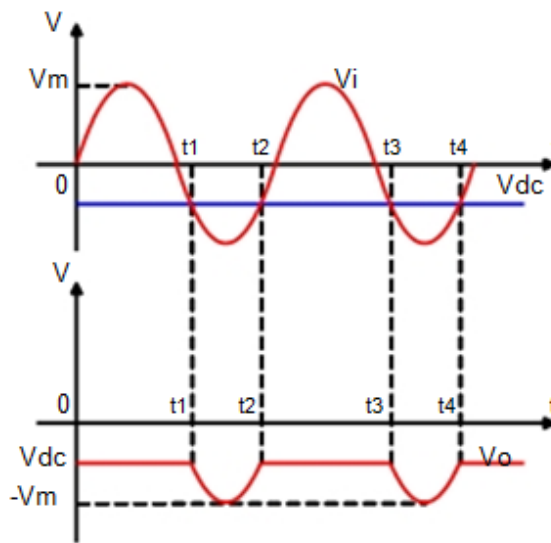


- Trường hợp 2: Khi  $V_i < V_{dc}$  -->  $V_a < V_k$ , diode ngưng dẫn, sơ đồ mạch trở thành:



\* Biểu đồ dạng sóng.

Cho  $V_i$  và  $V_{dc}$  như hình 17.5. Điện áp ngõ ra được xác định như sau:



Hình 17.5: Dạng sóng tín hiệu mạch điện 2.

- Khi  $0 < t < t_1$ :  $V_i > V_{dc}$  --> Diode dẫn, thuộc trường hợp 1,  $V_o = V_{dc}$ .
- Khi  $t_1 < t < t_2$ :  $V_i < V_{dc}$  --> Diode ngưng dẫn, thuộc trường hợp 2,  $V_o = V_i$ .
- Khi  $t_2 < t < t_3$ :  $V_i > V_{dc}$  --> Diode dẫn, thuộc trường hợp 1,  $V_o = V_{dc}$ .
- Khi  $t_3 < t < t_4$ :  $V_i < V_{dc}$  --> Diode ngưng dẫn, thuộc trường hợp 2,  $V_o = V_i$ .

Từ đồ thị ta thấy, khi  $V_i$  lớn hơn  $V_{dc}$  thì điện áp ngõ ra luôn bằng  $V_{dc}$ , khi  $V_i$  nhỏ hơn  $V_{dc}$  thì điện áp ngõ ra luôn bằng  $V_i$ . Vì vậy, đặc tuyến truyền đạt có dạng như hình 17.1e.

### 2.3 Lắp ráp mạch.

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch hạn chế sóng song.
- Vẽ đồ thị dạng sóng tín hiệu với sự thay đổi của các thông số mạch.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 3 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực kỹ thuật điện tử	ED-1100A	1 máy / nhóm
2	Máy phát xung vuông		1 máy / 4 nhóm

3	Máy hiện sóng 2 tia	20 MHz	1 máy / 4 nhóm
4	Diode	1N1004	1
5	Điện trở	5,6 $\Omega$ K - 0.5w	1
6	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
7	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch hạn chế nối tiếp

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Nghiên cứu sơ đồ nguyên lý.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch hạn chế song song.
- + Cắm các linh kiện lên bảng mạch theo mạch điện 1.
- + Đấu nối mạch điện.
- + Cấp nguồn 1 chiều thiên áp cho diode với giá trị 1VDC.
- + Nối que đo của máy hiện sóng tại lối ra của mạch
- + Cấp dao động xung cho lối vào của mạch, điều chỉnh biên độ xung ra 2V; tần số xung ra 100Hz
- + Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.
- Vẽ lại dạng sóng tín hiệu với các thông số đã cho.
- + Lắp lại các bước trên khi thay đổi mức điện thiên áp cho diode và khi thay đổi biên độ điện áp xung vào.
- Lắp lại các bước trên đối với mạch điện 2

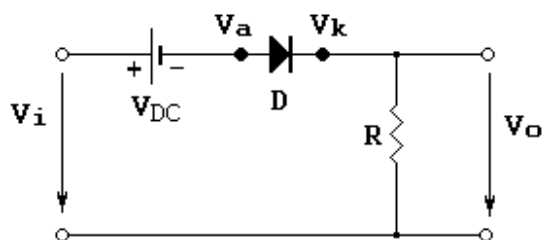
**Đánh giá kết quả.**

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lí hoạt động của mạch hạn chế song song.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch hạn chế song song đúng yêu cầu kỹ thuật.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

### 3. Mạch hạn chế nối tiếp

#### 3.1 Mạch điện 1.

a. Mạch điện



Hình 17.6: Cấu trúc mạch hạn chế nối tiếp - mạch điện 1.

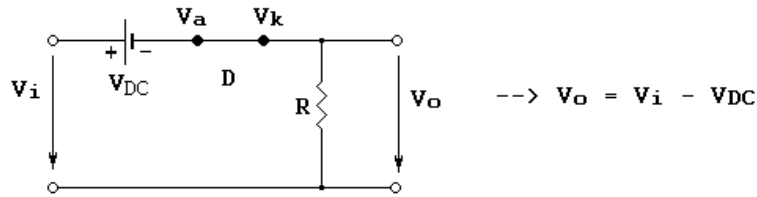
b. Nguyên lý làm việc.

\* Nguyên tắc đóng - mở của Diode:

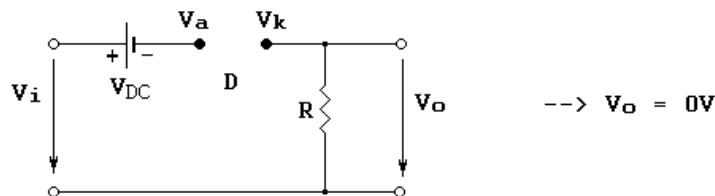


Gọi  $V_a$  là điện thế tại anode,  $V_k$  là điện thế tại cathode. Mạch trên có hai trường hợp xảy ra:

- Trường hợp 1: Khi  $V_a > V_k$  □  $V_i > V_{DC}$ , diode dẫn, sơ đồ mạch trở thành:

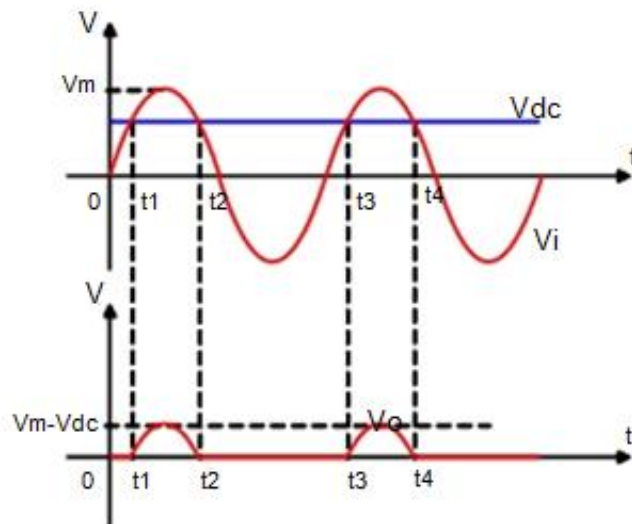


- Trường hợp 2: Khi  $V_a < V_k$  □  $V_i < V_{DC}$ , diode ngưng dẫn, sơ đồ mạch trở thành:



\* Biểu đồ dạng sóng.

Cho  $V_i$  và  $V_{DC}$  như hình 2.14. Điện áp ngõ ra được xác định như sau:

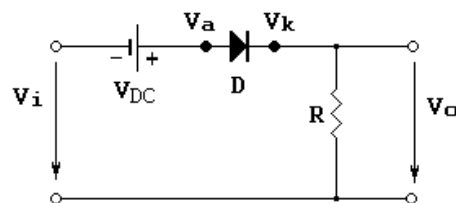


Hình 17.7: Dạng sóng tín hiệu mạch điện 1

- Khi  $0 < t < t_1$ :  $V_i < V_{DC}$  --> Diode ngưng dẫn, thuộc trường hợp 2,  $V_o = 0V$ .
- Khi  $t_1 < t < t_2$ :  $V_i > V_{DC}$  --> Diode dẫn, thuộc trường hợp 1,  $V_o = V_i - V_{DC}$ .
- Khi  $t_2 < t < t_3$ :  $V_i < V_{DC}$  --> Diode ngưng dẫn, thuộc trường hợp 2,  $V_o = 0V$ .
- Khi  $t_3 < t < t_4$ :  $V_i > V_{DC}$  --> Diode dẫn, thuộc trường hợp 1,  $V_o = V_i - V_{DC}$ .

### 3.2 Mạch điện 2.

a. Mạch điện



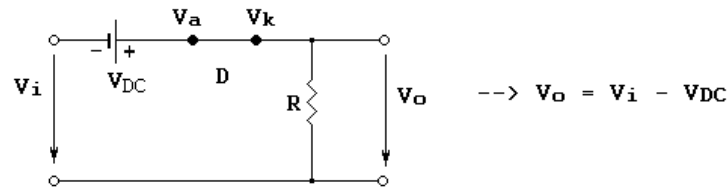
Hình 17.6: Cấu trúc mạch hạn chế nối tiếp - mạch điện 2.

b. Nguyên lý làm việc.

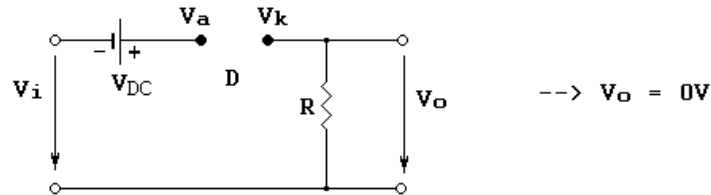
\* Nguyên tắc đóng - mở của Diode:

Gọi  $V_a$  là điện thế tại anode,  $V_k$  là điện thế tại cathode. Mạch trên có hai trường hợp xảy ra:

- Trường hợp 1: Khi  $V_a > V_k$   $\square$   $V_i > V_{dc}$ , diode dẫn, sơ đồ mạch trở thành:

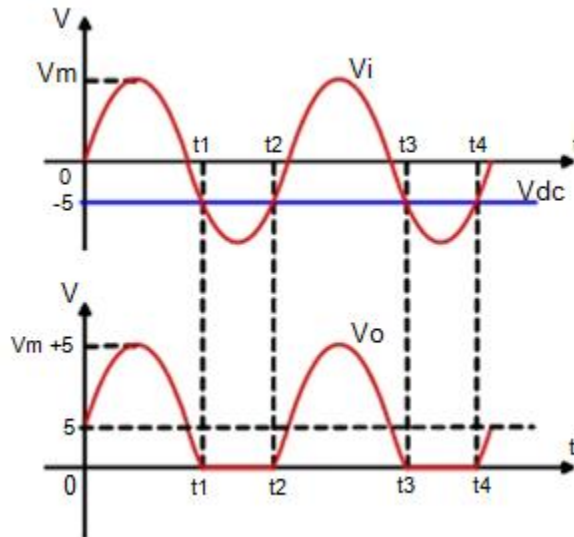


- Trường hợp 2: Khi  $V_a < V_k$   $\square$   $V_i < V_{dc}$ , diode ngưng dẫn, sơ đồ mạch trở thành:



\* Biểu đồ dạng sóng.

Cho  $V_i$  và  $V_{dc}$  như hình 2.18. Điện áp ngõ ra được xác định như sau:



Hình 17.9: Dạng sóng tín hiệu mạch điện 2

- Khi  $0 < t < t_1$ :  $V_i > V_{dc}$  --> Diode dẫn, thuộc trường hợp 1 -->

$V_o = V_i - V_{dc} = V_i + 5$ .

- Khi  $t_1 < t < t_2$ :  $V_i < V_{dc}$  --> Diode ngưng dẫn, thuộc trường hợp 2,  $V_o = 0V$ .

- Khi  $t_2 < t < t_3$ :  $V_i > V_{dc}$  --> Diode dẫn, thuộc trường hợp 1 -->

$V_o = V_i - V_{dc} = V_i + 5$ .

- Khi  $t_3 < t < t_4$ :  $V_i < V_{dc}$  --> Diode ngưng dẫn, thuộc trường hợp 2,  $V_o = 0V$ .

### 3.3 Lắp ráp mạch.

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch hạn chế nối tiếp.

- Vẽ đồ thị dạng sóng tín hiệu với sự thay đổi của các thông số mạch.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 3 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực kỹ thuật điện tử	ED-1100A	1 máy / nhóm
2	Máy phát xung vuông		1 máy / 4 nhóm
3	Máy hiện sóng 2 tia	20 MHz	1 máy / 4 nhóm
4	Diode	1N1004	1
5	Điện trở	5,6 $\Omega$ K - 0.5w	1
6	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
7	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

*Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch hạn chế nối tiếp*

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Nghiên cứu sơ đồ nguyên lý.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch hạn chế nối tiếp.
- + Cắm các linh kiện lên bảng mạch theo mạch điện 1.
- + Đấu nối mạch điện.
- + Cấp nguồn 1 chiều thiên áp cho diode với giá trị 1VDC.
- + Nối que đo của máy hiện sóng tại lối ra của mạch
- + Cấp dao động xung cho lối vào của mạch, điều chỉnh biên độ xung ra 2V; tần số 100Hz
- + Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.
- Vẽ lại dạng sóng tín hiệu với các thông số đã cho.
- + Lặp lại các bước trên khi thay đổi mức điện thiên áp cho diode và khi thay đổi biên độ điện áp xung vào.
- Lặp lại các bước trên đối với mạch điện 2

**Đánh giá kết quả.**

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lý hoạt động của mạch hạn chế nối tiếp.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch hạn chế nối tiếp đúng yêu cầu.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>

## Bài 18 : Mạch ghim điện áp

Thời gian: 06 giờ (LT: 01 giờ; TH: 05 giờ)

Mục tiêu:

\* Kiến thức:

- Giải thích được cấu tạo, nguyên lý hoạt động mạch ghim điện áp.
- Trình bày được các ứng dụng của mạch ghim điện áp trong kỹ thuật.

\* Kỹ năng:

- Lắp ráp, sửa chữa, đo kiểm được các mạch ghim điện áp đúng yêu cầu kỹ thuật

\* Thái độ:

- Chủ động, sáng tạo trong quá trình học tập.

Nội dung:

### 1. Khái quát chung.

- Mạch ghim còn được gọi là mạch kẹp, mạch dịch mức một chiều của điện áp tín hiệu xoay chiều đạt đến một mức xác định mà không bị biến dạng sóng tín hiệu.
- Mạch ghim dựa trên cơ sở như một mạch phục hồi thành phần điện áp một chiều. Nó được dùng để ổn định mức nền hoặc mức đỉnh của tín hiệu xung ở một mức xác định nào đó bằng hoặc khác không. Như vậy mạch sẽ ghim tín hiệu ở những mức một chiều khác nhau.

- Dạng sóng điện áp tín hiệu ở đầu ra bị dịch đi một mức do một nguồn điện áp không phụ thuộc được cộng vào nhưng nguồn cộng vào không lớn hơn dạng sóng độc lập.

- Mạch ghim cần có:

- + Tụ điện C đóng vai trò phân tử tích trữ năng lượng.
- + Diode D đóng vai trò là khóa chuyển mạch.
- + Nguồn một chiều đóng vai trò tạo lượng dịch mức.
- + Điện trở R

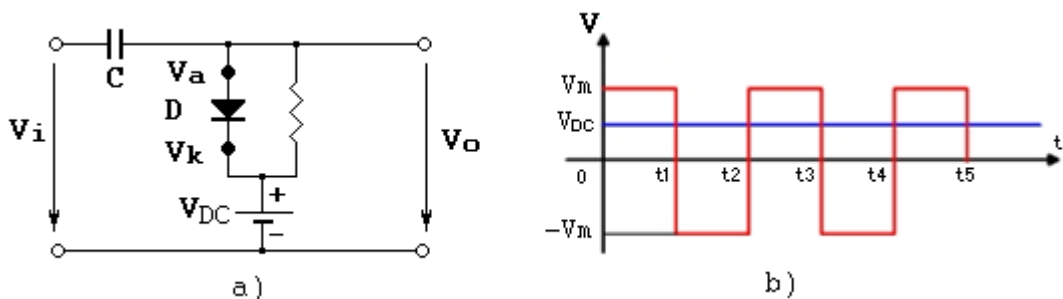
- Điều kiện của mạch ghim là giá trị của R và C phải được chọn để hằng số thời gian  $\tau = RC$  phải đủ lớn để sụt áp trên tụ không quá lớn.

- Nguyên lý làm việc của mạch ghim dựa trên sự ứng dụng hiện tượng thiên áp bằng cách làm cho các hằng số thời gian phóng và nạp của tụ điện trong mạch khác nhau.

### 2. Mạch ghim đỉnh trên

#### 2.1 Cấu trúc mạch.

- Cho mạch hình 18.1 a, điện áp  $V_i$  và  $V_{DC}$  như hình 18.1 b.



Hình 18.1: Mạch điện và biểu đồ thông số điện áp mạch ghim đỉnh trên.

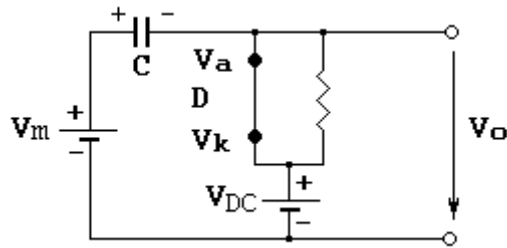
#### 2.2 Nguyên lý làm việc.

- Nguyên tắc đóng - mở của Diode:

Gọi  $V_a$  là điện thế tại anode,  $V_k$  là điện thế tại cathode và  $V_c$  là điện áp trên tụ. Giả

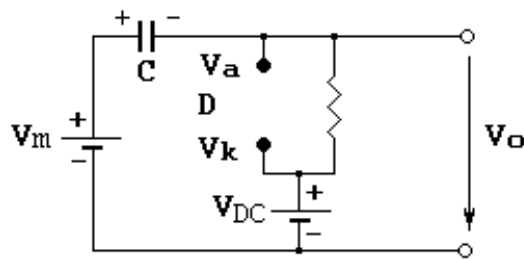
sử, ban đầu điện áp trên tụ  $V_c$  bằng không.

- Trong khoảng thời gian  $0 < t < t_1$ , ta thấy  $V_a > V_k$  làm diode dẫn, mạch hình 18.1a trở thành:



-  $V_o = V_{dc}$  --> Tụ C nạp qua diode nên đây tức thì, lúc này,  $V_c = V_i - V_o = V_m - V_{dc}$

- Trong khoảng thời gian  $t_1 < t < t_2$ , ta thấy  $V_a < V_k$  làm diode ngưng dẫn, mạch hình 18.1a trở thành:



- Tụ C xả qua R. Do R rất lớn nên tụ xả không đáng kể -->  $V_c$  là hằng số trong suốt khoảng thời gian từ  $t_1$  đến  $t_2$  -->  $V_c = V_m - V_{dc}$

Mà:  $V_o = V_i - V_c = -V_m - (V_m - V_{dc}) = -2V_m + V_{dc}$

- Trong khoảng thời gian  $t_2 < t < t_3$ :

Ta có:  $-V_i + V_c + V_{ak} + V_{dc} = 0$  -->  $V_{ak} = V_i - V_c - V_{dc}$

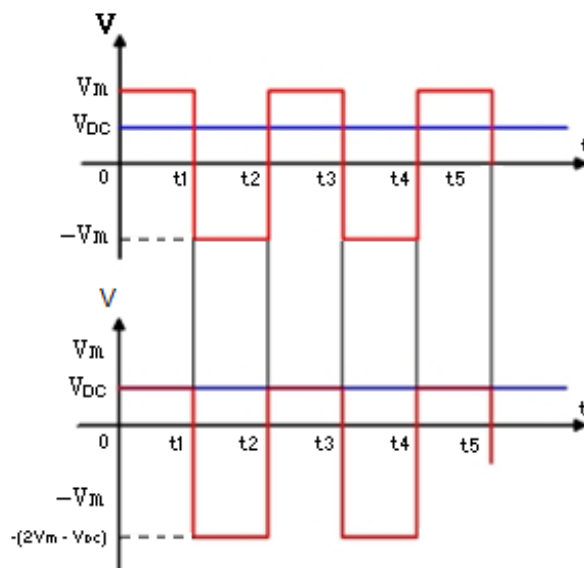
Do trong thời gian trước tụ xả không đáng kể nên tại thời điểm  $t_2$  điện áp trên tụ  $V_c = V_m - V_{dc}$  -->  $V_{ak} = V_i - (V_m - V_{dc}) - V_{dc} = V_m - V_m + V_{dc} - V_{dc} = 0$

Lúc này, diode vẫn ngưng dẫn,  $V_o = V_i - V_c = V_m - (V_m - V_{dc}) = V_{dc}$

- Ta làm tương tự cho các khoảng thời gian khác.

- Ta làm tương tự cho các khoảng thời gian khác.

Từ những trình bày trên điện áp ra có dạng như hình 18.2:



Hình 18.2: Dạng sóng của mạch ghim đỉnh trên.

### 2.3 Lắp ráp mạch.

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch ghim đỉnh trên.
- Vẽ đồ thị dạng sóng tín hiệu với sự thay đổi của các thông số mạch.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 3 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực kỹ thuật điện tử		1 máy / nhóm
2	Máy phát xung vuông		1 máy / 4 nhóm
3	Máy hiện sóng 2 tia	20 MHz	1 máy / 4 nhóm
4	Diode	1N1004	1
5	Điện trở	5,6 $\Omega$ K - 0.5w	1
6	Tụ điện C	1 $\mu$ F	1
7	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
8	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm

Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch ghim đỉnh trên

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Nghiên cứu sơ đồ nguyên lý.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch ghim đỉnh trên.
- + Cắm các linh kiện lên bảng mạch.
- + Đấu nối mạch điện theo sơ đồ.
- + Cấp nguồn 1 chiều thiên áp cho diode với giá trị 1VDC.
- + Nối que đo của máy hiện sóng với lõi ra của mạch
- + Cấp dao động xung cho lõi vào của mạch, điều chỉnh biên độ xung ra 2V. tần số xung 10Hz.
- + Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.
- Vẽ lại dạng sóng tín hiệu với các thông số đã cho.
- Lắp lại các bước trên khi thay đổi mức điện thiên áp cho diode và khi thay đổi biên độ điện áp xung vào

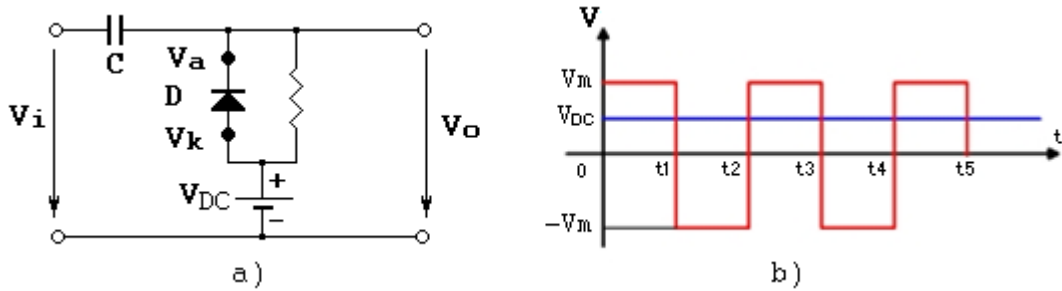
### Đánh giá kết quả.

Mục tiêu	Nội dung	Điểm
Kiến thức	Phân tích được nguyên lý hoạt động của mạch ghim đỉnh trên..	2
Kỹ năng	Lắp ráp, kiểm tra được sự hoạt động của mạch ghim đỉnh trên đúng yêu cầu kỹ thuật.	6
Thái độ	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	2

### 3. Mạch ghim đỉnh dưới

#### 3.1 Cấu trúc mạch.

- Cho mạch hình 18.3a, điện áp  $V_i$  và  $V_{dc}$  như hình 18.3b.

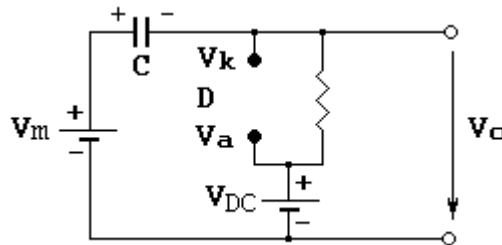


Hình 18.3: Mạch điện và biểu đồ thông số điện áp mạch ghim đỉnh dưới.

#### 3.2 Nguyên lý làm việc.

Gọi  $V_a$  là điện thế tại anode,  $V_k$  là điện thế tại cathode và  $V_c$  là điện áp trên tụ. Giả sử, ban đầu điện áp trên tụ  $V_c$  bằng không.

- Trong khoảng thời gian  $0 < t < t_1$ , ta thấy  $V_k > V_a$  làm diode ngưng dẫn, mạch hình 18.2a trở thành:

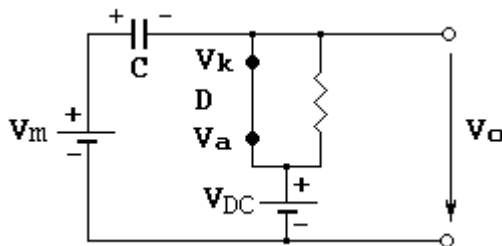


- Tụ C nạp qua điện trở R có giá trị rất lớn nên nạp không đáng kể.

+  $V_c = 0V$

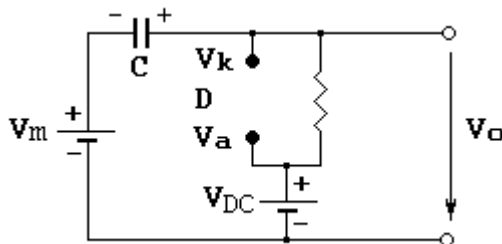
+  $V_o = V_i - V_c = V_i$

- Trong khoảng thời gian  $t_1 < t < t_2$ , ta thấy  $V_a > V_k$  làm diode dẫn, mạch hình 18.2a trở thành:



-  $V_o = V_{dc}$  --> Tụ C nạp qua diode nên đầy tức thì, lúc này,  $V_c = V_i - V_o = -V_m - V_{dc}$

- Trong khoảng thời gian  $t_2 < t < t_3$ :



Diode ngưng dẫn, tụ xả qua R nên không đáng kể.

-  $V_c$  là hằng số trong khoảng thời gian từ  $t_2$  đến  $t_3$  và  $V_c = -V_m - V_{dc}$

Mà:  $V_o = V_i - V_c \rightarrow V_o = V_m + (V_m + V_{dc}) = 2V_m + V_{dc}$

- Trong khoảng thời gian  $t_3 < t < t_4$ :

Ta có:  $-V_i + V_c + V_{ka} + V_{dc} = 0 \rightarrow V_{ka} = V_i - V_c - V_{dc}$

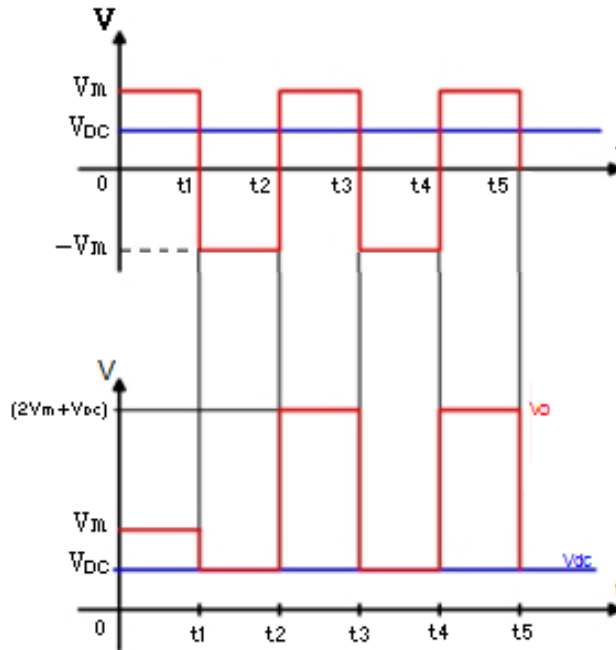
- Do trong thời gian trước tụ xả không đáng kể nên tại thời điểm  $t_3$  điện áp trên tụ

$V_c = V_m - V_{dc} \rightarrow V_{ka} = V_i + (V_m + V_{dc}) - V_{dc} = -V_m + V_m + V_{dc} - V_{dc} = 0$   
 $\rightarrow$  diode vẫn ngưng dẫn.

+  $V_o = V_i - V_c = -V_m + (V_m + V_{dc})$

+  $V_o = V_{dc}$

- Ta làm tương tự cho các khoảng thời gian khác. Từ những trình bày trên điện áp ra có dạng:



Hình 18.4: Dạng sóng của mạch ghim đỉnh dưới.

### 3.3 Lắp ráp mạch.

a. Nội dung:

- Lắp mạch, khảo sát nguyên lý hoạt động của mạch ghim đỉnh dưới.

- Vẽ đồ thị dạng sóng tín hiệu với sự thay đổi của các thông số mạch.

b. Tổ chức thực hiện:

Chia lớp thành các nhóm với 3 sinh viên/nhóm.

c. Bảng thiết bị, vật tư.

TT	Thiết bị - Vật tư	Thông số kỹ thuật	Số lượng
1	Máy thực kỹ thuật điện tử		1 máy / nhóm
2	Máy phát xung vuông		1 máy / 4 nhóm
3	Máy hiện sóng 2 tia	20 MHz	1 máy / 4 nhóm
4	Diode	1N1004	1
5	Điện trở	5,6 ΩK - 0.5w	1
6	Tụ điện C	1μF	1
7	Dây cắm đầu nối bọc nhựa	L=15cm; D=1mm	1 bộ / nhóm
8	Ổ tiếp nguồn	220V/5A	1 bộ/ 4 nhóm



Bảng 2.3: Bảng thiết bị, vật tư khảo sát mạch ghim đỉnh dưới

d. Quy trình thực hiện.

- Chuẩn bị và kiểm tra các thiết bị, vật tư theo bảng thống kê.
- Nghiên cứu sơ đồ nguyên lý.
- Lắp mạch, khảo sát nguyên lý hoạt động của mạch ghim đỉnh dưới.
- + Cắm các linh kiện lên bảng mạch.
- + Đấu nối mạch điện theo sơ đồ.
- + Cấp nguồn 1 chiều thiên áp cho diode với giá trị 1VDC.
- + Nối que đo của máy hiện sóng với lối ra của mạch
- + Cấp dao động xung cho lối vào của mạch, điều chỉnh biên độ xung ra 2V. tần số xung 10Hz.
- + Quan sát dạng sóng ra của mạch trên màn hình máy hiện sóng.
- Vẽ lại dạng sóng tín hiệu với các thông số đã cho.
- Lặp lại các bước trên khi thay đổi mức điện thiên áp cho diode và khi thay đổi biên độ điện áp xung vào

**Đánh giá kết quả.**

Mục tiêu	Nội dung	Điểm
<b>Kiến thức</b>	Phân tích được nguyên lí hoạt động của mạch ghim đỉnh dưới.	<b>2</b>
<b>Kỹ năng</b>	Lắp ráp, kiểm tra được sự hoạt động của mạch ghim đỉnh dưới đúng yêu cầu kỹ thuật.	<b>6</b>
<b>Thái độ</b>	- Chủ động, sáng tạo trong quá trình học tập. - Đảm bảo an toàn cho người và thiết bị. - Tổ chức nơi làm việc khoa học, gọn gàng.	<b>2</b>