

# Chương 3

## CÁC PHẦN TỬ LOGIC CƠ BẢN

### 3.1. KHÁI NIỆM VỀ MẠCH SỐ

#### 3.1.1. Mạch tương tự

Mạch tương tự (còn gọi là mạch Analog) là mạch dùng để xử lý các tín hiệu tương tự. Tín hiệu tương tự là tín hiệu có biên độ biến thiên liên tục theo thời gian.

Việc xử lý bao gồm các vấn đề: Chỉnh lưu, khuếch đại, điều chế, tách sóng.

Nhược điểm của mạch tương tự :

- Độ chống nhiễu thấp (nhiều dễ xâm nhập).
- Phân tích thiết kế mạch phức tạp.

Để khắc phục những nhược điểm này người ta sử dụng mạch số.

#### 3.1.2. Mạch số

Mạch số (còn gọi là mạch Digital) là mạch dùng để xử lý tín hiệu số. Tín hiệu số là tín hiệu có biên độ biến thiên không liên tục theo thời gian hay còn gọi là tín hiệu gián đoạn, nó được biểu diễn dưới dạng sóng xung với 2 mức điện thế cao và thấp mà tương ứng với hai mức điện thế này là hai mức logic của mạch số.

Việc xử lý ở đây bao gồm các vấn đề:

- Lọc số.
- Điều chế số /Giải điều chế số.
- Mã hóa . . . .

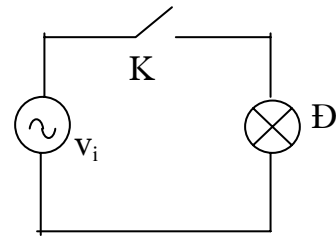
Ưu điểm của mạch số so với mạch tương tự :

- Độ chống nhiễu cao (nhiều khó xâm nhập).
- Phân tích thiết kế mạch số tương đối đơn giản.

Vì vậy, hiện nay mạch số được sử dụng khá phổ biến trong tất cả các lĩnh vực như : Đo lường số, truyền hình số, điều khiển số. . .

### 3.1.3. Họ logic dương/âm

Trạng thái logic của mạch số có thể biểu diễn bằng mạch điện đơn giản như trên hình 3.1:

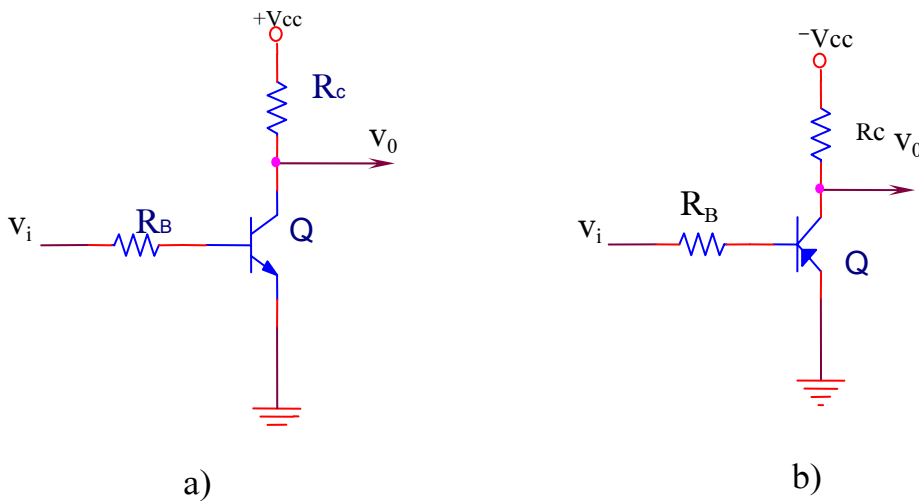


Hình 3.1

- K Mở: Đèn tắt
- K Đóng: Đèn sáng

Trạng thái Đóng/Mở của khóa K hoặc trạng thái Sáng/Tắt của đèn Đ cũng được đặc trưng cho trạng thái logic của mạch số.

Nếu thay khóa K bằng khóa điện tử dùng BJT như trên hình 3.2:



Hình 3.2. Biểu diễn trạng thái logic của mạch số bằng khóa điện tử dùng BJT

#### Hình 3.2a:

- Khi  $v_i = 0 \rightarrow$  BJT tắt  $\rightarrow v_0 = +V_{cc}$
- Khi  $v_i > 0 \rightarrow$  BJT dẫn bão hòa  $\rightarrow v_0 = v_{ces} = 0,2$  (V).

#### Hình 3.2b:

- Khi  $v_i = 0 \rightarrow$  BJT tắt  $\rightarrow v_0 = -V_{cc}$
- Khi  $v_i < 0$  và đủ lớn để thỏa mãn điều kiện dẫn bão hòa  $I_B \geq \frac{I_{cs}}{\beta_{min}}$

$\rightarrow$  BJT dẫn bão hòa  $\rightarrow v_0 = -v_{ces} = -0,2$  (V).

Người ta phân biệt ra hai loại logic:

- Chọn:  $V_{logic 1} > V_{logic 0} \rightarrow$  họ logic dương

$$\left. \begin{matrix} V_{logic 1} = 5v \\ V_{logic 0} = 0v \end{matrix} \right\} \Rightarrow V_{logic 1} > V_{logic 0} \quad : \text{Logic dương.}$$

- Chọn :  $V_{\text{logic } 1} < V_{\text{logic } 0} \rightarrow$  họ logic âm

$$\left. \begin{array}{l} V_{\text{logic } 1} = -5\text{V} \\ V_{\text{logic } 0} = -0,2\text{V} \end{array} \right\} \Rightarrow V_{\text{logic } 1} < V_{\text{logic } 0} : \text{Logic âm.}$$

Logic dương và logic âm là những họ logic tổ, ngoài ra còn những họ logic mờ.

## 3.2. CỔNG LOGIC

### 3.2.1. Khái niệm

Cổng logic là một trong các thành phần cơ bản để xây dựng mạch số. Nó được thiết kế trên cơ sở các phần tử linh kiện bán dẫn như Diode, BJT, FET để hoạt động theo bảng trạng thái cho trước.

### 3.2.2 Phân loại

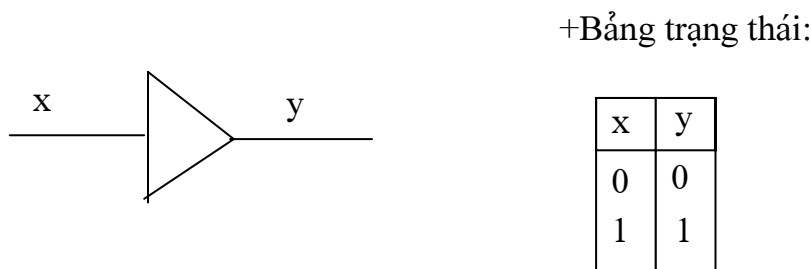
Có ba cách phân loại cổng logic:

- Phân loại cổng theo chức năng.
- Phân loại cổng theo phương pháp chế tạo.
- Phân loại cổng theo ngõ ra.

#### 3.2.2.1. Phân loại cổng theo chức năng

##### a. Cổng không đảo (BUFFER)

Cổng không đảo hay còn gọi là cổng đệm (BUFFER) là cổng có một ngõ vào và một ngõ ra với ký hiệu và bảng trạng thái hoạt động như hình vẽ.



Hình 3.3. Ký hiệu và bảng trạng thái của cổng không đảo

Phương trình logic mô tả hoạt động của cổng:  $y = x$

Trong đó:

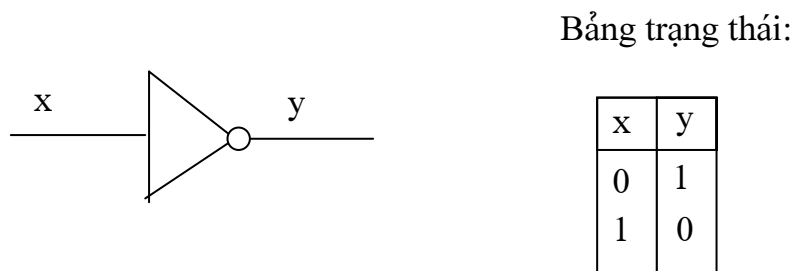
- Với  $x$  là ngõ vào có trở kháng vào  $Z_v$  vô cùng lớn  $\rightarrow$  do đó cổng không đảo (hay cổng đệm) không có khả năng hút dòng lớn ở ngõ vào.
- Với ngõ ra  $y$  có trở kháng ra  $Z_{ra}$  nhỏ  $\rightarrow$  cổng đệm có khả năng cung cấp dòng ngõ ra lớn.

Chính vì vậy người ta sử dụng cổng không đảo giữ vai trò, chức năng là cổng đệm theo 2 ý nghĩa sau:

- Dùng để phối hợp trở kháng.
- Dùng để cách ly và nâng dòng cho tải.

**b.Cổng đảo (NOT)**

Cổng ĐẢO (còn gọi là cổng NOT) là cổng logic có 1 ngõ vào và 1 ngõ ra, với ký hiệu và bảng trạng thái hoạt động như hình vẽ:

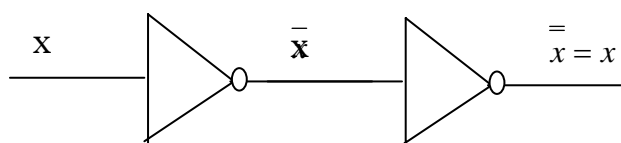


Hình 3.4. Ký hiệu và bảng trạng thái cổng ĐẢO

Phương trình logic mô tả hoạt động của cổng ĐẢO:  $y = \bar{x}$

Cổng đảo giữ chức năng như một cổng đệm, nhưng người ta gọi là đệm đảo vì tín hiệu ngõ ra ngược pha với tín hiệu ngõ vào.

Ghép hai cổng đảo ta được cổng không đảo (hình 3.5):



Hình 3.5. Sử dụng 2 cổng ĐẢO tạo ra cổng ĐỆM

**c. Cổng VÀ (AND)**

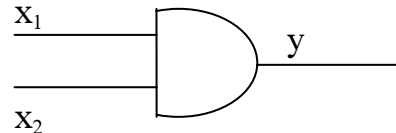
Cổng AND là cổng logic thực hiện chức năng của phép toán nhân logic với 2 ngõ vào và 1 ngõ ra ký hiệu như hình vẽ:

Phương trình logic mô tả hoạt động của cổng AND:

$$y = x_1 \cdot x_2$$

Bảng trạng thái hoạt động của cổng AND 2 ngõ vào:

| $x_1$ | $x_2$ | $y$ |
|-------|-------|-----|
| 0     | 0     | 0   |
| 0     | 1     | 0   |
| 1     | 0     | 0   |
| 1     | 1     | 1   |



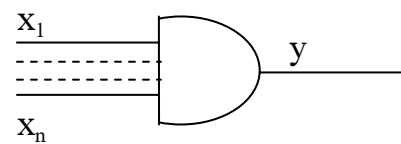
Hình 3.6. Cổng AND

Từ bảng trạng thái này ta có nhận xét: Ngõ ra  $y$  chỉ bằng 1 (mức logic 1) khi cả 2 ngõ vào đều bằng 1, ngõ ra  $y$  bằng 0 (mức logic 0) khi có một ngõ vào bất kỳ ( $x_1$  hoặc  $x_2$ ) ở mức logic 0.

Xét trường hợp tổng quát cho cổng AND có  $n$  ngõ vào  $x_1, x_2 \dots x_n$ :

$$y_{AND} = \begin{cases} 0 & \exists x_i = 0 \\ 1 & \forall x_i = 1 \quad (i = 1, \bar{n}) \end{cases}$$

Vậy, đặc điểm của cổng AND là: ngõ ra  $y$  chỉ bằng 1 khi tất cả các ngõ vào đều bằng 1, ngõ ra  $y$  bằng 0 khi có ít nhất một ngõ vào bằng 0.



Hình 3.7. Cổng AND với  $n$  ngõ vào

**Sử dụng cổng AND để đóng mở tín hiệu:** Xét cổng AND có hai ngõ vào  $x_1$  và  $x_2$ . Ta chọn:

- $x_1$  đóng vai trò ngõ vào điều khiển (control).
- $x_2$  đóng vai trò ngõ vào dữ liệu (data).

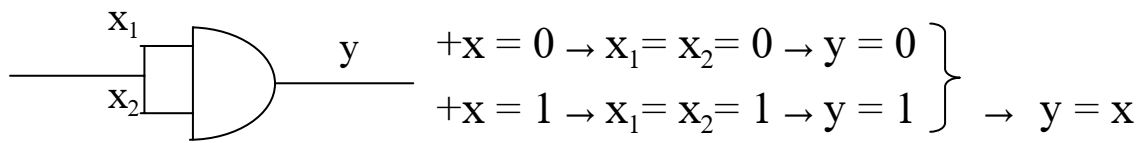
Xét các trường hợp cụ thể sau đây:

- $x_1 = 0$ :  $\rightarrow y = 0$  bất chấp trạng thái của  $x_2$ , ta nói cổng AND khóa lại không cho dữ liệu đưa vào ngõ vào  $x_2$  qua cổng AND đến ngõ ra.

$$- x_1 = 1 \begin{cases} x_2 = 0 \Rightarrow y = 0 \\ x_2 = 1 \Rightarrow y = 1 \end{cases} \Rightarrow y = x_2$$

Ta nói cổng AND mở cho dữ liệu đưa vào ngõ vào  $x_2$  qua cổng AND đến ngõ ra.

**Sử dụng cổng AND để tạo ra cổng logic khác:** Nếu ta sử dụng 2 tổ hợp đầu và cuối trong bảng giá trị của cổng AND và nối cổng AND theo sơ đồ sau:



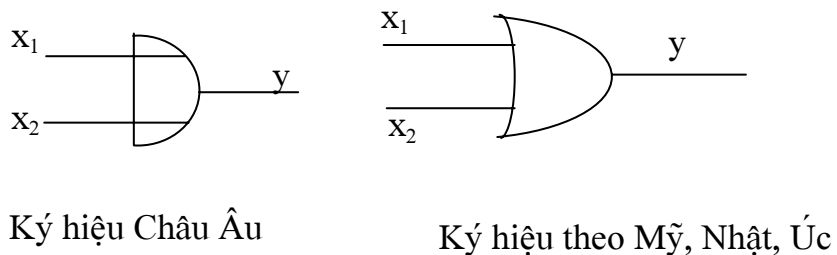
Hình 3.8. Sử dụng cổng AND tạo ra cổng đệm.

thì chúng ta có thể sử dụng cổng AND để tạo ra cổng đệm.

Trong thực tế, có thể tận dụng hết các cổng chưa dùng trong IC để thực hiện chức năng của các cổng logic khác.

**d. Cổng Hoặc (OR)**

Là cổng thực hiện chức năng của phép toán cộng logic, cổng OR có 2 ngõ vào và 1 ngõ ra có ký hiệu như hình vẽ:



Hình 3.9. Cổng OR 2 ngõ vào

Phương trình logic mô tả hoạt động của cổng OR:  $y = x_1 + x_2$

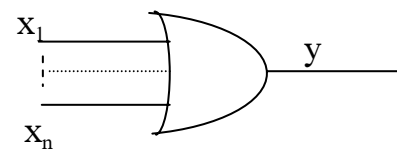
Bảng trạng thái mô tả hoạt động của cổng OR:

| $x_1$ | $x_2$ | $y$ |
|-------|-------|-----|
| 0     | 0     | 0   |
| 0     | 1     | 1   |
| 1     | 0     | 1   |
| 1     | 1     | 1   |

Xét trường hợp tổng quát đối với cổng OR có  $n$  ngõ vào.

Phương trình logic:

$$y_{OR} = \begin{cases} 1 & \exists x_i = 1 \\ 0 & \forall x_i = 0 \quad (i = 1, \bar{n}) \end{cases}$$



Hình 3.9. Cổng OR  $n$  ngõ vào

*Đặc điểm của cổng OR là: Tín hiệu ngõ ra chỉ bằng 0 khi và chỉ khi tất cả các ngõ vào đều bằng 0, ngược lại tín hiệu ngõ ra bằng 1 khi chỉ cần có ít nhất một ngõ vào bằng 1.*

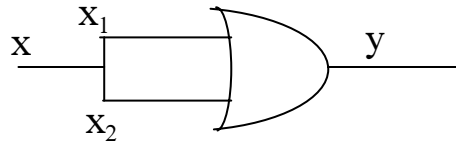
**Sử dụng cổng OR để đóng mở tín hiệu:** Xét cổng OR có 2 ngõ vào  $x_1, x_2$ . Nếu chọn  $x_1$  là ngõ vào điều khiển (control input),  $x_2$  ngõ vào dữ liệu (data input), ta có các trường hợp cụ thể sau đây:

- $x_1 = 1 \Rightarrow y = 1$  (y luôn bằng 1 bất chấp  $x_2$ )  $\rightarrow$  Ta nói cổng OR khóa không cho dữ liệu đi qua.
- $x_1 = 0 \Rightarrow \begin{cases} x_2 = 0 \Rightarrow y = 0 \\ x_2 = 1 \Rightarrow y = 1 \end{cases} \Rightarrow y = x_2 \rightarrow$  Cổng OR mở cho dữ liệu vào ngõ vào  $x_2$ .

**Sử dụng cổng OR để thực hiện chức năng cổng logic khác:** Ta sử dụng hai tổ hợp giá trị đầu và cuối của bảng trạng thái của cổng OR và nối mạch cổng OR như sau:

- $x = 0, x_1 = x_2 = 0 \Rightarrow y = 0$
  - $x = 1, x_1 = x_2 = 1 \Rightarrow y = 1$
- $\Rightarrow y = x$ : cổng OR đóng vai trò cổng đệm.

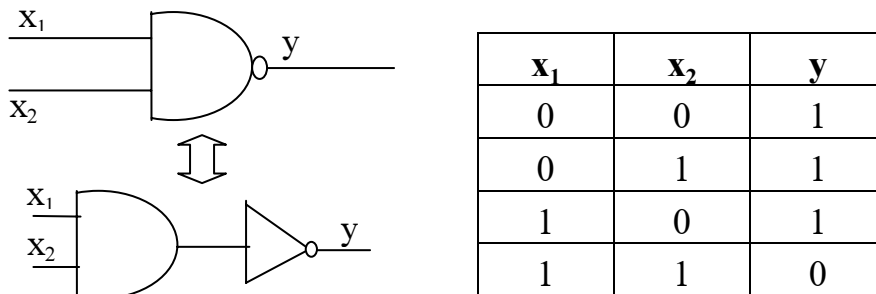
Sơ đồ mạch thực hiện trên hình 3.10.



Hình 3.10. Sử dụng cổng OR làm cổng đệm

**e. Cổng NAND**

Đây là cổng thực hiện phép toán nhân đảo, về sơ đồ logic cổng NAND gồm 1 cổng AND mắc nối tầng với 1 cổng NOT, ký hiệu và bảng trạng thái cổng NAND được cho như hình 3.11:



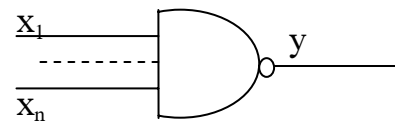
Hình 3.11. Cổng NAND: Ký hiệu, sơ đồ logic tương đương và bảng trạng thái

Phương trình logic mô tả hoạt động của cổng NAND 2 ngõ vào:

$$y = \overline{x_1 \cdot x_2}$$

Xét trường hợp tổng quát: Cổng NAND có n ngõ vào.

$$y_{\text{NAND}} = \begin{cases} 1 & \exists x_i = 0 \\ 0 & \forall x_i = 1 \quad (i = 1, \bar{n}) \end{cases}$$



Hình 3.12. Cổng NAND với n ngõ vào

Vậy, đặc điểm của cổng NAND là: tín hiệu ngõ ra chỉ bằng 0 khi tất cả các ngõ vào đều bằng 1, và tín hiệu ngõ ra sẽ bằng 1 khi chỉ cần ít nhất một ngõ vào bằng 0.

**Sử dụng cổng NAND để đóng mở tín hiệu:** Xét cổng NAND có hai ngõ vào, và chọn  $x_1$  là ngõ vào điều khiển,  $x_2$  là ngõ vào dữ liệu. Khi:

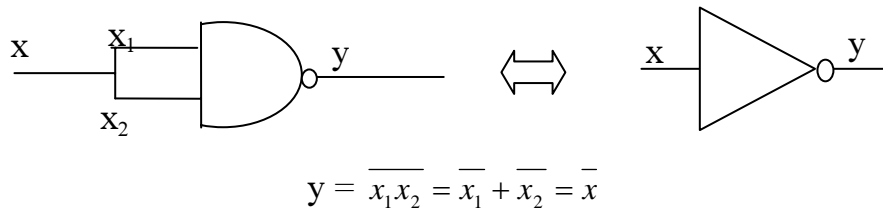
- $x_1 = 0 \Rightarrow y = 1$  (y luôn bằng 1 bất chấp  $x_2$ )  $\rightarrow$  cổng NAND khóa



- $x_1 = 1 \Rightarrow \begin{cases} x_2 = 0 \Rightarrow y = 1 \\ x_2 = 1 \Rightarrow y = 0 \end{cases} \Rightarrow y = \overline{x_2} \rightarrow$  Cổng NAND mở cho đủ  
liệu vào ngõ vào  $x_2$  và đến ngõ ra

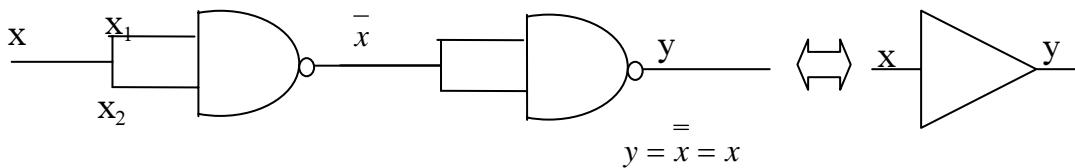
**Sử dụng cổng NAND để tạo các cổng logic khác:**

- dùng cổng NAND tạo cổng NOT:



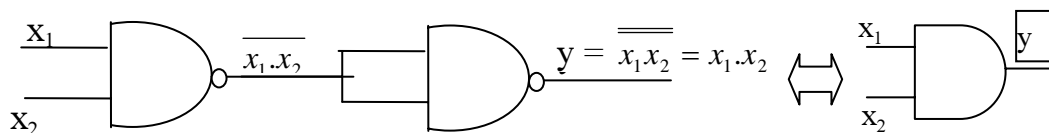
Hình 3.13a. Dùng cổng NAND tạo cổng NOT

- dùng cổng NAND tạo cổng BUFFER (cổng đệm):



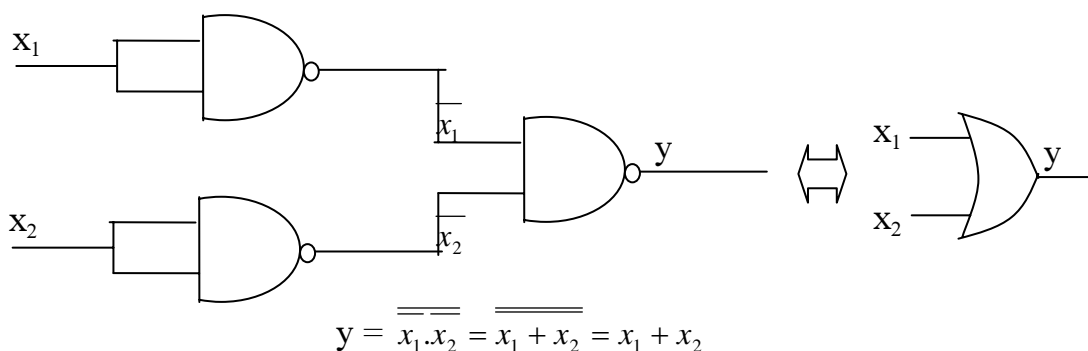
Hình 3.13b. Dùng cổng NAND tạo ra cổng đệm (BUFFER)

- dùng cổng NAND tạo cổng AND:



Hình 3.13c. Sử dụng cổng NAND tạo cổng AND

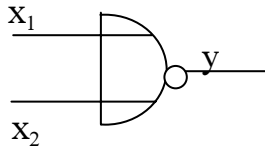
- dùng cổng NAND tạo cổng OR:



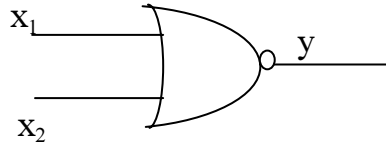
Hình 3.13d. Sử dụng cổng NAND tạo ra cổng OR

**f. Cổng Hoạch - không (NOR)**

Là cổng thực hiện chức năng của phép toán cộng đảo logic, là cổng có hai ngõ vào và một ngõ ra có ký hiệu như hình vẽ:



Ký hiệu Châu Âu



Ký hiệu theo Mỹ, Nhật, Úc

**Hình 3.14. Ký hiệu cổng NOR**

Phương trình logic mô tả hoạt động của cổng :

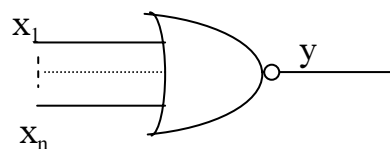
$$y = \overline{x_1 + x_2}$$

Bảng trạng thái mô tả hoạt động của cổng NOR :

| $x_1$ | $x_2$ | $y$ |
|-------|-------|-----|
| 0     | 0     | 1   |
| 0     | 1     | 0   |
| 1     | 0     | 0   |
| 1     | 1     | 0   |

Xét trường hợp tổng quát cho cổng NOR có n ngõ vào.

$$y_{\text{NOR}} = \begin{cases} 0 & \exists x_i = 1 \\ 1 & \forall x_i = 0 \quad (i = 1, \bar{n}) \end{cases}$$



**Hình 3.15. Cổng NOR n ngõ vào**

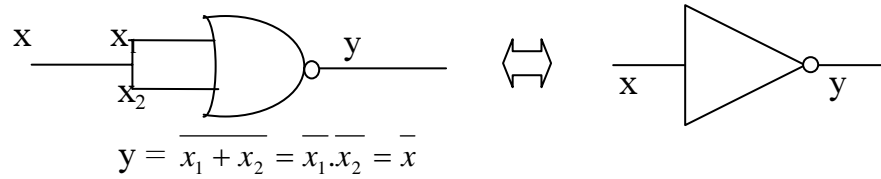
Vậy đặc điểm của cổng NOR là: Tín hiệu ngõ ra chỉ bằng 1 khi tất cả các ngõ vào đều bằng 0, tín hiệu ngõ ra sẽ bằng 0 khi có ít nhất một ngõ vào bằng 1.

**Sử dụng cổng NOR để đóng mở tín hiệu:** Xét cổng NOR có 2 ngõ vào, chọn  $x_1$  là ngõ vào điều khiển,  $x_2$  là ngõ vào dữ liệu. Ta có:

- $x_1 = 1 \Rightarrow y = 0$  (y luôn bằng 0 bất chấp  $x_2$ ): Ta nói cổng NOR khóa không cho dữ liệu đi qua.
- $x_1 = 0 \Rightarrow \begin{cases} x_2 = 0 \Rightarrow y = 1 \\ x_2 = 1 \Rightarrow y = 0 \end{cases} \Rightarrow y = \overline{x_2}$  : Ta nói cổng NOR mở cho dữ liệu vào ngõ vào  $x_2$  qua cổng NOR đến ngõ ra y.

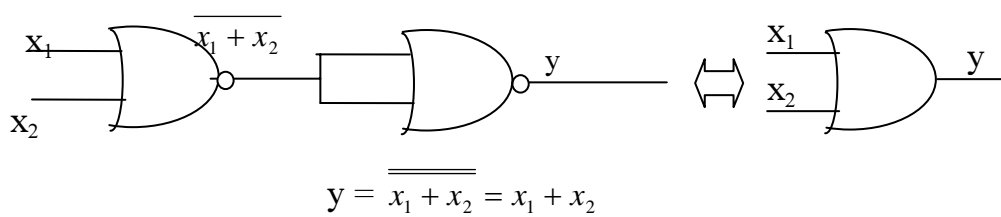
**Sử dụng cổng NOR để thực hiện chức năng cổng logic khác:**

- Dùng cổng NOR làm cổng NOT :



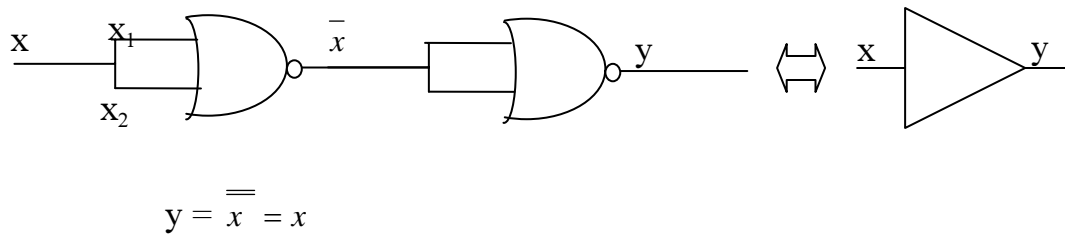
**Hình 3.16a. Sử dụng cổng NOR tạo cổng NOT**

- Dùng cổng NOR làm cổng OR :



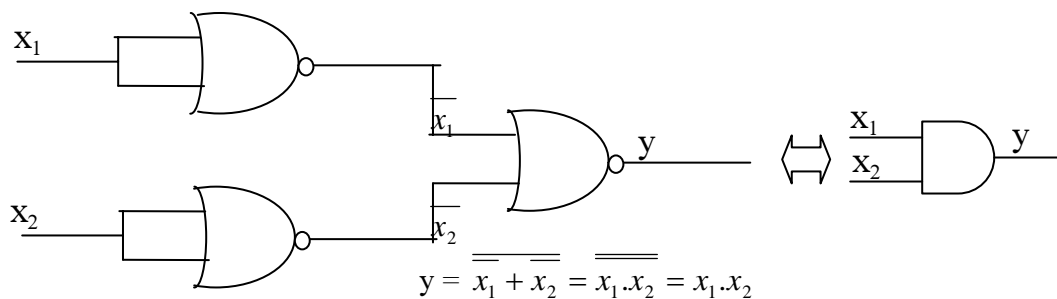
**Hình 3.16b. Sử dụng cổng NOR tạo cổng OR**

- Dùng cổng NOR làm cổng BUFFER :



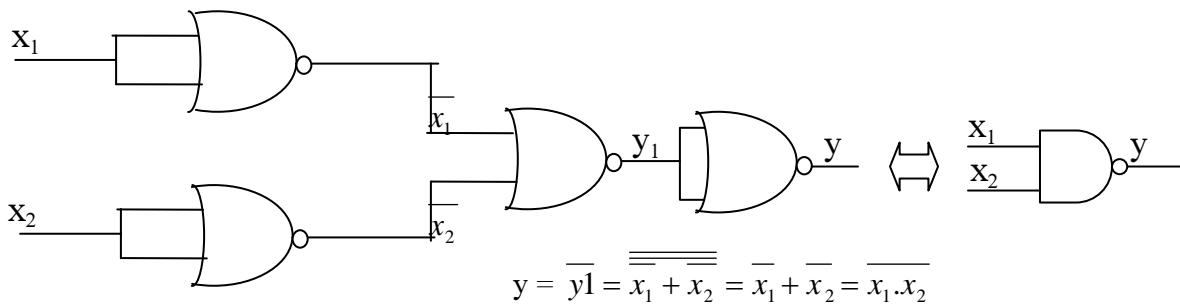
**Hình 3.16c. Sử dụng cổng NOR tạo cổng BUFFER**

- Dùng cổng NOR làm cổng AND :



**Hình 3.16d. Sử dụng cổng NOR làm cổng AND**

- Dùng cổng NOR làm cổng NAND:



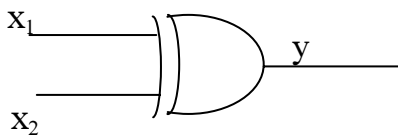
Hình 3.16e. Sử dụng cổng NOR làm cổng NAND

**g. Cổng EX - OR (XOR)**

Đây là cổng logic thực hiện chức năng của mạch cộng modulo 2 (cộng không nhớ), là cổng có hai ngõ vào và một ngõ ra có ký hiệu và bảng trạng thái như hình vẽ.

Phương trình logic mô tả hoạt động của cổng XOR :

$$y_{XOR} = x_1 \overline{x_2} + \overline{x_1} .x_2 = x_1 \otimes x_2$$



Hình 3.17. Cổng XOR

| x <sub>1</sub> | x <sub>2</sub> | y |
|----------------|----------------|---|
| 0              | 0              | 0 |
| 0              | 1              | 1 |
| 1              | 0              | 1 |
| 1              | 1              | 0 |

Cổng XOR được dùng để so sánh hai tín hiệu vào:

- Nếu hai tín hiệu vào là bằng nhau thì tín hiệu ngõ ra bằng 0
- Nếu hai tín hiệu vào là khác nhau thì tín hiệu ngõ ra bằng 1.

Các tính chất của phép toán XOR:

1.  $x_1 \otimes x_2 = x_2 \otimes x_1$
2.  $x_1 \otimes x_2 \otimes x_3 = (x_1 \otimes x_2) \otimes x_3 = x_1 \otimes (x_2 \otimes x_3)$
3.  $x_1.(x_2 \otimes x_3) = (x_1.x_2) \otimes (x_3.x_1)$

C/m: Ta có:

$$\begin{aligned} x_1.(x_2 \otimes x_3) &= x_1(\overline{x_2} . \overline{x_3} + \overline{x_2} .x_3) \\ &= x_1 \overline{x_2} \overline{x_3} + x_1 \overline{x_2} x_3 + x_1 \overline{x_1} .x_3 + x_1 \overline{x_1} .x_2 \\ &= x_1 \overline{x_2} \overline{x_3} + x_1 \overline{x_2} x_3 + x_1 \overline{x_1} .x_3 + x_1 \overline{x_1} .x_2 \end{aligned}$$

$$\begin{aligned}
 &= x_1 x_2 (\bar{x}_3 + x_1) + x_1 x_3 (\bar{x}_2 + \bar{x}_1) \\
 &= x_1 x_2 x_1 x_3 + x_1 x_3 x_1 x_2 \\
 (x_1 x_2) \otimes (x_1 x_3) &= x_1 x_2 x_1 x_3 + x_1 x_3 x_1 x_2
 \end{aligned}$$

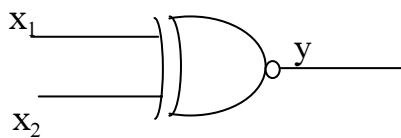
$$\left. \begin{aligned}
 4. \mathbf{x \otimes 0} &= \mathbf{x} \\
 \mathbf{x \otimes 1} &= \bar{\mathbf{x}} \\
 \mathbf{x \otimes x} &= \mathbf{0} \\
 \mathbf{x \otimes \bar{x}} &= \mathbf{1}
 \end{aligned} \right\} \text{ Mở rộng tính chất 4 : Nếu } \mathbf{x_1 \otimes x_2 = x_3 \text{ thì } x_1 \otimes x_3 = x_2$$

***h. Cổng EX - NOR (XNOR)***

Đây là cổng logic thực hiện chức năng của mạch cộng đảo modulo 2 (cộng không nhớ), là cổng có hai ngõ vào và một ngõ ra có ký hiệu và bảng trạng thái như trên hình 3.19.

Phương trình logic mô tả hoạt động của cổng:

$$y = x_1 x_2 + \bar{x}_1 \bar{x}_2 = x_1 \otimes x_2$$



Hình 3.19. Cổng XNOR

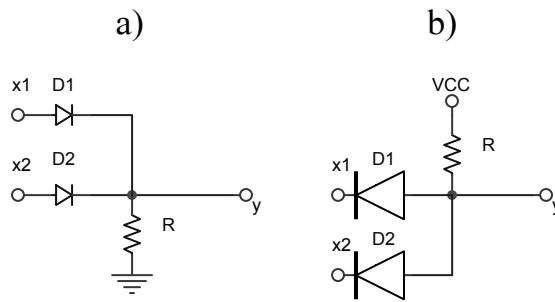
| x <sub>1</sub> | x <sub>2</sub> | y |
|----------------|----------------|---|
| 0              | 0              | 1 |
| 0              | 1              | 0 |
| 1              | 0              | 0 |
| 1              | 1              | 1 |

Tính chất của cổng XNOR:

1.  $\overline{(x_1 \otimes x_2)(x_3 \otimes x_4)} = \overline{(x_1 \otimes x_2)} + \overline{(x_3 \otimes x_4)}$
2.  $\overline{(x_1 \otimes x_2)} + \overline{(x_3 \otimes x_4)} = \overline{(x_1 \otimes x_2)(x_3 \otimes x_4)}$
3.  $\overline{x_1 \otimes x_2} = \bar{x}_1 \otimes x_2 = x_1 \otimes \bar{x}_2$
4.  $x_1 \otimes x_2 = \bar{x}_1 \otimes \bar{x}_2$
5.  $x_1 \otimes x_2 = x_3 \Leftrightarrow x_1 \otimes x_3 = x_2$

**3.2.2.2. Phân loại cổng logic theo phương pháp chế tạo**

**a. Cổng logic dùng Diode**



Hình 3.20. Sơ đồ mạch cổng logic dùng diode  
a.Cổng OR - b.Cổng AND

Xét sơ đồ mạch đơn giản trên hình 3.20.

**Sơ đồ hình a:**

- $x_1 = x_2 = 0 \Rightarrow D_1, D_2$  tắt  $V_y = V_R = 0 \Rightarrow y = 0$
- $x_1 = 0, x_2 = 1 \Rightarrow D_1$  tắt,  $D_2$  dẫn  $V_y = V_R = 5V \Rightarrow y = 1$
- $x_1 = 1, x_2 = 0 \Rightarrow D_1$  dẫn,  $D_2$  tắt  $V_y = V_R = 5V \Rightarrow y = 1$
- $x_1 = x_2 = 1 \Rightarrow D_1, D_2$  dẫn  $V_y = V_R = 5V \Rightarrow y = 1$

Đây chính là cổng OR được chế tạo trên cơ sở diode và điện trở gọi là họ DRL (Diode Resistor Logic) hoặc DL (Diode logic).

**Sơ đồ hình b:**

- $x_1 = x_2 = 0 \Rightarrow D_1, D_2$  dẫn  $V_y = V_R = 0 \Rightarrow y = 0$
- $x_1 = 0, x_2 = 1 \Rightarrow D_1$  dẫn,  $D_2$  tắt  $V_y = V_R = 0 \Rightarrow y = 0$
- $x_1 = 1, x_2 = 0 \Rightarrow D_1$  tắt,  $D_2$  dẫn  $V_y = V_R = 0 \Rightarrow y = 0$
- $x_1 = x_2 = 1 \Rightarrow D_1, D_2$  tắt  $V_y = V_R = 5V \Rightarrow y = 1$

Đây chính là cổng AND được chế tạo trên cơ sở diode và điện trở gọi là họ DRL hoặc DL.

**b. Cổng logic dùng BJT**

**Cổng NOT (hình 3.21a)**

- $x = 0 \Rightarrow$  BJT tắt  $\Rightarrow V_y \approx V_{cc} = 5V \Rightarrow y = 1$
- $x = 1 \Rightarrow$  BJT dẫn bão hòa  $\Rightarrow V_y \approx V_{cc} \approx 0V \Rightarrow y = 0$

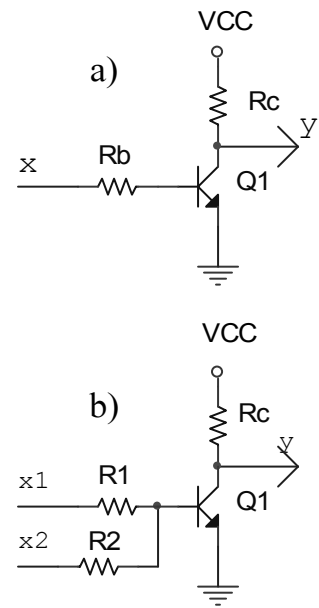
Đây là cổng NOT họ RTL (Resistor Transistor Logic).

**Cổng NOR (hình 3.21b)**

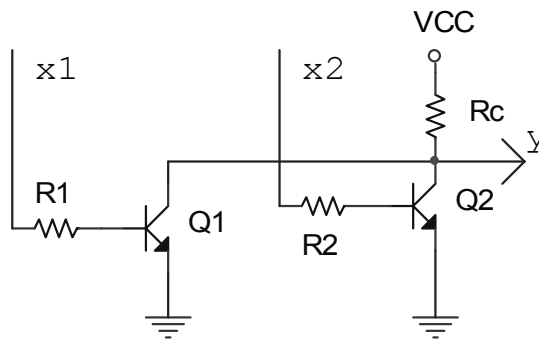
- $x_1 = x_2 = 0 \Rightarrow$  BJT tắt  
 $\Rightarrow V_y \approx V_{cc} = 5V \Rightarrow y = 1$

- $x_1 = 0, x_2 = 1 \Rightarrow$  BJT dẫn bão hòa.  
 $\Rightarrow V_y \approx V_{cc} \approx 0V \Rightarrow y = 0$
- $x_1 = 1, x_2 = 0 \Rightarrow$  BJT dẫn bão hòa  
 $\Rightarrow V_y \approx V_{cc} \approx 0V \Rightarrow y = 0$
- $x_1 = x_2 = 1 \Rightarrow$  BJT dẫn bão hòa  
 $\Rightarrow V_y \approx V_{cc} \approx 0V \Rightarrow y = 0$

Đây chính là cổng NOR họ RTL (Resistor Transistor Logic).



Hình 3.21.(a,b)

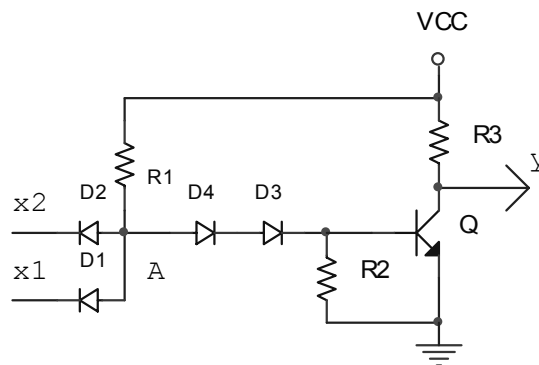


Hình 3.21c. Cổng NOR dùng 2 BJT

### Họ DTR (Diode Transistor Resistor)

Trên hình 3.22 là sơ đồ mạch cổng NAND họ DTR.

Giải thích hoạt động của mạch :



Hình 3.22. Cổng NAND họ DTR

- Khi  $x_1 = x_2 = 0$ , các diode  $D_1, D_2$  phân cực thuận  $\rightarrow D_1, D_2$  dẫn  $\rightarrow V_A = 0,7V = V_{\gamma}/Diode$  (Diode ghim điện áp) mà điều kiện để  $D_3, D_4$  dẫn là:

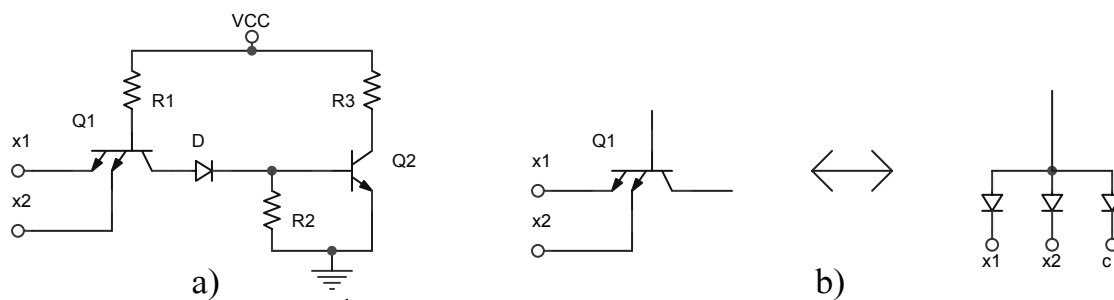
$$V_A \geq 2V_{\gamma/D} + V_{\gamma/BJT} = 2.0,7V + 0,6V = 2V.$$

$\Rightarrow D_1, D_2$  dẫn  $\rightarrow D_3, D_4$ , BJT tắt  $\Rightarrow$  ngõ ra  $y = 1$ .

- Khi  $x_1 = 0, x_2 = 1, D_1$  dẫn,  $D_2$  tắt  $\rightarrow V_A = 0,7V = V_\gamma / \text{Diode}$  (Diode ghim điện áp)  $\Rightarrow D_3, D_4, \text{BJT}$  tắt  $\Rightarrow$  ngõ ra  $y = 1$ .
  - Khi  $x_1 = 1, x_2 = 0, D_1$  tắt,  $D_2$  dẫn  $\rightarrow V_A = 0,7V = V_\gamma / \text{Diode}$  (Diode ghim điện áp)  $\Rightarrow D_3, D_4, \text{BJT}$  tắt  $\Rightarrow$  ngõ ra  $y = 1$ .
  - Khi  $x_1 = x_2 = 1, D_1, D_2$  tắt  $\rightarrow V_A \approx V_{cc}, (V_A = V_{cc} - V_{R1}) \Rightarrow D_3, D_4$  dẫn, BJT dẫn bão hòa  $\Rightarrow$  ngõ ra  $y = 0$ .
- Vậy đây chính là cổng NAND họ DTL.

Nhiệm vụ của linh kiện: Khi tín hiệu ngoài của tín hiệu nhiều chồng chập lên nhau (khoảng 0,6V), nếu chỉ có một diode  $D_3$  thì tín hiệu nhiều sẽ dễ dàng làm cho BJT dẫn ( $V_A = 0,7V = V_\gamma / D_3$ , và tín hiệu nhiều  $0,6V \approx V_\gamma / \text{BJT}$ ), nhưng nếu mắc nối tiếp thêm  $D_4$  thì mạch có thể ngăn tín hiệu chồng chập lên đến  $\approx 1,2V$ . Như vậy  $D_3, D_4$  có tác dụng nâng cao khả năng chống nhiễu của mạch. Ngoài ra,  $R_2$  làm tăng tốc độ chuyển đổi trạng thái của BJT, vì lúc đầu khi BJT dẫn sẽ có dòng đi qua  $R_2$  tạo một phân áp cho tiếp giáp  $J_E$  của BJT để phân cực thuận làm cho BJT nhanh chóng dẫn, và khi BJT tắt thì lượng điện tích sẽ xả qua  $R_2$  nên BJT nhanh chóng tắt.

### Họ TTL (Transistor - Transistor -Logic)



**Hình 3.23. Cổng NAND họ TTL**  
 a. Sơ đồ mạch, b. Transistor 2 tiếp giáp và sơ đồ tương đương

Transistor  $Q_1$  được sử dụng gồm 2 tiếp giáp  $BE_1, BE_2$  và một tiếp giáp BC. Tiếp giáp  $BE_1, BE_2$  của  $Q_1$  thay thế cho  $D_1, D_2$  và tiếp giáp BC thay thế cho  $D_3$  trong sơ đồ mạch cổng NAND họ DTL (hình 3.22).



Giải thích hoạt động:

- $x_1 = x_2 = 0$  các tiếp giáp  $BE_1, BE_2$  sẽ được mở làm cho điện áp cực nền của BJT  $Q_1$  :  $V_B = V_\gamma = 0,6V$ . Mà điều kiện để cho tiếp giáp BC, D và BJT  $Q_1$  dẫn thì điện thế ở cực nền của BJT  $Q_1$  phải bằng:

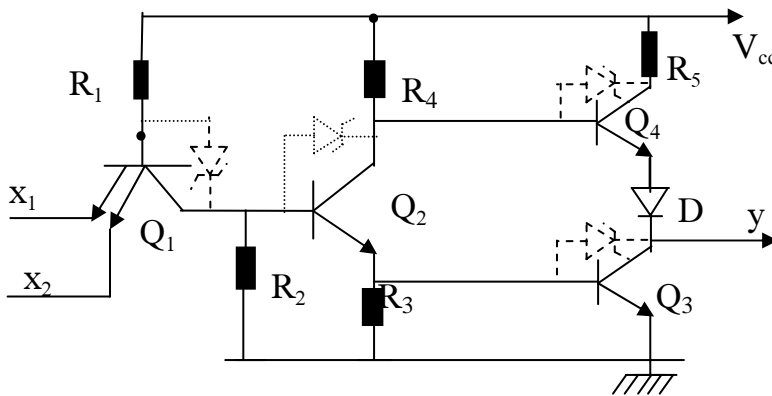
$$V_B = V_{\gamma/BC} + V_{\gamma/BE1} + V_{\gamma/BE2} = 0,6 + 0,7 + 0,6 = 1,9V$$

Điều đó chứng tỏ khi các tiếp giáp  $BE_1, BE_2$  mở thì tiếp giáp BC, diode D và BJT  $Q_2$  tắt  $\Rightarrow y = 1$ .

- $x_1 = 0, x_2 = 1$  các tiếp giáp  $BE_1$  mở,  $BE_2$  tắt thì tiếp giáp BC, diode D và BJT  $Q_2$  tắt  $\Rightarrow y = 1$ .
- $x_1 = 1, x_2 = 0$  các tiếp giáp  $BE_1$  tắt,  $BE_2$  mở thì tiếp giáp BC, diode D và BJT  $Q_2$  tắt  $\Rightarrow y = 1$ .
- $x_1 = x_2 = 1$  các tiếp giáp  $BE_1, BE_2$  tắt thì tiếp giáp BC, diode D dẫn và BJT  $Q_2$  dẫn bão hòa  $\Rightarrow y = 0$

Vậy, đây là mạch thực hiện cổng NAND họ TTL

Để nâng cao khả năng tải của cổng, người ta thường mắc thêm ở ngõ ra một tầng khuếch đại kiểu C-C như sơ đồ mạch trên hình 3.24:



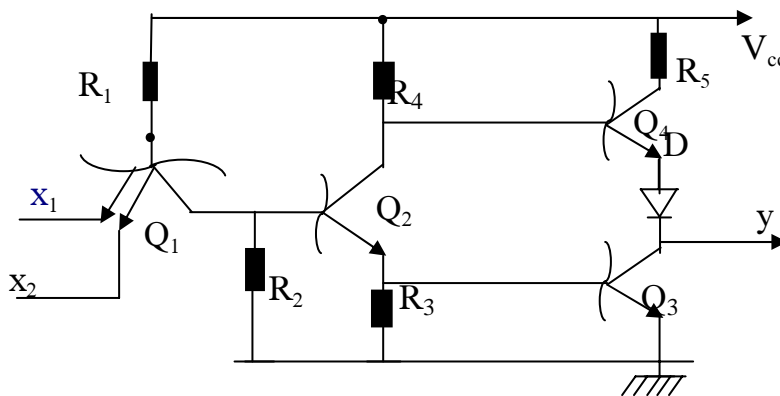
Hình 3.24.

Để nâng cao tần số làm việc của cổng, người ta cho các BJT làm việc ở chế độ khuếch đại, điều đó có nghĩa là người ta không chế để sao cho các tiếp xúc  $J_c$  của BJT bao giờ cũng ở trạng thái phân cực ngược.

Để thực hiện được điều đó, người ta thường mắc song song với tiếp giáp  $J_c$  của BJT một diode Shottky. Đặc điểm của diode Shottky là tiếp xúc của nó gồm một chất bán dẫn với một kim loại, nên nó không tích lũy điện tích, do đó BJT sẽ chuyển đổi trạng thái nhanh hơn.

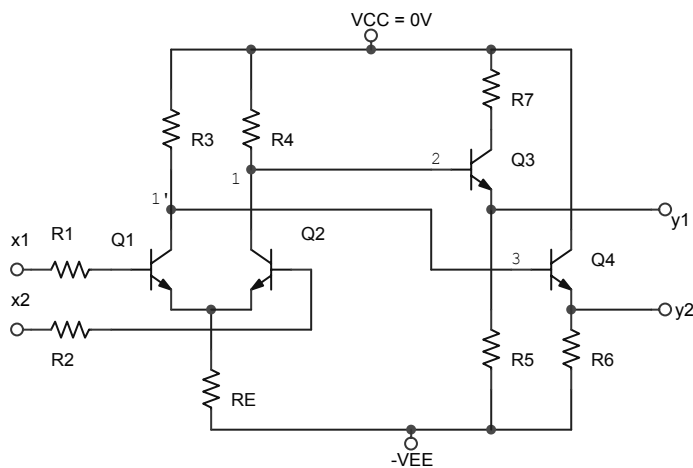
Người ta cũng không dùng diode Zener bởi vì tiếp xúc của diode Zener là chất bán dẫn nên sẽ tích trữ điện tích dư.

Sơ đồ mạch cải tiến trên sẽ vẽ tương đương như sau (hình 3.25):



Hình 3.25. Cổng logic họ TTL dùng diode Shottky

### Họ ECL (Emitter Coupled Logic)



Hình 3.26. Cổng logic họ ECL (Emitter Coupled Logic)

Nhược điểm của họ ECL: Ngõ ra có điện thế âm nên nó không tương thích về mức logic với các họ logic khác.

Giải thích hoạt động của mạch:

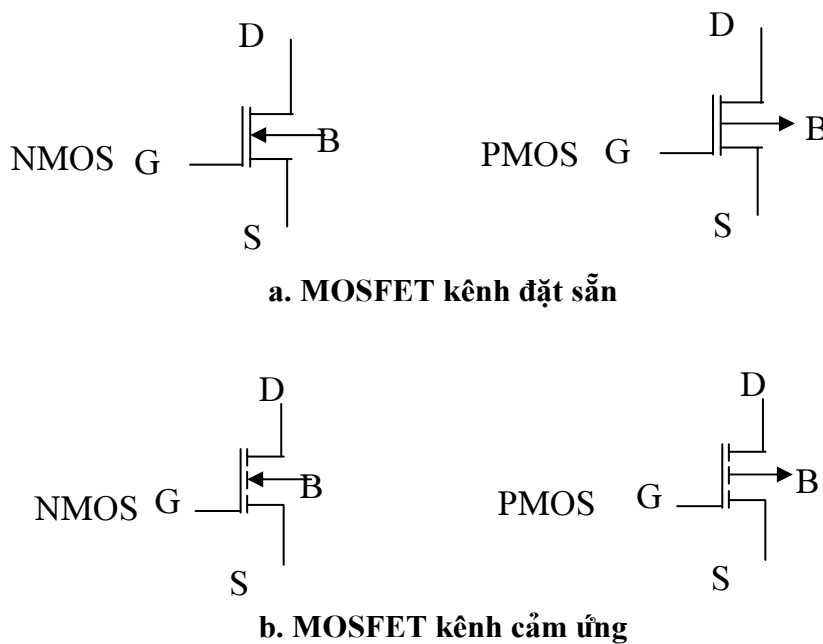
- Khi  $x_1 = x_2 = 0$ :  $Q_1, Q_2$  dẫn nên điện thế tại cực nền (2), (3) của  $Q_3, Q_4$  càng âm (do 1 và 1' âm) nên  $Q_3, Q_4$  tắt  $\Rightarrow y_1 = 1, y_2 = 1$ .

- Khi  $x_1=0, x_2=1$ :  $Q_1$  dẫn,  $Q_2$  tắt nên điện thế tại cực nền (2) của  $Q_3$  dương, điện thế tại cực nền (3) của  $Q_4$  càng âm nên  $Q_3$  dẫn,  $Q_4$  tắt  $\Rightarrow y_1 = 0, y_2 = 1$ .
- Khi  $x_1=1, x_2=0$ :  $Q_1$  tắt,  $Q_2$  dẫn nên điện thế tại cực nền (2) của  $Q_3$  âm, điện thế tại cực nền (3) của  $Q_4$  càng dương nên  $Q_3$  dẫn,  $Q_4$  tắt  $\Rightarrow y_1 = 1, y_2 = 0$ .
- Khi  $x_1=x_2=1$ :  $Q_1, Q_2$  tắt nên điện thế tại cực nền (2), (3) của  $Q_3, Q_4$  càng dương nên  $Q_3, Q_4$  dẫn  $\Rightarrow y_1 = 0, y_2 = 0$ .

***c. Cổng logic dùng MOSFET***

MOSFET (Metal Oxyt Semiconductor Field Effect Transistor), còn gọi là IGFET (Isolated Gate FET - Transistor trường có cực cổng cách ly).

MOSFET có hai loại: Loại có kênh đặt sẵn và loại có kênh cảm ứng.



Hình 3.27. Ký hiệu các loại MOSFET khác nhau

Dù là MOSFET có kênh đặt sẵn hay kênh cảm ứng đều có thể phân chia làm hai loại đó là: MOSFET kênh N gọi là NMOS và MOSFET kênh P gọi là PMOS. Đặc điểm của 2 loại này khác nhau như sau:

- PMOS: Tiêu thụ công suất thấp, tốc độ chuyển đổi trạng thái chậm.
- NMOS: Tiêu thụ công suất lớn hơn, tốc độ chuyển đổi trạng thái nhanh hơn.

Trên hình 3.27 là ký hiệu của các loại MOSFET khác nhau.

*Chú ý:* MOSFET kênh đặt sẵn có thể làm việc ở hai chế độ giàu kênh và nghèo kênh trong khi MOSFET kênh cảm ứng chỉ làm việc ở chế độ giàu kênh.

### Dùng NMOS kênh cảm ứng chế tạo các cổng logic

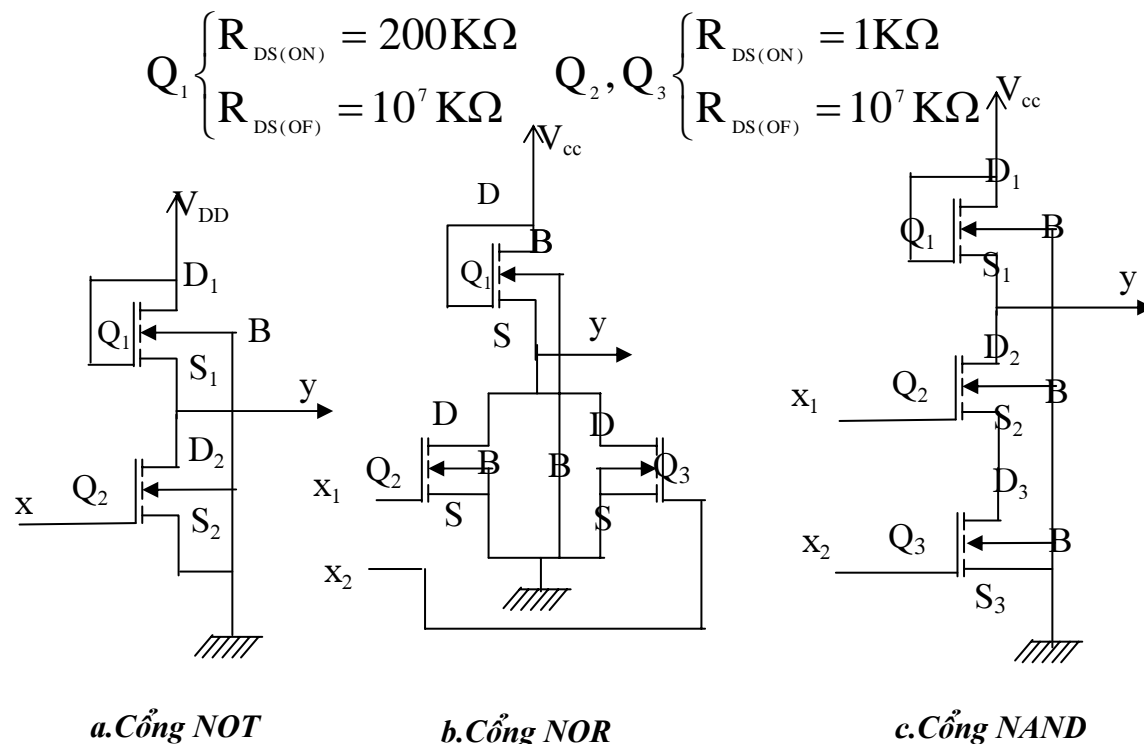
Xét các cổng logic loại NMOS trên hình 3.28.

Điều kiện để cổng NMOS dẫn:  $V_D > V_S, V_G > V_B$

Trong tất cả hình vẽ ta có :

#### Hình 3.28a (cổng NOT)

Theo điều kiện để cổng NMOS dẫn:  $V_D > V_S, V_G > V_B$



Hình 3.28

Ta thấy  $Q_1$  có B nối mass thỏa mãn điều kiện nên  $Q_1$  luôn luôn dẫn.

- Khi  $x=0$ :  $Q_1$  dẫn  $Q_2$  tắt (vì  $V_{G2} = V_{B2} = 0$  nên không hình thành điện trường giữa G và B  $\rightarrow$  không hút được các  $e^-$  là hạt dẫn thiếu

số ở vùng đế B → không hình thành được kênh dẫn). Lúc này, theo sơ đồ tương đương (hình 3.29a) ta có:

$$V_y = \frac{R_{DS(OFF)/Q2}}{R_{DS(ON)/Q1} + R_{DS(OFF)/Q2}} V_{DD}$$

$$= \frac{10^7 K}{200K + 10^7 K} V_{DD}$$

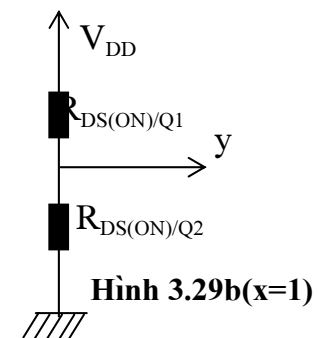
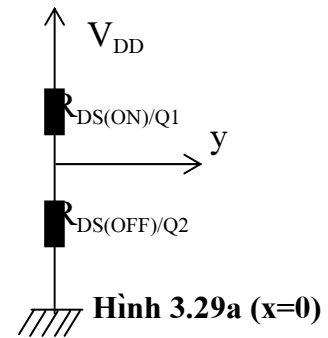
$$\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

- Khi  $x = 1$  lúc đó  $V_{G/Q2} > V_{B/Q2} \rightarrow$  hình thành một điện trường hướng từ G → B, điện trường này hút các điện tử là các hạt dẫn thiểu số trong vùng đế B di chuyển theo chiều ngược lại về mặt đối diện, hình thành kênh dẫn tạm thời nối liền giữa G và B và có dòng điện  $i_D$  đi từ D qua  $\Rightarrow Q_2$  dẫn. Như vậy  $Q_1, Q_2$  dẫn ta có sơ đồ tương đương (hình 3.29b). Theo sơ đồ này ta có:

$$V_y = \frac{R_{DS(ON)/Q2}}{R_{DS(ON)/Q1} + R_{DS(ON)/Q2}} V_{DD}$$

$$= \frac{1K}{200K + 1K} V_{DD}$$

$$\Rightarrow V_y \approx \frac{1}{200} V_{DD} = 0,025V \Rightarrow y = 0$$



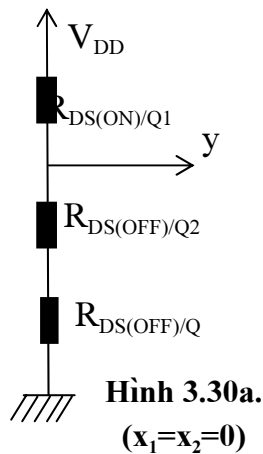
Vậy mạch ở hình 3.28a là mạch thực hiện cổng NOT.

**Hình 3.28c (cổng NAND)**

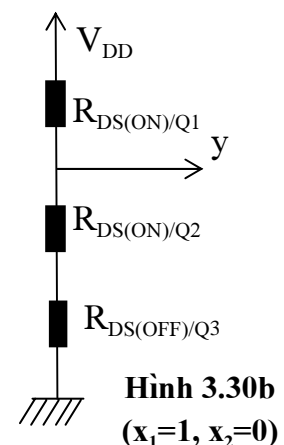
- Khi  $x_1 = x_2 = 0$  (hình 3.30a):  $Q_1$  luôn dẫn,  $Q_2$  và  $Q_3$  đều tắt lúc đó theo sơ đồ tương đương ta có:

$$V_y = \frac{R_{DS(OFF)/Q2} + R_{DS(OFF)/Q3}}{R_{DS(ON)/Q1} + R_{DS(OFF)/Q2} + R_{DS(OFF)/Q3}} V_{DD}$$

$$= \frac{10^7 K + 10^7 K}{200K + 10^7 K + 10^7 K} V_{DD} \Rightarrow V_y \approx V_{DD} \Rightarrow y = 1.$$



- Khi  $x_1=1, x_2=0$  (hình 3.30b):  $Q_1, Q_2$  dẫn và  $Q_3$  tắt lúc đó theo sơ đồ tương đương ta có:



$$V_y = \frac{R_{DS(ON)/Q2} + R_{DS(OFF)/Q3}}{R_{DS(ON)/Q1} + R_{DS(ON)/Q2} + R_{DS(OFF)/Q3}} V_{DD}$$

$$= \frac{1K + 10^7 K}{200K + 1K + 10^7 K} V_{DD}$$

$$\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

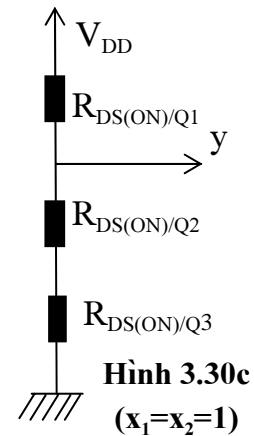
- Khi  $x_1=0, x_2=1$ :  $Q_1, Q_3$  dẫn và  $Q_2$  tắt, giải thích hoàn toàn tương tự ta có  $V_y \approx V_{DD} \Rightarrow y = 1$

- Khi  $x_1=1, x_2=1$  (hình 3.30c):  $Q_1, Q_2$  và  $Q_3$  đều dẫn, lúc đó theo sơ đồ tương đương ta có:

$$V_y = \frac{R_{DS(ON)/Q2} + R_{DS(ON)/Q3}}{R_{DS(ON)/Q1} + R_{DS(ON)/Q2} + R_{DS(ON)/Q3}} V_{DD}$$

$$= \frac{1 K + 1K}{200K + 1K + 1K} V_{DD}$$

$$\Rightarrow V_y \approx 0,05V \Rightarrow y = 0.$$

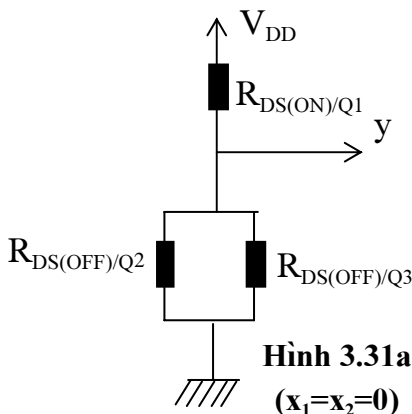


Hình 3.30c  
( $x_1=x_2=1$ )

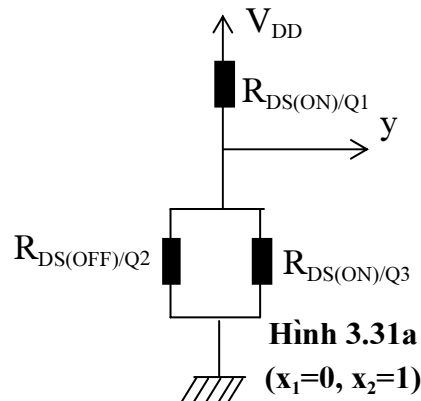
Vậy hình 3.28c là mạch thực hiện cổng NAND.

### Hình 3.28b (cổng NOR)

Ta lần lượt xét các trường hợp sau:



Hình 3.31a  
( $x_1=x_2=0$ )



Hình 3.31a  
( $x_1=0, x_2=1$ )

- Khi  $x_1 = x_2 = 0$  (hình 3.31a) :  $Q_1$  dẫn,  $Q_2$  và  $Q_3$  đều tắt, lúc đó theo sơ đồ tương đương ta có:

$$V_y = \frac{(R_{DS(OFF)/Q2}) // (R_{DS(OFF)/Q3})}{R_{DS(ON)/Q1} + [(R_{DS(OFF)/Q2}) // (R_{DS(OFF)/Q3})]} V_{DD}$$

$$= \frac{10^7 \text{K} // 10^7 \text{K}}{200\text{K} + (10^7 \text{K} // 10^7 \text{K})} V_{DD} \Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

- Khi  $x_1=0, x_2=1$  (hình 3.31b):  $Q_1$  và  $Q_3$  dẫn,  $Q_2$  tắt, ta có:

$$V_y = \frac{(R_{DS(OFF)/Q2}) // (R_{DS(ON)/Q3})}{R_{DS(ON)/Q1} + [(R_{DS(OFF)/Q2}) // (R_{DS(ON)/Q3})]} V_{DD}$$

$$= \frac{10^7 \text{K} // 1\text{K}}{200\text{K} + (10^7 \text{K} // 1\text{K})} V_{DD}$$

$$\Rightarrow V_y \approx \frac{1}{201} V_{DD} \approx 0,005\text{V} \Rightarrow y = 0$$

- Khi  $x_1=1, x_2=0$ :  $Q_1$  và  $Q_2$  dẫn,  $Q_3$  tắt, giải thích tương tự ta có:

$$V_y \approx \frac{1}{201} V_{DD} \approx 0,005\text{V} \Rightarrow y = 0$$

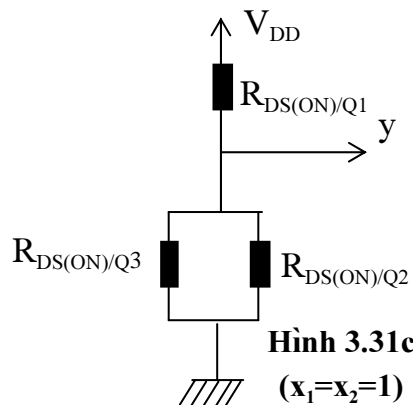
- Khi  $x_1=x_2=1$  (hình 3.31c):  $Q_1, Q_2, Q_3$  đều dẫn, ta có:

$$V_y = \frac{(R_{DS(ON)/Q2}) // (R_{DS(ON)/Q3})}{R_{DS(ON)/Q1} + [(R_{DS(ON)/Q2}) // (R_{DS(ON)/Q3})]} V_{DD}$$

$$= \frac{1\text{K} // 1\text{K}}{200\text{K} + (1\text{K} // 1\text{K})} V_{DD}$$

$$\Rightarrow V_y \approx \frac{0,5}{200} V_{DD} \Rightarrow y = 0.$$

Vậy, sơ đồ mạch trên hình 3.28b chính là mạch thực hiện cổng NOR.



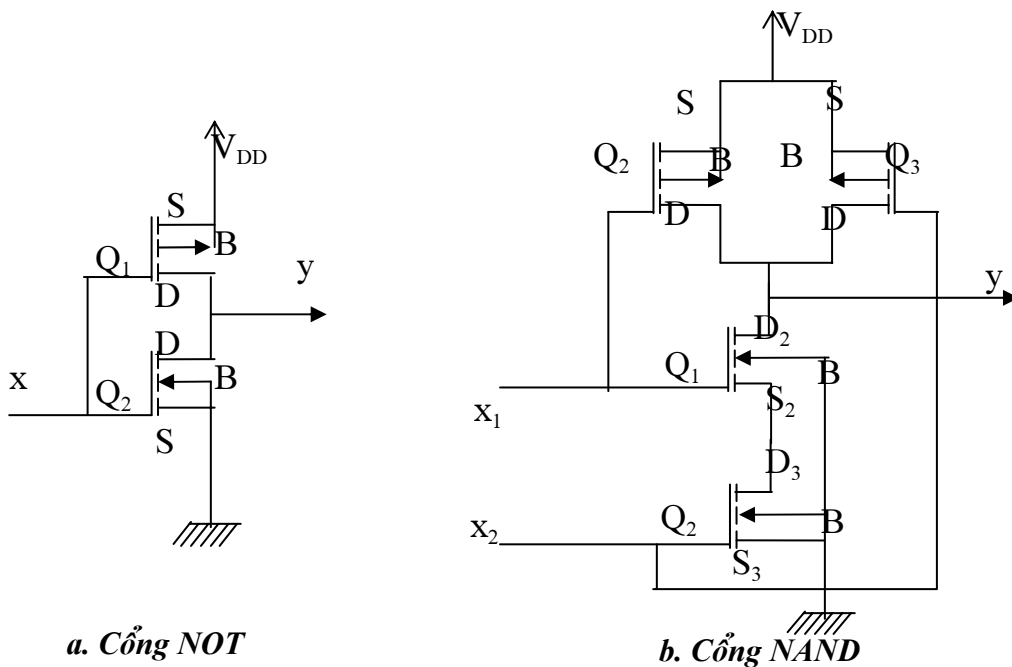
### Các cổng logic họ CMOS (Complementation MOS)



Đây là loại cổng trong đó các transistor được sử dụng thuộc loại MOSFET và luôn có sự kết hợp giữa PMOS và NMOS, vì vậy mà người ta gọi là CMOS. Nhờ cấu trúc này mà vi mạch CMOS có những ưu điểm sau:

- Công suất tiêu thụ ở trạng thái tĩnh rất nhỏ.
- Tốc độ chuyển đổi trạng thái cao.
- Khả năng chống nhiễu tốt.
- Khả năng tải cao.

Trên hình 3.32 là các cổng logic họ CMOS, chúng ta sẽ lần lượt giải thích hoạt động của mỗi sơ đồ mạch.



a. Cổng NOT

b. Cổng NAND

Hình 3.32. Các cổng logic họ CMOS

**Hình 3.32a (cổng NOT)**

Điều kiện để cổng PMOS dẫn :  $V_S > V_D, V_G < V_B$

Điều kiện để cổng NMOS dẫn :  $V_D > V_S, V_G > V_B$

- Khi  $x = 0$  (hình 3.33a):  $Q_1$  dẫn,  $Q_2$  tắt, theo sơ đồ tương đương ta có:

$$V_y = \frac{R_{DS(OFF)/Q2}}{R_{DS(ON)/Q1} + R_{DS(OFF)/Q2}} V_{DD} = \frac{10^7 K}{1K + 10^7 K} V_{DD}$$

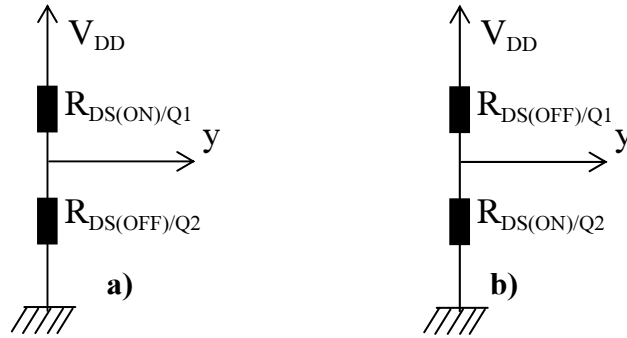
$$\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

- Khi  $x = 1$  (hình 3.33b) thì  $Q_1$  tắt,  $Q_2$  dẫn, ta có:

$$V_y = \frac{R_{DS(ON)/Q2}}{R_{DS(OFF)/Q1} + R_{DS(ON)/Q2}} V_{DD}$$

$$= \frac{1K}{1K + 10^7 K} V_{DD} \Rightarrow V_y \approx \frac{1}{10^7} V_{DD}$$

vì rất nhỏ so với điện thế bão hòa của CMOS ở mức logic 0  $\Rightarrow y = 0$ .



Hình 3.33. Sơ đồ tương đương: a. Khi x=0 b. Khi x=1

Vậy mạch ở hình 3.32a là mạch thực hiện cổng NOT

### Hình 3.32b (cổng NAND)

Sơ đồ tương đương của mạch cổng NAND họ CMOS được cho trên hình 3.34.

- Khi  $x_1=x_2=0$ :  $Q_4, Q_3$  dẫn,  $Q_2$  và  $Q_1$  tắt, ta có:

$$V_y = \frac{(R_{DS(OFF)/Q2}) // (R_{DS(OFF)/Q1})}{R_{DS(OFF)/Q1} + R_{DS(OFF)/Q2} + [(R_{DS(ON)/Q4}) // (R_{DS(ON)/Q3})]} V_{DD}$$

$$= \frac{10^7 K // 10^7 K}{10^7 K // 10^7 K + (1K // 1K)} V_{DD} \Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

- Khi  $x_1 = 0, x_2 = 1$ :  $Q_2, Q_3$  dẫn,  $Q_1, Q_4$  tắt, ta có :

$$V_y = \frac{(R_{DS(OFF)/Q1}) // (R_{DS(ON)/Q2})}{R_{DS(OFF)/Q1} + R_{DS(OFF)/Q2} + [(R_{DS(ON)/Q3}) // (R_{DS(OFF)/Q4})]} V_{DD}$$

$$= \frac{10^7 K + 1K}{10^7 K + 1K + (10^7 K // 1K)} V_{DD} \Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

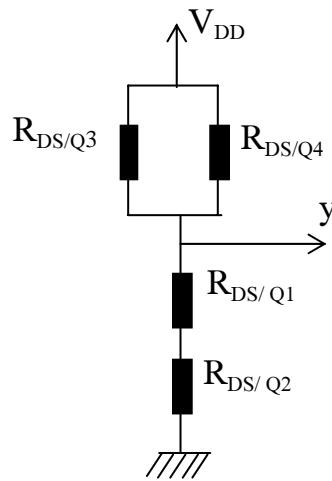
- Khi  $x_1 = 1, x_2 = 0$  :  $Q_3$  và  $Q_2$  dẫn,  $Q_1, Q_4$  tắt:  $\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$

- Khi  $x_1 = x_2 = 1$  :  $Q_2, Q_1$  dẫn,  $Q_3$  và  $Q_4$  tắt, ta có:

$$V_y = \frac{(R_{DS(ON)/Q1}) // (R_{DS(ON)/Q2})}{R_{DS(ON)/Q1} + R_{DS(ON)/Q2} + [(R_{DS(OFF)/Q4}) // (R_{DS(OFF)/Q3})]} V_{DD}$$

$$= \frac{1K + 1K}{1K + 1K + (10^7 K // 10^7 K)} V_{DD}$$

$\Rightarrow V_y \approx 0V \Rightarrow y = 0 \Rightarrow$  Đây chính là mạch thực hiện cổng NAND.

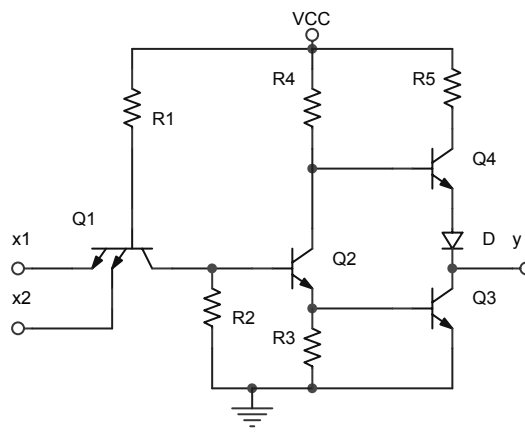


Hình 3.34.

### 3.2.2.3. Phân loại cổng logic theo ngõ ra

#### a. Ngõ ra cột chạm (Totem Pole Output)

Xét cổng logic họ TTL với sơ đồ mạch như hình 3.35.



Hình 3.35. Ngõ ra cột chạm

- **Khi  $x_1=x_2=1$ :** Tiếp giáp  $BE_1, BE_2$  của  $Q_1$  phân cực ngược nên  $Q_1$  tắt. Điện thế tại cực nền của  $Q_1$  làm cho tiếp giáp  $BC/Q_1$  mở, có dòng

điện chảy qua tiếp giáp BC/Q<sub>1</sub> đổ vào cực nền của Q<sub>2</sub>, Q<sub>2</sub> được phân cực thuận nên dẫn bão hòa. Do Q<sub>2</sub> dẫn bão hòa dẫn tới Q<sub>3</sub> dẫn bão hòa.

Khi Q<sub>2</sub> dẫn bão hòa thì điện thế tại cực C/Q<sub>2</sub>

$$V_{C/Q2} = V_{B/Q4} = V_{ces/Q2} + V_{bes/Q3} = 0,2 + 0,8 = 1V$$

Mà điều kiện cần cho Q<sub>4</sub> dẫn là:

$$V_{C/Q2} = V_{B/Q4} = V_{be/Q4} + V_{\gamma/D} + V_{ces/Q3} = 0,6 + 0,8 + 0,2 = 1,6V$$

Ta thấy điều kiện này không thỏa mãn khi Q<sub>2</sub> dẫn bão hòa, do đó khi Q<sub>2</sub> dẫn bão hòa  $\Rightarrow$  Q<sub>4</sub> tắt  $\Rightarrow$  cắt nguồn V<sub>CC</sub> ra khỏi mạch. Lúc này ta nói rằng cổng sẽ hút dòng vào và dòng từ ngoài qua tải đổ vào ngõ ra của cổng đi qua Q<sub>3</sub>, người ta nói Q<sub>3</sub> là nơi nhận dòng và dòng đổ vào Q<sub>3</sub> gọi là **dòng ngõ ra mức thấp**, ký hiệu I<sub>OL</sub>.

Về mặt thiết kế mạch: ta thấy rằng dòng tải I<sub>t</sub> cũng chính là dòng ngõ ra mức thấp I<sub>OL</sub> và là dòng đổ từ ngoài vào qua Q<sub>3</sub>, dòng này phải nằm trong giới hạn chịu đựng dòng của Q<sub>3</sub> để Q<sub>3</sub> không bị đánh thủng thì mạch sẽ làm việc bình thường.

Dòng I<sub>OL</sub> thay đổi tùy thuộc vào công nghệ chế tạo:

- + TTL : dòng ngõ ra mức thấp I<sub>OL</sub> lớn nhất 16mA.
- + TTL/LS : dòng ngõ ra mức thấp I<sub>OL</sub> lớn nhất 8mA.

Đây là những thông số rất quan trọng cần chú ý trong quá trình thiết kế mạch số họ TTL để đảm bảo độ an toàn và ổn định của mạch.

- **Các trường hợp còn lại (x<sub>1</sub>= 0,x<sub>2</sub> =1; x<sub>1</sub>=1,x<sub>2</sub>=0; x<sub>1</sub>=x<sub>2</sub>=0):** Lúc này Q<sub>2</sub> và Q<sub>3</sub> tắt còn Q<sub>4</sub> dẫn  $\Rightarrow$  y = 1. Ta nói cổng cấp dòng ra, dòng này đổ từ nguồn qua Q<sub>4</sub> và diode D xuống cung cấp cho tải, người ta gọi là **dòng ngõ ra mức cao**, ký hiệu I<sub>OH</sub>.

Điện áp ngõ ra V<sub>Y</sub> được tính phụ thuộc vào dòng tải I<sub>OH</sub>:

$$V_Y = V_{logic1} = V_{cc} - I_{OH}R_5 - V_{ces/Q4} - V_{\gamma/D}$$

$$\text{Thông thường } V_{logic1 \max} = (3,4V \rightarrow 3,6V)$$

I<sub>OH</sub> cũng chính là dòng qua tải I<sub>t</sub>, nếu I<sub>OH</sub> càng tăng thì V<sub>logic1</sub> càng giảm và ngược lại. Song V<sub>logic1</sub> chỉ được phép giảm đến một giá trị cho phép V<sub>logic1 min</sub> = **2,2V**

Về mặt thiết kế mạch: ta chọn V<sub>logic1 min</sub> = 2,4V để bảo đảm cổng cấp dòng ra khi ở mức logic 1 không được nhỏ hơn V<sub>logic1 min</sub> và đảm

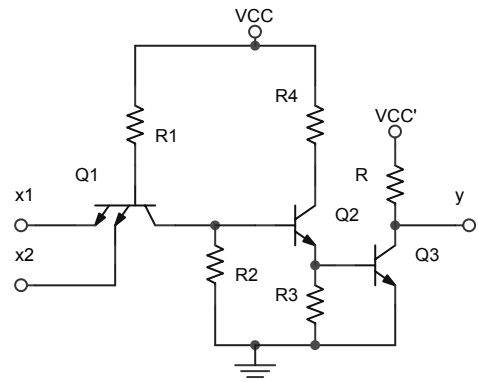
bảo cổng hút dòng vào khi ở mức logic 0 thì dòng tải ở mức logic 0 không được lớn hơn dòng  $I_{OL}$ .

**Nhược điểm của ngõ ra cột chạm:** Không cho phép nối chung các ngõ ra lại với nhau có thể làm hỏng cổng.

***b. Ngõ ra cực thu để hở (Open Collector Output)***

Về phương diện cấu tạo gần giống với ngõ ra cột chạm nhưng khác với ngõ ra cột chạm là không có  $Q_4$ , diode  $D$ ,  $R_5$  và lúc này cực thu (cực C) của  $Q_3$  để hở.

Do đó để cổng làm việc trong thực tế ta nối ngõ ra của cổng (cực C của  $Q_3$ ) lên nguồn  $V'_{CC}$  bằng phân tử thụ động  $R$ . Nguồn  $V'_{CC}$  có thể cùng giá trị với  $V_{CC}$  hoặc khác tùy thuộc vào thiết kế.



Hình 3.36. Ngõ ra cực thu để hở

Chúng ta lần lượt phân tích các trường hợp hoạt động của mạch:

- **Khi  $x_1=x_2=1$ :** Tiếp giáp  $BE_1, BE_2$  phân cực ngược, điện thế tại cực nền của  $Q_1$  làm cho tiếp giáp  $BC/Q_1$  mở nên  $Q_2$  dẫn bão hòa,  $Q_2$  dẫn bão hòa kéo theo  $Q_3$  dẫn bão hòa  $\Rightarrow y = 0$ , do đó điện áp tại ngõ ra  $y$ :

$$V_Y = V_{logic0} = V_{C/Q3} = V_{ces/Q3} = 0,2V \approx 0V$$

Lúc này cổng sẽ hút dòng vào và  $Q_3$  là nơi nhận dòng, ta gọi là **dòng ngõ ra mức thấp  $I_{OL}$** .

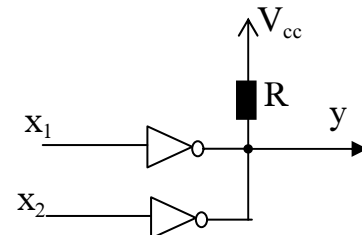
- **Các trường hợp còn lại ( $x_1=0, x_2=1$ ;  $x_1=1, x_2=0$ ;  $x_1=x_2=0$ ):** Có ít nhất một tiếp giáp  $BE/Q_1$  mở, ghim điện thế tại cực nền  $Q_1$  làm cho tiếp giáp  $BC/Q_1, Q_2, Q_3$  đều tắt, lúc này cổng cấp dòng ra đồ từ nguồn  $V'_{CC}$  qua điện trở  $R$  cấp cho tải ở mạch ngoài  $\Rightarrow y=1$ , người ta gọi là **dòng ngõ ra mức cao  $I_{OH}$** .

Ta có:

$$V_Y = V_{logic1} = V'_{CC} - I_{OH}R$$

**Ưu điểm của ngõ ra có cực thu để hở:**

- Cho phép nối chung các ngõ ra lại với nhau.
- Trong một vài trường hợp khi nối chung các ngõ ra lại với nhau có thể tạo thành cổng logic khác.



Hình 3.37

*Ví dụ:* Mạch ở hình 3.37 sử dụng các cổng NOT có ngõ ra cực thu để hở, khi nối chung các ngõ ra lại với nhau có thể tạo thành cổng NOR.

***c. Ngõ ra ba trạng thái (Three States Output)***

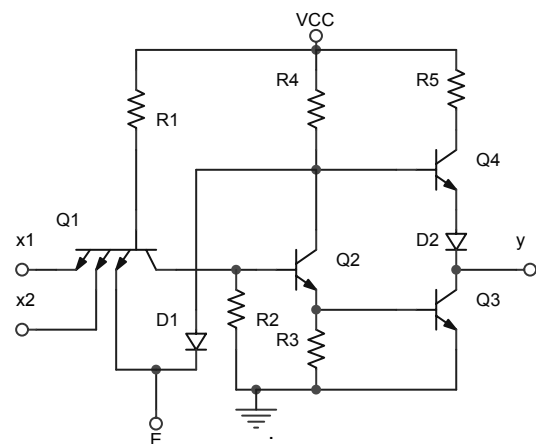
Về mặt cấu trúc và cấu tạo hoàn toàn giống ngõ ra cột chạm, tuy nhiên có thêm ngõ vào thứ 3 cho phép mạch hoạt động kí hiệu là E (Enable).

- **E=1:** diode  $D_1$  tắt, mạch làm việc hoàn toàn giống cổng NAND ngõ ra cột chạm. Lúc đó mạch tồn tại một trạng thái  $y = 0$  hoặc  $y = 1$  tùy thuộc vào các trạng thái logic của 2 ngõ vào  $x_1, x_2$ .

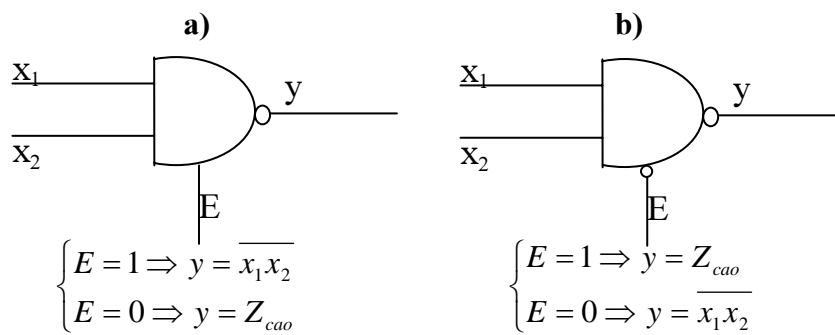
- **E=0:** diode tiếp giáp  $BE_3$  mở, ghim áp trên cực nền của  $Q_1$  làm cho tiếp giáp  $BC/Q_1$  tắt và  $Q_2, Q_3$  cũng tắt. Lúc này diode  $D_1$  dẫn ghim điện thế ở cực C của  $Q_2$ :

$$V_{C/Q2} = V_{B/Q4} = V_{\gamma/D1} = 0,7V \Rightarrow Q_4 \text{ tắt.}$$

Nên cổng không cấp dòng ra và cũng không hút dòng vào. Lúc này, ngõ ra y chỉ nối với cổng về phương diện vật lý nhưng lại cách ly về phương diện điện, tương đương với trạng thái trở kháng cao. Chính vì vậy mà người ta gọi là trạng thái thứ ba là trạng thái tổng trở cao.



Hình 3.38. Ngõ ra 3 trạng thái



Hình 3.39. Cổng NAND 3 trạng thái với ngõ vào E  
 a. E tác động mức cao - b. E tác động mức thấp

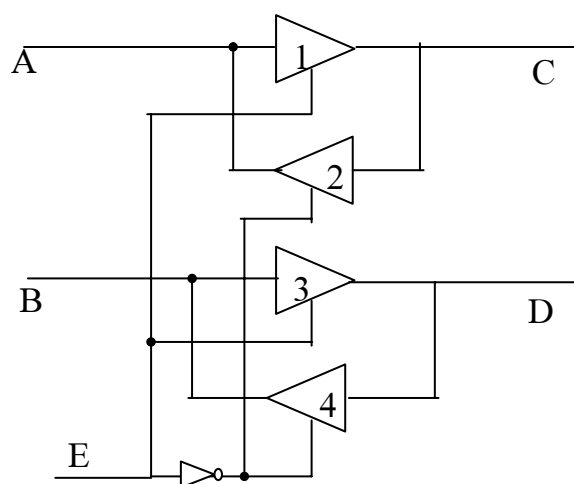
Ứng dụng:

- Sử dụng ngõ ra ba trạng thái để chế tạo ra cổng đệm 2 chiều.
- Chế tạo các chip nhớ của bộ vi xử lý.

Giải thích sơ đồ mạch hình 3.40:

+ E=1: Cổng đệm 1 và 3 mở, 2 và 4 treo lên tổng trở cao  $\Rightarrow$  dữ liệu đi từ A  $\rightarrow$  C, B  $\rightarrow$  D. Vậy dữ liệu xuất ra.

+ E=0: Cổng đệm 2 và 4 mở, 1 và 3 treo lên tổng trở cao  $\Rightarrow$  dữ liệu đi từ C  $\rightarrow$  A, D  $\rightarrow$  B. Vậy dữ liệu nhập vào.



Hình 3.40. Ứng dụng của ngõ ra 3 trạng thái

### 3.2.3. Các thông số kỹ thuật của cổng logic

#### 3.2.3.1. Công suất tiêu tán $P_{tt}$

Một phân tử logic khi làm việc phải trải qua các giai đoạn sau:

- Ở trạng thái tắt.
- Chuyển từ trạng thái tắt sang trạng thái dẫn.
- Ở trạng thái dẫn.
- Chuyển từ trạng thái dẫn sang tắt.

Ở mỗi giai đoạn, phân tử logic đều tiêu thụ ở nguồn một công suất.

**a. Đối với các phân tử logic họ TTL:** tiêu thụ công suất của nguồn chủ yếu khi ở trạng thái tĩnh (đang dẫn hoặc đang tắt).

- Nếu gọi  $P^0$  là công suất tiêu thụ ứng với ngõ ra của phân tử logic tồn tại ở mức logic 0.
- Nếu gọi  $P^1$  là công suất tiêu thụ ứng với ngõ ra của phân tử logic tồn tại ở mức logic 1.
- Gọi  $P$  là công suất tiêu tán trung bình thì:

$$P = \frac{P^0 + P^1}{2}$$

Đối với cả IC người ta tính như sau:

- Gọi  $I_{CL}$  dòng do nguồn cung cấp khi ngõ ra ở mức logic 0.
- Gọi  $I_{CH}$  dòng do nguồn cung cấp khi ngõ ra ở mức logic 1.
- Gọi  $I_C$  là dòng trung bình thì :  $I_C = \frac{I_{CL} + I_{CH}}{2}$

Thì công suất tiêu tán cho cả IC :  $P_{tt} = I_C \cdot V_{CC}$

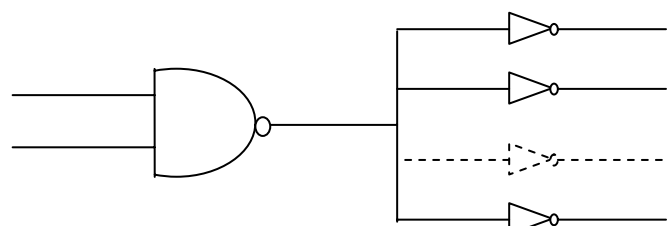
**b. Đối với họ CMOS:** chỉ tiêu thụ công suất chủ yếu trong trạng thái động (trong thời gian chuyển mạch).

Công suất tiêu tán:  $P_{tt} = C_L \cdot f \cdot V_{DD}^2$   $C_L$  :điện dung tải

Tần số hoạt động (tần số chuyển mạch) càng lớn công suất tiêu tán càng tăng.

#### 3.2.3.2. Fanout

Là hệ số mắc mạch ở ngõ ra hay còn gọi là khả năng tải của một phân tử logic.



Hình 3.41. Khái niệm về Fanout



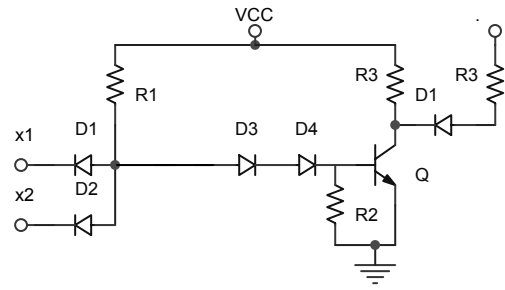
Gọi N là Fanout của một phần tử logic, thì nó được định nghĩa như sau: Số ngõ vào logic cực đại được nối đến một ngõ ra của phần tử logic cùng họ mà mạch vẫn hoạt động bình thường (hình 3.41).

**Xét ví dụ đối với họ DTL:** (Hình 3.42)

- $y=1$ : mạch hoạt động bình thường.
- $y=0$ : BJT dẫn bão hòa, dòng bão hòa gồm hai thành phần:

$$I_{CS} = I_{R3} + N I_1$$

(với N là số phần tử tải mắc ở ngõ ra)



Hình 3.42

Mặt khác:  $I_B = I_{R1} - I_{R2} = \text{const}$ , mà  $I_{cs}$  tăng lên do có dòng ghép đổ vào  $\Rightarrow$  điều kiện dẫn bão hòa không thỏa mãn  $\Rightarrow$  BJT ra khỏi chế độ dẫn bão hòa và đi vào chế độ khuếch đại, lúc đó  $V_Y$  tăng lên nên ngõ ra không còn đảm bảo ở mức logic 0 nữa. Vậy, điều kiện để mạch hoạt động bình thường là:

$$I_{R3} + N I_1 < \beta_{\min} I_B \Rightarrow N < \frac{\beta_{\min} I_B - I_{R3}}{I_1} (*)$$

N: số lớn nhất thỏa mãn điều kiện (\*) được gọi là Fanout của phần tử logic DTL.

**3.2.3.3. Fanin (Hệ số mắc mạch ngõ vào)**

Gọi M là Fanin của 1 phần tử logic thì M được định nghĩa như sau: Đó chính là số ngõ vào logic cực đại của một phần tử logic.

Đối với các phần tử logic thực hiện chức năng cộng logic, thì số lượng M lớn nhất là 4 ngõ vào. Đối với các phần tử logic thực hiện chức năng nhân logic, thì số lượng M lớn nhất là 6 ngõ vào.

Đối với họ logic CMOS thì có M nhiều hơn nhưng cũng không quá 8 ngõ vào.

**3.2.3.4. Độ chống nhiễu**

Độ ổn định nhiễu là tiêu chuẩn đánh giá độ nhạy của mạch logic đối với tạp âm xung trên đầu vào.

Độ ổn định nhiễu (tĩnh) là giá trị điện áp nhiễu tối đa trên đầu vào không làm thay đổi trạng thái logic của mạch, còn gọi là mức ổn định nhiễu.

### **3.2.3.5. Trễ truyền đạt**

Trễ truyền đạt là khoảng thời gian để đầu ra của mạch có đáp ứng đối với sự thay đổi mức logic của đầu vào.

Trễ truyền đạt là tiêu chuẩn để đánh giá tốc độ làm việc của mạch. Tốc độ làm việc của mạch tương ứng với tần số mà mạch vẫn còn hoạt động đúng. Như vậy, trễ truyền đạt càng nhỏ càng tốt hay tốc độ làm việc càng lớn càng tốt.

Đối với hầu hết các vi mạch số hiện nay, trễ truyền đạt là rất nhỏ, cỡ vài nano giây (ns). Một vài loại mạch logic có thời gian trễ lớn cỡ vài trăm nano giây.

Khi mắc liên tiếp nhiều mạch logic thì trễ truyền đạt của toàn mạch sẽ bằng tổng các trễ truyền đạt của mỗi tầng.

### 3.3. FLIP – FLOP (FF)

#### 3.3.1. Khái niệm

Đây là mạch dao động đa hài hai trạng thái bền, được xây dựng trên cơ sở các cổng logic và hoạt động theo một bảng trạng thái cho trước.

#### 3.3.2. Phân loại

Có hai cách phân loại:

- Phân loại theo tín hiệu điều khiển.
- Phân loại theo chức năng.

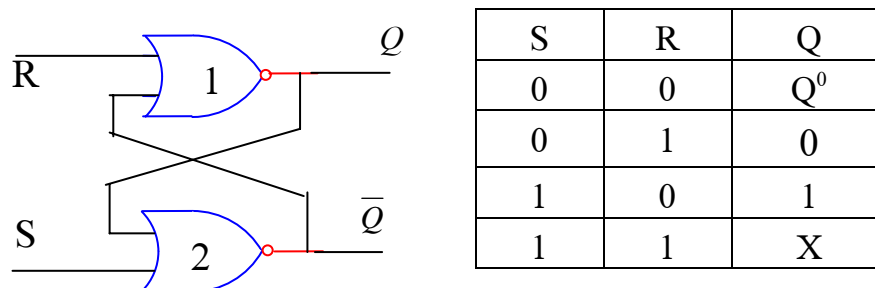
##### 3.3.2.1. Phân loại FF theo tín hiệu điều khiển

Gồm có hai loại:

- Không có tín hiệu điều khiển (còn gọi là không đồng bộ).
- Có tín hiệu điều khiển (còn gọi là đồng bộ).

##### a. FF không đồng bộ

**Dạng 1:** RSFF không đồng bộ dùng cổng NOR (sơ đồ hình 3.43)



Hình 3.43. RSFF không đồng bộ sử dụng cổng NOR và bảng trạng thái

Dựa vào bảng chân trị của cổng NOR, ta có:

- $S = 0, R = 1 \Rightarrow Q = 0$ , hồi tiếp về cổng NOR 2 nên cổng NOR 2 có hai ngõ vào bằng 0  $\Rightarrow \bar{Q} = 1$ .
- $S = 1, R = 0 \Rightarrow \bar{Q} = 0$ , hồi tiếp về cổng NOR 1 nên cổng NOR 1 có hai ngõ vào bằng 0  $\Rightarrow Q = 1$
- Giả sử ban đầu:  $S = 0, R = 1 \Rightarrow Q = 0$  và  $\bar{Q} = 1$ .

Nếu tín hiệu ngõ vào thay đổi thành:  $S = 0, R = 0$  ta có:

- +  $S = 0$  và  $Q = 0 \Rightarrow \bar{Q} = 1$
- +  $R = 0$  và  $\bar{Q} = 1 \Rightarrow Q = 0 \Rightarrow$  RSFF giữ nguyên trạng thái cũ.

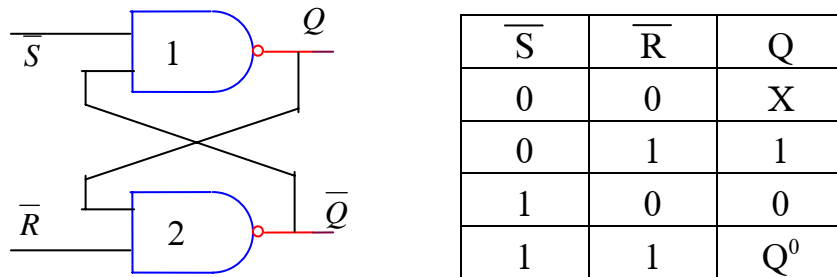
- Giả sử ban đầu:  $S = 1, R = 0 \Rightarrow Q = 1$  và  $\bar{Q} = 0$

Nếu tín hiệu ngõ vào thay đổi thành:  $S = 0, R = 0$  ta có:

+  $R = 0$  và  $\bar{Q} = 0 \Rightarrow Q = 1$

+  $S = 0$  và  $Q = 1 \Rightarrow \bar{Q} = 0 \Rightarrow$  RSFF giữ nguyên trạng thái cũ.

**Dạng 2:**RSFF không đồng bộ dùng cổng NAND (sơ đồ hình 3.44)



Hình 3.44. RSFF không đồng bộ sử dụng cổng NAND và bảng trạng thái

Dựa vào bảng chân trị của cổng NAND:

$$y = \begin{cases} 0 & \forall x_i = 1 \\ 1 & \exists x_i = 0 \end{cases}$$

Ta có:

- $\bar{S} = 0, \bar{R} = 1 \Rightarrow Q = 1$  hồi tiếp về cổng NAND 2 nên cổng NAND 2 có hai ngõ vào bằng 1 vậy  $\bar{Q} = 0$ .
- $\bar{S} = 0, \bar{R} = 1 \Rightarrow \bar{Q} = 1$  hồi tiếp về cổng NAND 1 nên cổng NAND 1 có hai ngõ vào bằng 1 vậy  $Q = 0$ .
- $\bar{S} = \bar{R} = 0 \Rightarrow \bar{Q} = Q = 1$  đây là trạng thái cấm.
- $\bar{S} = \bar{R} = 1$ : Giả sử trạng thái trước đó có  $Q = 1, \bar{Q} = 0 \Rightarrow$  hồi tiếp về cổng NAND 1 nên cổng NAND 1 có một ngõ vào bằng 0 vậy  $Q = 1 \Rightarrow$  RSFF giữ nguyên trạng thái cũ.

Như vậy gọi là FF không đồng bộ bởi vì chỉ cần một trong hai ngõ vào S hay R thay đổi thì ngõ ra cũng thay đổi theo.

Về mặt kí hiệu, các RSFF không đồng bộ được ký hiệu như sau: