

Chương 4

HỆ TỔ HỢP

4.1.KHÁI NIỆM CHUNG

Các phần tử logic AND, OR, NOR, NAND là các phần tử logic cơ bản còn được gọi là hệ tổ hợp đơn giản. Như vậy, ta có các hệ tổ hợp mà ngõ ra là các hàm logic theo ngõ vào, điều này có nghĩa là khi một trong các ngõ vào thay đổi trạng thái thì lập tức làm cho ngõ ra thay đổi trạng thái ngay (bỏ qua thời gian trễ của các phần tử logic).

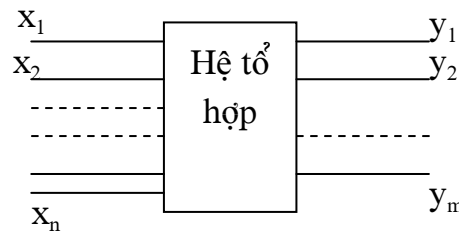
Xét một hệ tổ hợp có **n ngõ vào** và có **m ngõ ra** (hình 4.1), ta có:

$$y_1 = f(x_1, x_2, \dots, x_n)$$

$$y_2 = f(x_1, x_2, \dots, x_n)$$

.....

$$y_n = f(x_1, x_2, \dots, x_n)$$



Hình 4.1

Như vậy, sự thay đổi của ngõ ra y_j ($j = \overline{1, m}$) theo các biến vào x_i ($i = \overline{1, m}$) là tùy thuộc vào bảng trạng thái mô tả hoạt động của hệ tổ hợp. Đặc điểm cơ bản của hệ tổ hợp là tín hiệu ra tại mỗi thời điểm chỉ phụ thuộc vào giá trị các tín hiệu vào ở thời điểm đó.

Trình tự để thiết kế hệ tổ hợp theo các bước sau:

1. Từ yêu cầu thực tế ta lập bảng trạng thái mô tả hoạt động của mạch.
2. Dùng các phương pháp tối thiểu để tối thiểu hoá các hàm logic.
3. Thành lập sơ đồ logic (Dựa vào phương trình logic đã tối giản).
4. Thành lập sơ đồ hệ tổ hợp.

Một số mạch tổ hợp cụ thể:

- Mạch mã hoá - giải mã
- Mạch chọn kênh - phân đường
- Mạch so sánh
- Kiểm /phát chẩn lỗi
- Mạch số học

4.2. MẠCH MÃ HOÁ & MẠCH GIẢI MÃ

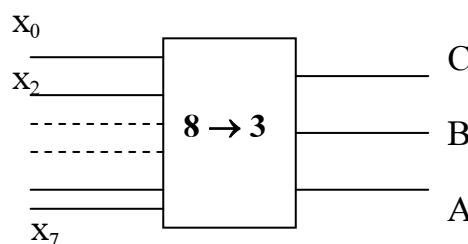
4.2.1. Khái niệm:

Mạch mã hoá (ENCODER) là mạch có nhiệm vụ biến đổi những ký hiệu quen thuộc với con người sang những ký hiệu không quen thuộc con người. Mạch giải mã (DECODER) là mạch làm nhiệm vụ biến đổi những ký hiệu không quen thuộc với con người sang những ký hiệu quen thuộc với con người.

4.2.2. Mạch mã hoá (Encoder)

4.2.2.1. Mạch mã hoá nhị phân

Xét mạch mã hóa nhị phân từ 8 sang 3 (8 ngõ vào và 3 ngõ ra). Sơ đồ khối của mạch được cho trên hình 4.2.



Hình 4.2 Sơ đồ khối mạch mã hóa nhị phân từ 8 sang 3

Trong đó:

- x_0, x_1, \dots, x_7 là các ngõ vào tín hiệu.
- A, B, C là các ngõ ra.

Mạch mã hóa nhị phân thực hiện biến đổi tín hiệu ngõ vào thành một từ mã nhị phân tương ứng ở ngõ ra, cụ thể như sau:

- | | | |
|---------------------|---------------------|---------------------|
| $0 \rightarrow 000$ | $3 \rightarrow 011$ | $6 \rightarrow 100$ |
| $1 \rightarrow 001$ | $4 \rightarrow 100$ | $7 \rightarrow 111$ |

2 → 010 5 → 101

Chọn mức tác động (tích cực) ở ngõ vào là mức logic 1, ta có bảng trạng thái mô tả hoạt động của mạch :

x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	C	B	A
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Giải thích bảng trạng thái: Khi một ngõ vào ở trạng thái tích cực (mức logic 1) và các ngõ vào còn lại không được tích cực (mức logic 0) thì ngõ ra xuất hiện từ mã tương ứng. Cụ thể là: khi ngõ vào $x_0=1$ và các ngõ vào còn lại bằng 0 thì từ mã ở ngõ ra là 000, khi ngõ vào $x_1=1$ và các ngõ vào còn lại bằng 0 thì từ mã nhị phân ở ngõ ra là 001, ..v..v..

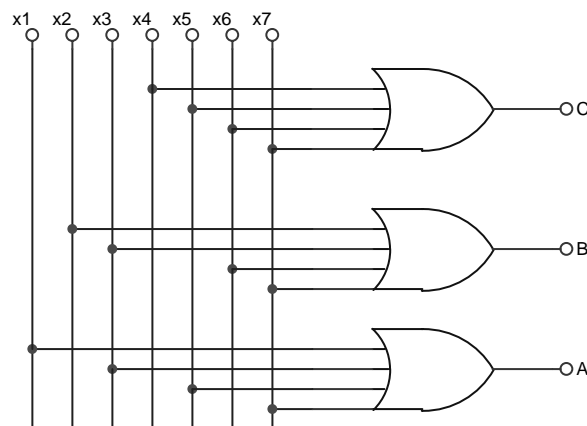
Phương trình logic tối giản:

$$A = x_1 + x_3 + x_5 + x_7$$

$$B = x_2 + x_3 + x_6 + x_7$$

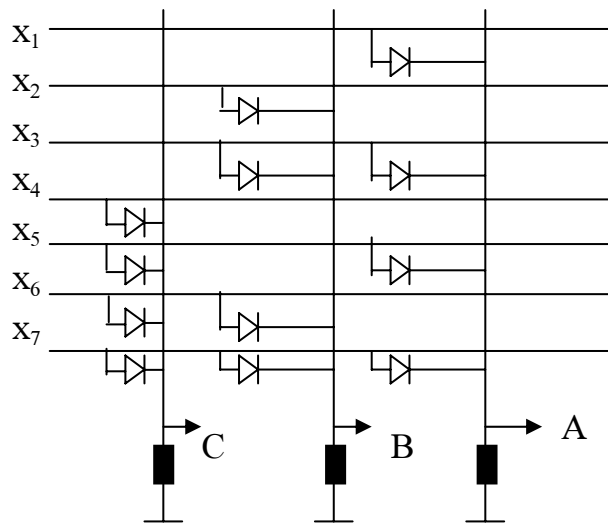
$$C = x_4 + x_5 + x_6 + x_7$$

Sơ đồ logic (hình 4.3):



Hình 4.3 Mạch mã hóa nhị phân từ 8 sang 3

Biểu diễn bằng cổng logic dùng Diode (hình 4.4):



Hình 4.4 Mạch mã hóa nhị phân từ 8 sang 3 sử dụng diode

Nếu chúng ta chọn mức tác động tích cực ở ngõ vào là mức logic 0, bảng trạng thái mô tả hoạt động của mạch lúc này như sau:

x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	C	B	A
0	1	1	1	1	1	1	1	0	0	0
1	0	1	1	1	1	1	1	0	0	1
1	1	0	1	1	1	1	1	0	1	0
1	1	1	0	1	1	1	1	0	1	1
1	1	1	1	0	1	1	1	1	0	0
1	1	1	1	1	0	1	1	1	0	1
1	1	1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	0	1	1	1

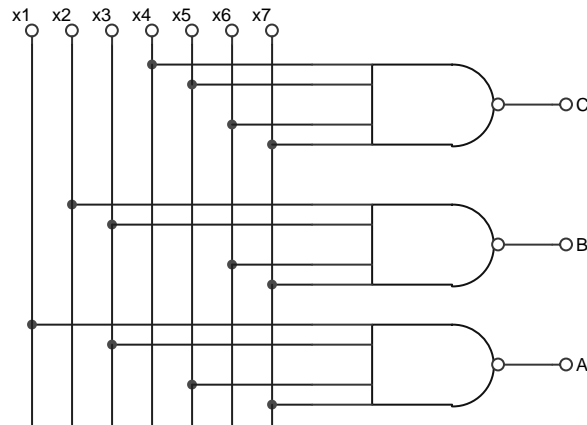
Phương trình logic tối giản :

$$A = \bar{x}_1 + \bar{x}_3 + \bar{x}_5 + \bar{x}_7 = \overline{x_1 x_3 x_5 x_7}$$

$$B = \bar{x}_2 + \bar{x}_3 + \bar{x}_6 + \bar{x}_7 = \overline{x_2 x_3 x_6 x_7}$$

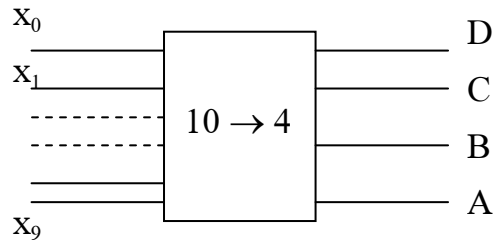
$$C = \bar{x}_4 + \bar{x}_5 + \bar{x}_6 + \bar{x}_7 = \overline{x_4 x_5 x_6 x_7}$$

Sơ đồ mạch thực hiện cho trên hình 4.5



Hình 4.5 Mạch mã hóa nhị phân 8 sang 3 ngõ vào tích cực mức 0

4.2.2.2. Mạch mã hoá thập phân



Hình 4.6 Sơ đồ khối mạch mã hóa từ 10 sang 4

Bảng trạng thái mô tả hoạt động của mạch :

x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9	D	C	B	A
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1

Phương trình logic đã tối giản:

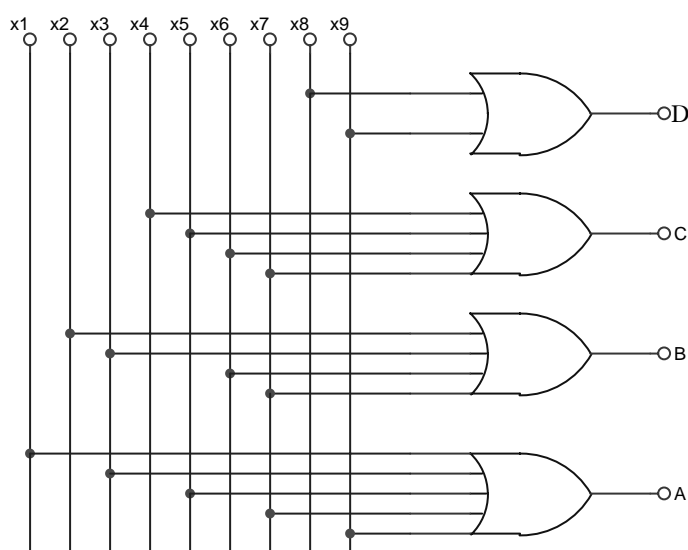
$$A = x_1 + x_3 + x_5 + x_7 + x_9$$

$$B = x_2 + x_3 + x_6 + x_7$$

$$C = x_4 + x_5 + x_6 + x_7$$

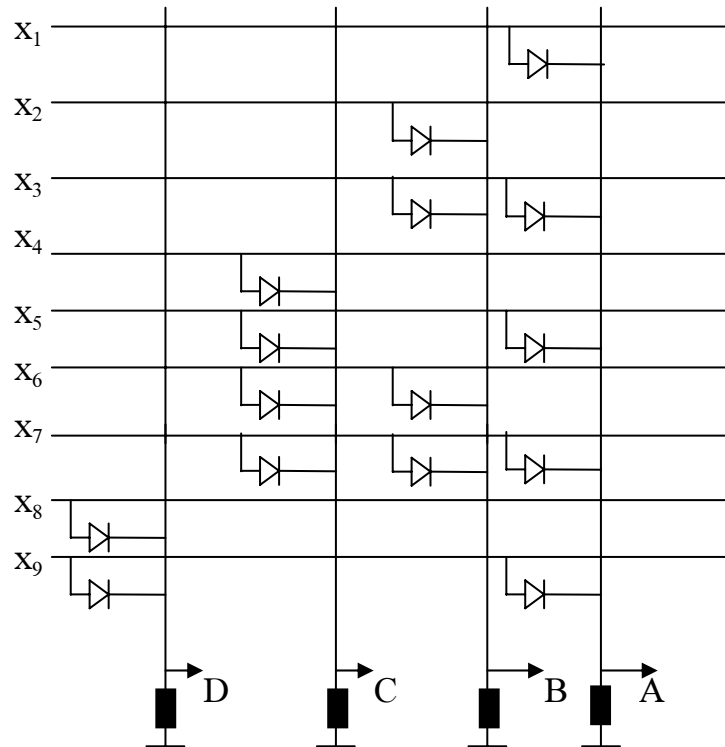
$$D = x_8 + x_9$$

Biểu diễn bằng sơ đồ logic



Hình 4.7

Biểu diễn bằng cổng logic dùng Diode : Hình 4.8



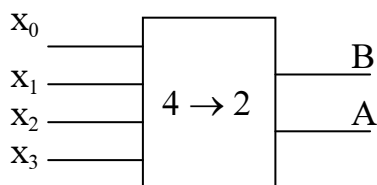
Hình 4.8

4.2.2.3. Mạch mã hoá ưu tiên

Trong hai mạch mã hoá đã xét ở trên, tín hiệu đầu vào tồn tại độc lập tức là không có tình huống có 2 tín hiệu trở lên đồng thời tác động ở mức logic 1 (nếu ta chọn mức tích cực ở ngõ vào là mức logic 1), do đó cần phải đặt ra vấn đề ưu tiên.

Vấn đề ưu tiên: Khi có nhiều tín hiệu đồng thời tác động, tín hiệu nào có mức ưu tiên cao hơn ở thời điểm đang xét sẽ tác động, tức là nếu ngõ vào có độ ưu tiên cao hơn bằng 1 trong khi những ngõ vào có độ ưu tiên thấp hơn nếu bằng 1 thì mạch sẽ tạo ra từ mã nhị phân ứng với ngõ vào có mức độ ưu tiên cao nhất.

Xét mạch mã hoá ưu tiên $4 \rightarrow 2$ (4 ngõ vào, 2 ngõ ra) (hình 4.9).



Hình 4.9

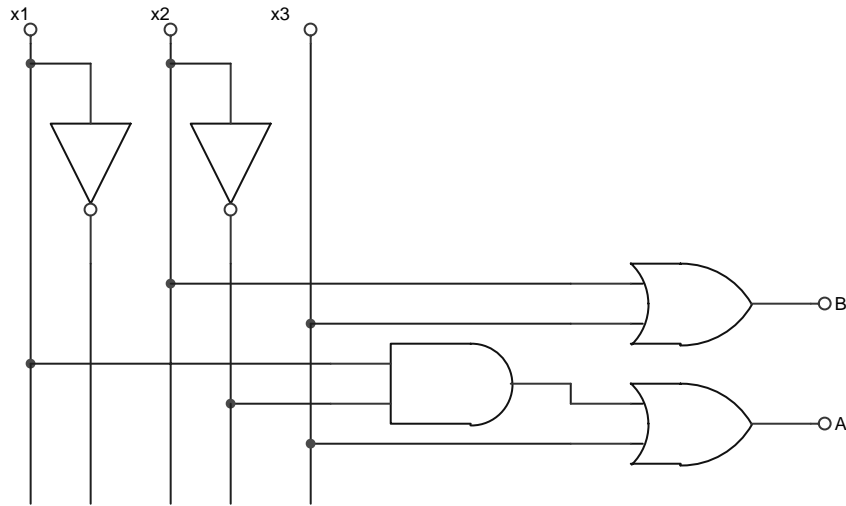
Bảng trạng thái mô tả hoạt động của mạch

x_0	x_1	x_2	x_3	B	A
1	0	0	0	0	0
x	1	0	0	0	1
x	x	1	0	1	0
x	x	x	1	1	1

Phương trình tối giản :

$$A = x_1 \cdot \overline{x_2} \cdot \overline{x_3} + x_3 = x_1 \cdot \overline{x_2} + x_3$$

$$B = x_2 \cdot \overline{x_3} + x_3 = x_2 + x_3$$



Hình 4.10 Sơ đồ logic mạch mã hóa ưu tiên từ 4 sang 2

Sơ đồ logic: hình 4.10.

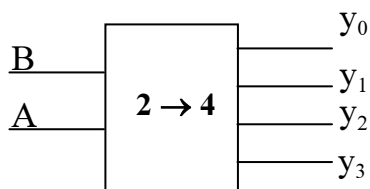
Một số vi mạch mã hóa thông dụng: 74LS147, 74LS148.

4.2.3. Mạch giải mã (Decoder)

4.2.3.1. Mạch giải mã nhị phân

Xét mạch giải mã nhị phân 2→4 (2 ngõ vào, 4 ngõ ra) như trên hình vẽ 4.11.

Chọn mức tích cực ở ngõ ra là mức logic 1.



Hình 4.11 Mạch giải mã 2 sang 4

Bảng trạng thái mô tả hoạt động của mạch

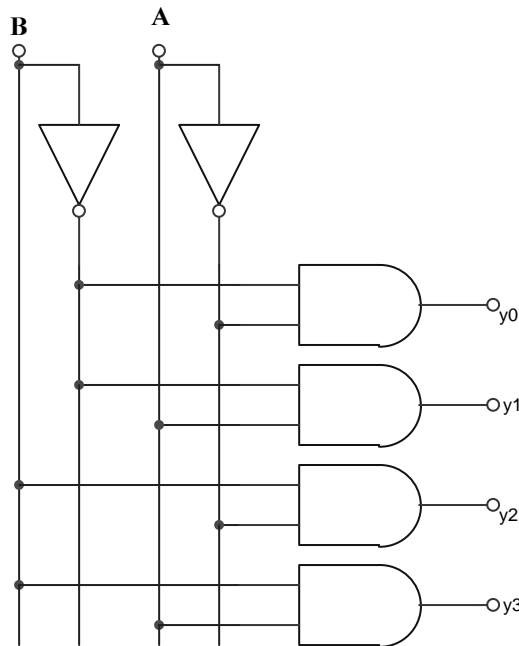
B	A	y ₀	y ₁	y ₂	y ₃
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Phương trình logic tối giản :

$$y_0 = \overline{B} \cdot \overline{A} \quad y_1 = \overline{B} \cdot A$$

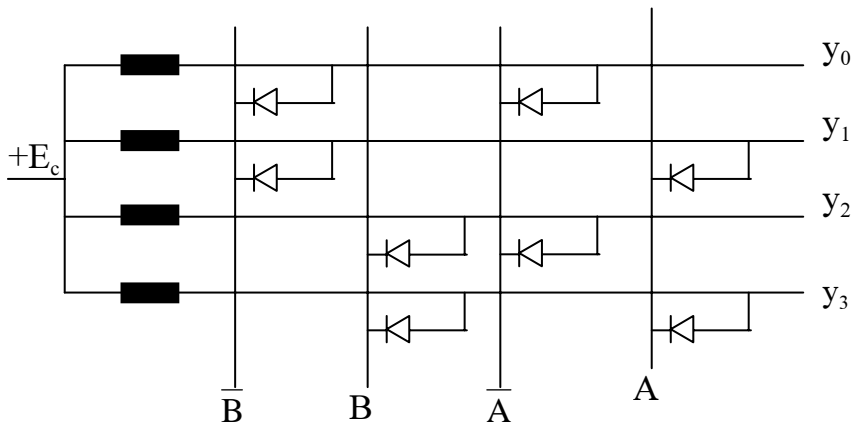
$$y_2 = B \cdot \overline{A} \quad y_3 = A \cdot B$$

Sơ đồ logic: hình 4.12.



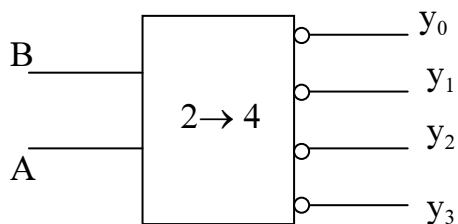
Hình 4.12 Sơ đồ logic mạch giải mã từ 2 sang 4

Biểu diễn bằng cổng logic dùng Diode.



Hình 4.13. Mạch giải mã hóa từ 2 sang 4 dùng diode

Trường hợp chọn mức tích cực ở ngõ ra là mức logic 0 (mức logic thấp L): hình 4.14.



Hình 4.14. Mức tích cực ngõ ra là mức logic thấp

Bảng trạng thái mô tả hoạt động của mạch

B	A	y ₀	y ₁	y ₂	y ₃
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Phương trình logic:

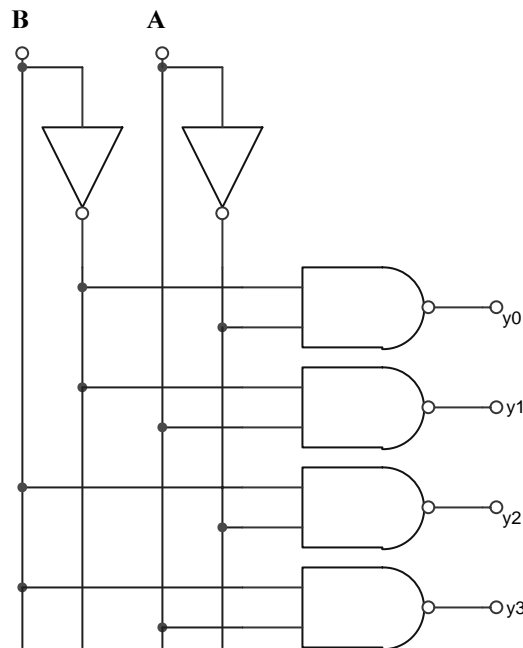
$$y_0 = B + A = \overline{\overline{B.A}}$$

$$y_1 = B + \overline{A} = \overline{\overline{B.A}}$$

$$y_2 = \overline{B} + A = \overline{\overline{\overline{B}.A}}$$

$$y_3 = \overline{B} + \overline{A} = \overline{\overline{\overline{B}.A}}$$

Sơ đồ logic:



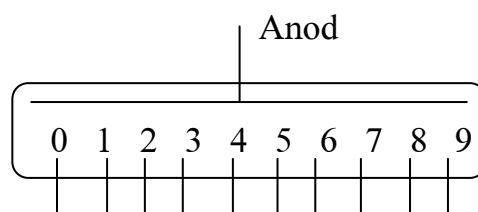
Hình 4.15. Mạch giải mã 2 → 4 với ngõ ra mức tích cực thấp

4.2.3.2. Mạch giải mã thập phân

a. Giải mã đèn NIXIE

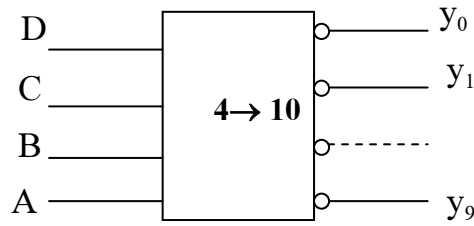
Đèn NIXIE là loại đèn điện tử loại Katod lạnh (Katod không được nung nóng bởi tim đèn), có cấu tạo gồm một Anod và 10 Katod mang hình các số từ 0 → 9.

Sơ đồ khai triển của đèn được cho trên hình 4.16:



Hình 4.16. Sơ đồ khai triển của đèn NIXIE

Sơ đồ khối của mạch giải mã đèn NIXIE



Hình 4.17. Sơ đồ khối mạch giải mã đèn NIXIE

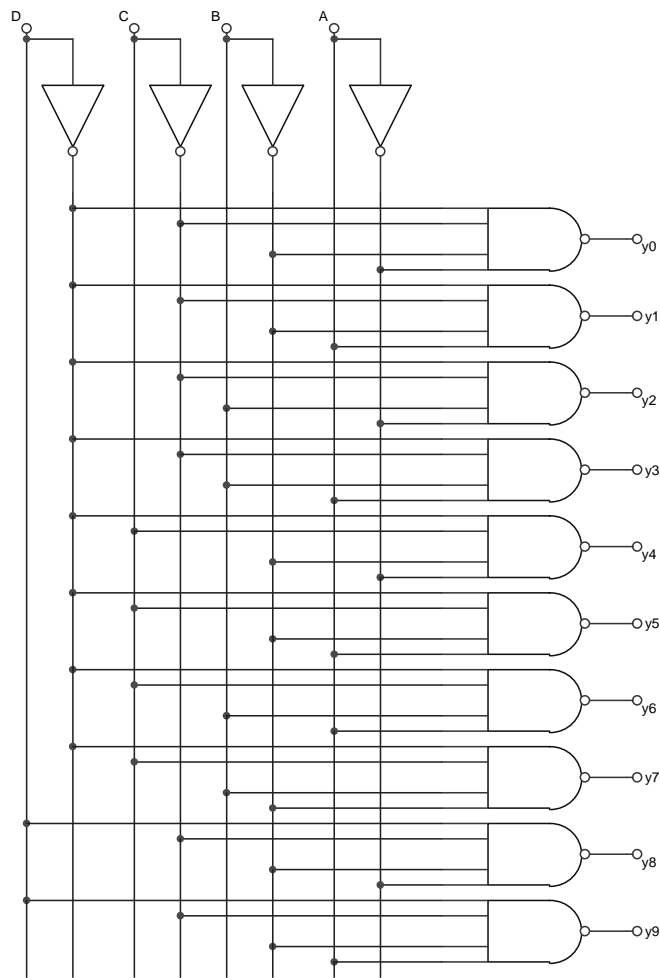
Chọn mức tích cực ở ngõ ra là mức logic 1, lúc đó bảng trạng thái hoạt động của mạch như sau:

D	C	B	A	y ₀	y ₁	y ₂	y ₃	y ₄	y ₅	y ₆	y ₇	y ₈	y ₉
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

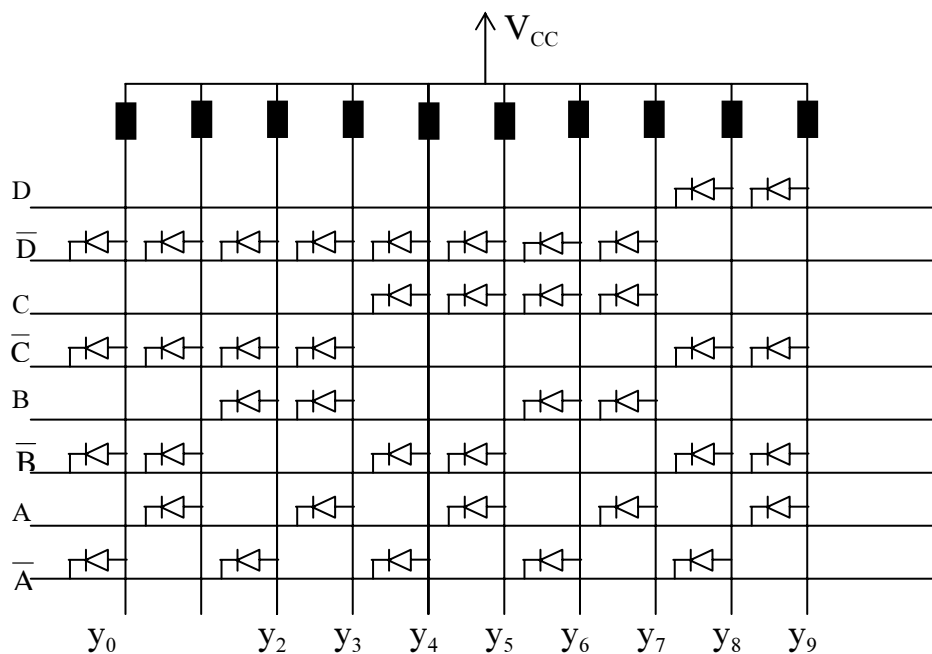
Phương trình logic:

$$\begin{aligned}
 y_0 &= \overline{D}\overline{C}\overline{B}\overline{A} & y_1 &= \overline{D}\overline{C}B\overline{A} & y_2 &= \overline{D}C\overline{B}\overline{A} & y_3 &= \overline{D}CB\overline{A} \\
 y_4 &= \overline{D}C\overline{B}A & y_5 &= \overline{D}CB\overline{A} & y_6 &= \overline{D}CBA & y_7 &= \overline{D}CBA \\
 y_8 &= \overline{D}CBA & y_9 &= DCBA
 \end{aligned}$$

Sơ đồ thực hiện mạch giải mã đèn NIXIE được cho trên hình 4.18 và 4.19:



Hình 4.18. Sơ đồ thực hiện bằng công logic

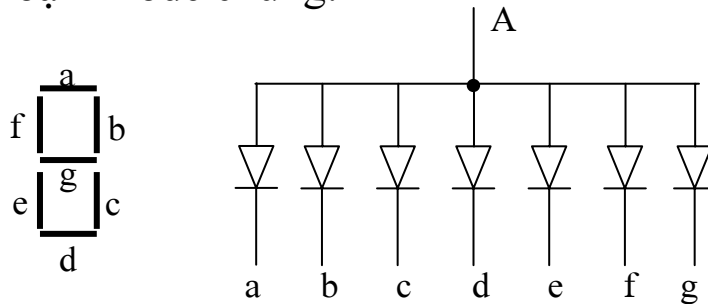


Hình 4.19. Sơ đồ thực hiện bằng diode

b. Giải mã đèn LED 7 đoạn

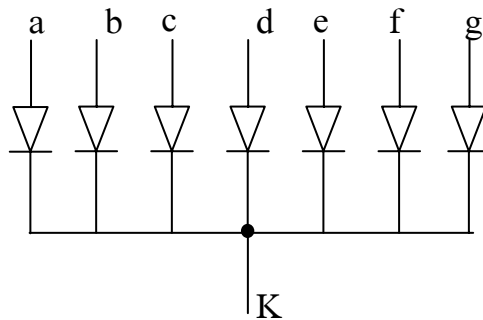
Đèn LED 7 đoạn, mỗi đoạn là 1 đèn LED. Tùy theo cách nối các Kathode hoặc các Anode của các LED trong đèn, mà người ta phân thành hai loại:

LED 7 đoạn loại Anode chung:



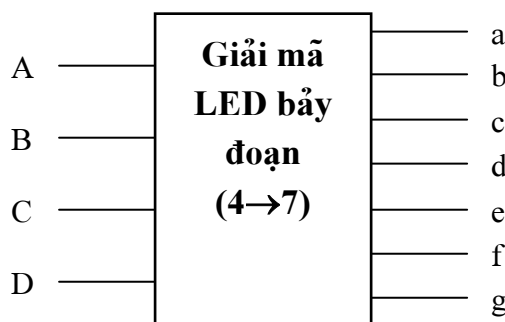
Hình 4.20. LED bảy đoạn loại Anode chung

LED 7 đoạn loại Kathode chung :



Hình 4.21. LED bảy đoạn loại Kathode chung

Ứng với mỗi loại LED khác nhau ta có một mạch giải mã riêng. Sơ đồ khối của mạch giải mã LED 7 đoạn như sau:



Hình 4.22. Sơ đồ khối mạch giải mã LED bảy đoạn

Xét đèn LED 7 đoạn loại Anode chung:

Đối với LED bảy đoạn loại anode chung, vì các anode của các đoạn led được nối chung với nhau và đưa lên mức logic 1 (5V), nên muốn đoạn led nào tắt ta nối kathode tương ứng lên mức logic 1 (5V) và ngược lại muốn đoạn led nào sáng ta nối kathode tương ứng xuống mass (mức logic 0).

Ví dụ: Để hiển thị số 0 ta nối kathode của đèn g lên mức logic 1 để đèn g tắt, và nối các kathode của đèn a, b, c, d, e, f xuống mass nên ta thấy số 0.

Lúc đó bảng trạng thái mô tả hoạt động của mạch giải mã LED bảy đoạn loại Anode chung như sau:

D	B	C	A	a	b	c	d	e	f	g	Số hiển thị
0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	0	1	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0	2
0	0	1	1	0	0	0	0	1	1	0	3
0	1	0	0	1	0	0	1	1	0	0	4
0	1	0	1	0	1	0	0	1	0	0	5
0	1	1	0	0	1	0	0	0	0	0	6
0	1	1	1	0	0	0	1	1	1	1	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	0	0	0	1	0	0	9
1	0	1	0	X	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X	X

Dùng bảng Karnaugh để tối thiểu hóa mạch trên. Phương trình tối thiểu hóa có thể viết ở dạng chính tắc 1 (tổng của các tích số) hoặc dạng chính tắc 2 (tích của các tổng số):

Phương trình logic của ngõ ra a:

Dạng chính tắc 2:

$$a = \overline{B}.D.(C + \overline{A})(C + A) = \overline{B}CDA + \overline{B}DC\overline{A}$$

Dạng chính tắc 1:

$$a = \overline{CBA} + \overline{DCBA}$$

Lưu ý: Trên bảng Karnaugh chúng ta đã thực hiện tối thiểu hóa theo dạng chính tắc 2.

a

DC	00	01	11	10	
BA	00	0	1	x	0
01	1	0	x	0	
11	0	0	x	x	
10	0	0	x	x	

Phương trình logic của ngõ ra b:

Dạng chính tắc 2:

$$b = .C(A + B)(\overline{A} + \overline{B}) = C(\overline{A}B + \overline{A}\overline{B}) = C(A \oplus B)$$

Dạng chính tắc 1:

$$b = \overline{CBA} + CBA = C(A \oplus B)$$

b

DC	00	01	11	10	
BA	00	0	0	x	0
01	0	1	x	0	
11	0	0	x	x	
10	0	1	x	x	

Phương trình logic của ngõ ra c:

Dạng chính tắc 2:

$$c = \overline{BAC}$$

Dạng chính tắc 1:

$$c = \overline{DCBA}$$

c

DC	00	01	11	10	
BA	00	0	0	x	0
01	0	0	x	0	
11	0	0	x	x	
10	1	0	x	x	

Phương trình logic của ngõ ra d:

Dạng chính tắc 2:

$$d = \overline{D}(\overline{A} + B + \overline{C})(\overline{B} + C + D)(A + \overline{B})(A + C) = \overline{A}BCD + ABCD + \overline{A}BCD$$

Dạng chính tắc 1:

$$d = \overline{CBA} + \overline{DCBA} + CBA$$

d

DC	00	01	11	10	
BA	00	0	1	x	0
01	1	0	x	0	
11	0	1	x	x	
10	0	0	x	x	

Phương trình logic của ngõ ra e:

Dạng chính tắc 2:

$$e = .(\bar{B} + A)(C + A)$$

Dạng chính tắc 1:

$$e = C\bar{B} + A$$

e	DC	00	01	11	10
	BA				
00		0	1	x	0
01		1	1	x	1
11		1	1	x	x
10		0	0	x	x

Phương trình logic của ngõ ra f:

Dạng chính tắc 2:

$$f = (A + B)(B + \bar{C})(A + \bar{B} + \bar{C})\bar{D}$$

$$= ABD + ACD + BCD$$

Dạng chính tắc 1:

$$f = BA + \bar{D}CA + \bar{D}CB$$

f	DC	00	01	11	10
	BA				
00		0	0	x	0
01		1	0	x	0
11		1	1	x	x
10		1	0	x	x

Phương trình logic của ngõ ra g:

Dạng chính tắc 2:

$$g = \bar{D}(A + \bar{B})(\bar{C} + B)(\bar{B} + C)$$

$$= \bar{B}CD + \bar{D}CBA$$

Dạng chính tắc 1:

$$g = \bar{D}CBA + \bar{D}CB$$

g	DC	00	01	11	10
	BA				
00		1	0	x	0
01		1	0	x	0
11		0	1	x	x
10		0	0	x	x

Xét mạch giải mã đèn led 7 đoạn loại Kathode chung:

Chọn mức tích cực ở ngõ ra là mức logic 1. Vì Kathode của các đoạn led được nối chung và được nối xuống mức logic 0 (0V-mass) nên muốn đoạn led nào tắt ta đưa Anode tương ứng xuống mức logic 0 (0V-mass).

Ví dụ: Để hiển thị số 0 ta nối Anode của đoạn led g xuống mức logic 0 để đoạn g tắt, đồng thời các kathode của đoạn a, b, c, d, e, f được nối lên nguồn nên các đoạn này sẽ sáng do đó ta thấy số 0.

Lúc đó bảng trạng thái mô tả hoạt động của mạch như sau:

D	B	C	A	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X

Tương tự như trường hợp trên, ta cũng dùng bảng Karnaugh để tối thiểu hóa hàm mạch và đi tìm phương trình logic tối giản các ngõ ra của các đoạn led: (Lưu ý trong những sơ đồ Karnaugh sau ta thực hiện tối thiểu hóa theo chính tắc 1)

Phương trình logic của ngõ ra a:

Dạng chính tắc 1:

$$a = D + B + \overline{AC} + AC$$

Dạng chính tắc 2:

$$a = (\overline{A} + B + C + D)(A + B + \overline{C})$$

$$= AD + B + AC + \overline{AC}$$

		a			
		DC			
BA		00	01	11	10
	00	1	0	x	1
	01	0	1	x	1
	11	1	1	x	x
	10	1	1	x	x

Phương trình logic của ngõ ra b:

Dạng chính tắc 1:

$$b = \bar{C} + BA + \bar{B}\bar{A} = \bar{C} + A \oplus B$$

Dạng chính tắc 2:

$$b = (\bar{C} + B + \bar{A})(\bar{C} + \bar{B} + A) \\ = \bar{C} + AB + \bar{A}\bar{B} = \bar{C} + A \oplus B$$

b	DC	00	01	11	10
	BA				
	00	1	1	x	1
	01	1	0	x	1
	11	1	1	x	x
	10	1	0	x	x

Phương trình logic của ngõ ra c:

Dạng chính tắc 1:

$$c = \bar{B} + A + C$$

Dạng chính tắc 2:

$$c = C + \bar{B} + A$$

c	DC	00	01	11	10
	BA				
	00	1	1	x	1
	01	1	1	x	1
	11	1	1	x	x
	10	0	1	x	x

Phương trình logic của ngõ ra d:

Dạng chính tắc 1:

$$d = D + B\bar{A} + \bar{C}\bar{A} + B\bar{C} + A\bar{B}C$$

Dạng chính tắc 2:

$$d = (A + B + \bar{C})(\bar{A} + \bar{B} + \bar{C})(\bar{A} + B + C + D) \\ = (\bar{C} + A\bar{B} + \bar{A}B)(\bar{A} + B + C + D) \\ = (C + A \oplus B)(\bar{A} + B + C + D)$$

d	DC	00	01	11	10
	BA				
	00	1	0	x	1
	01	0	1	x	1
	11	1	0	x	x
	10	1	1	x	x

Phương trình logic của ngõ ra e:

Dạng chính tắc 1:

$$e = \bar{A}.B + \bar{C}\bar{A}$$

Dạng chính tắc 2:

$$e = \bar{A}(\bar{C} + B) = \bar{A}\bar{C} + \bar{A}.B$$

e	DC	00	01	11	10
	BA				
	00	1	0	x	1
	01	0	0	x	0
	11	0	0	x	x
	10	1	1	x	x

Phương trình logic của ngõ ra f:

Dạng chính tắc 1:

$$f = D + C\bar{B} + \bar{B}\bar{A} + C\bar{A}$$

Dạng chính tắc 2:

$$\begin{aligned} f &= (\bar{B} + \bar{A})(D + C + \bar{A})(C + \bar{B}) \\ &= D + \bar{B}C + \bar{A}C + \bar{A}\bar{B} \end{aligned}$$

f	DC	00	01	11	10
	BA				
	00	1	1	x	1
	01	0	1	x	1
	11	0	0	x	x
	10	0	1	x	x

Phương trình logic của ngõ ra g:

Dạng chính tắc 1:

$$g = D + C\bar{B} + B\bar{A} + B\bar{C}$$

Dạng chính tắc 2:

$$g = (\bar{C} + \bar{B} + \bar{A})(B + C + D)$$

g	DC	00	01	11	10
	BA				
	00	0	1	x	1
	01	0	1	x	1
	11	1	0	x	x
	10	1	1	x	x

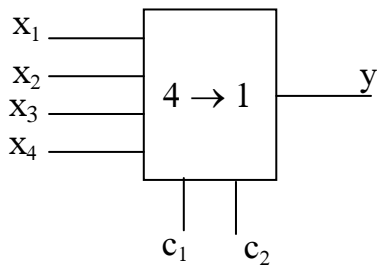
4.3. MẠCH CHỌN KÊNH - PHÂN ĐƯỜNG

4.3.1. Đại cương

Mạch chọn kênh còn gọi là mạch hợp kênh (ghép kênh) là mạch có chức năng chọn lần lượt 1 trong N kênh vào để đưa đến ngõ ra duy nhất (ngõ ra duy nhất đó gọi là đường truyền chung). Do đó, mạch chọn kênh còn gọi là mạch chuyển dữ liệu song song ở ngõ vào thành dữ liệu nối tiếp ở ngõ ra, được gọi là **Multiplex** (viết tắt là **MUX**).

Mạch chọn kênh thực hiện chức năng ở đầu phát còn mạch phân đường thực hiện chức năng ở đầu thu. Mạch phân đường còn gọi là mạch tách kênh (phân kênh, giải đa hợp), mạch này có nhiệm vụ tách N nguồn dữ liệu khác nhau ở cùng một đầu vào để rẽ ra N ngõ ra khác nhau. Do đó, mạch phân đường còn gọi là mạch chuyển dữ liệu nối tiếp ở ngõ vào thành dữ liệu song song ở ngõ ra, được gọi là **Demultiplex** (viết tắt là **DEMUX**).

4.3.2. Mạch chọn kênh



Hình 4.23a. Mạch chọn kênh

Xét mạch chọn kênh đơn giản có 4 ngõ vào và 1 ngõ ra như hình 4.23a.

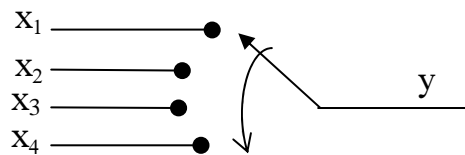
Trong đó:

+ x_1, x_2, x_3, x_4 : Các kênh dữ liệu vào.

+ Ngõ ra y : Đường truyền chung.

+ c_1, c_2 : Các ngõ vào điều khiển

Vậy mạch này giống như 1 chuyển mạch:



Hình 4.23b. Mạch chọn kênh

Để thay đổi lần lượt từ $x_1 \rightarrow x_4$ phải có điều khiển do đó đối với mạch chọn kênh để chọn lần lượt từ 1 trong 4 kênh vào cần có các ngõ vào điều khiển c_1, c_2 . Nếu có N kênh vào thì cần có n ngõ vào điều khiển thỏa mãn quan hệ: $N=2^n$. Nói cách khác: **Số tổ hợp ngõ vào điều khiển bằng số lượng các kênh vào.**

Việc chọn dữ liệu từ 1 trong 4 ngõ vào để đưa đến đường truyền chung là tùy thuộc vào tổ hợp tín hiệu điều khiển tác động đến hai ngõ vào điều khiển c_1, c_2 .

$$+ c_1 = c_2 = 0 \Rightarrow y = x_1 \quad (x_1 \text{ được nối tới ngõ ra } y).$$

$$+ c_1 = 0, c_2 = 1 \Rightarrow y = x_2 \quad (x_2 \text{ được nối tới ngõ ra } y).$$

$$+ c_1 = 1, c_2 = 0 \Rightarrow y = x_3 \quad (x_3 \text{ được nối tới ngõ ra } y).$$

$$+ c_1 = 1, c_2 = 1 \Rightarrow y = x_4 \quad (x_4 \text{ được nối tới ngõ ra } y).$$

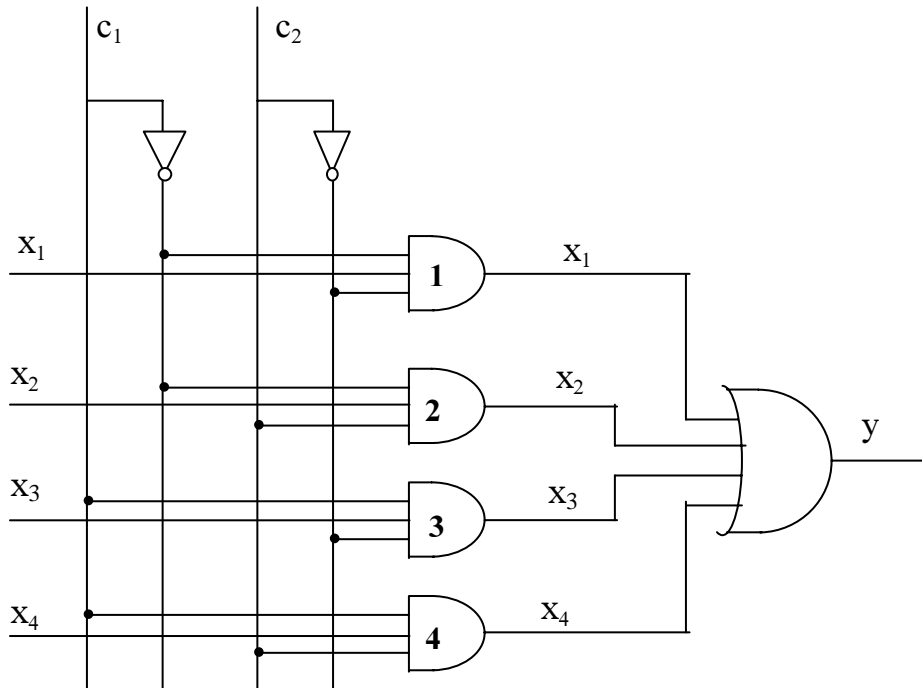
Vậy tín hiệu điều khiển phải liên tục để dữ liệu từ các kênh được liên tục đưa đến ngõ ra. Từ đó ta lập được bảng trạng thái mô tả hoạt động của mạch chọn kênh.

c_1	c_2	y
0	0	x_1
0	1	x_2
1	0	x_3
1	1	x_4

Phương trình logic mô tả hoạt động của mạch :

$$y = \overline{c_1} \overline{c_2} .x_1 + \overline{c_1} c_2 .x_2 + c_1 \overline{c_2} .x_3 + c_1 .c_2 .x_4$$

Sơ đồ logic của mạch:



Hình 4.24. Sơ đồ logic mạch chọn kênh từ 4→1

Giải thích hoạt động của mạch:

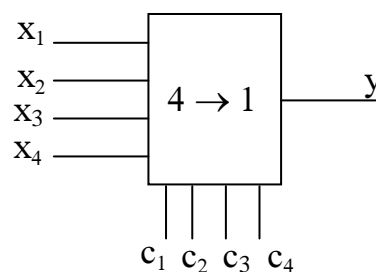
+ $c_1 = c_2 = 0 \Rightarrow \overline{c_1} = \overline{c_2} = 1 \Rightarrow$ cổng AND 1 có hai ngõ vào điều khiển ở mức logic 1, cũng tương ứng với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND 1 mở cho dữ liệu x_1 đưa vào.

+ $c_1 = 0, c_2 = 1 \Rightarrow \overline{c_1} = 1, c_2 = 0 \Rightarrow$ cổng AND 2 có hai ngõ vào điều khiển ở mức logic 1, cũng tương ứng với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND 2 mở cho dữ liệu x_2 đưa vào.

+ $c_1 = 1, c_2 = 0 \Rightarrow c_1 = 1, \overline{c_2} = 1 \Rightarrow$ cổng AND 3 có hai ngõ vào điều khiển ở mức logic 1, cũng tương ứng với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND 3 mở cho dữ liệu x_3 đưa vào.

+ $c_1 = 1, c_2 = 1 \Rightarrow c_1 = c_2 = 1 \Rightarrow$ cổng AND 4 có hai ngõ vào điều khiển ở mức logic 1, cũng tương ứng với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND 4 mở cho dữ liệu x_4 đưa vào.

Bây giờ, xét mạch chọn kênh có 4 ngõ vào và 1 ngõ ra, nhưng lại có 4 ngõ điều khiển. Lúc này, ta không dựa vào tổ hợp tín hiệu tác động lên ngõ vào điều khiển, mà chỉ xét đến mức tích cực ở ngõ vào điều khiển. Ta sẽ chọn một trong hai mức logic 1 hoặc mức logic 0 làm mức tích cực, nếu 1 ngõ vào trong số 4 ngõ vào điều khiển tồn tại mức logic tích cực (mức 1 hoặc mức 0) thì kênh dữ liệu vào có cùng chỉ số với ngõ vào điều khiển đó sẽ được kết nối với ngõ ra. Trên hình 4.25 biểu diễn mạch chọn kênh với số lượng ngõ vào điều khiển bằng số lượng kênh vào.



Hình 4.25. Mạch chọn kênh với số lượng ngõ vào điều khiển bằng số kênh vào

Nếu chọn mức tích cực của các ngõ vào điều khiển là mức logic 1, ta có bảng trạng thái mô tả hoạt động của mạch như sau:

c_1	c_2	c_3	c_4	y
1	0	0	0	x_1
0	1	0	0	x_2
0	0	1	0	x_3
0	0	0	1	x_4

Phương trình logic:

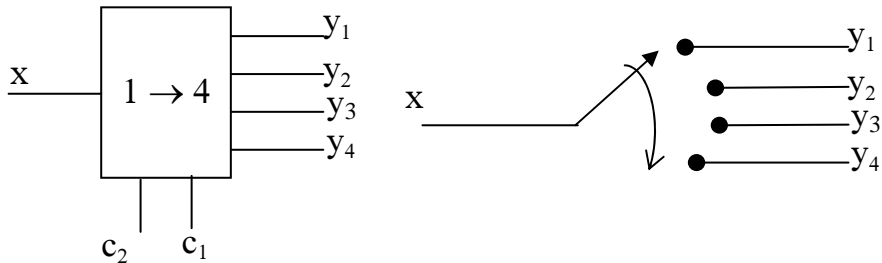
$$y = c_1 \cdot x_1 + c_2 \cdot x_2 + c_3 \cdot x_3 + c_4 \cdot x_4$$

Ý nghĩa trong thực tế của mạch:

- + c_1, c_2, c_3, c_4 : Có thể hiểu là các địa chỉ (nguồn và đích).
- + x_1, x_2, x_3, x_4 : Thông tin cần truyền đi.

4.3.3. Mạch phân đường

Xét mạch phân đường đơn giản có 1 ngõ vào và 4 ngõ ra ký hiệu như sau :



Hình 4.26. Mạch phân đường đơn giản từ 1 → 4

Trong đó:

- + x là kênh dữ liệu vào.
- + y_1, y_2, y_3, y_4 các ngõ ra dữ liệu.
- + c_1, c_2 các ngõ vào điều khiển.

Ta có thể thấy mạch này thực hiện chức năng như 1 chuyển mạch (hình vẽ 4.26).

Tùy thuộc vào tổ hợp tín hiệu điều khiển tác dụng vào mạch mà lần lượt tín hiệu từ ngõ vào x sẽ chuyển đến ngõ ra y_1, y_2, y_3, y_4 một cách tương ứng.

Lúc đó bảng trạng thái mô tả hoạt động của mạch :

c_1	c_2	y_1	y_2	y_3	y_4
0	0	x	0	0	0
0	1	0	x	0	0
1	0	0	0	x	0
1	1	0	0	0	x

Phương trình logic các ngõ ra:

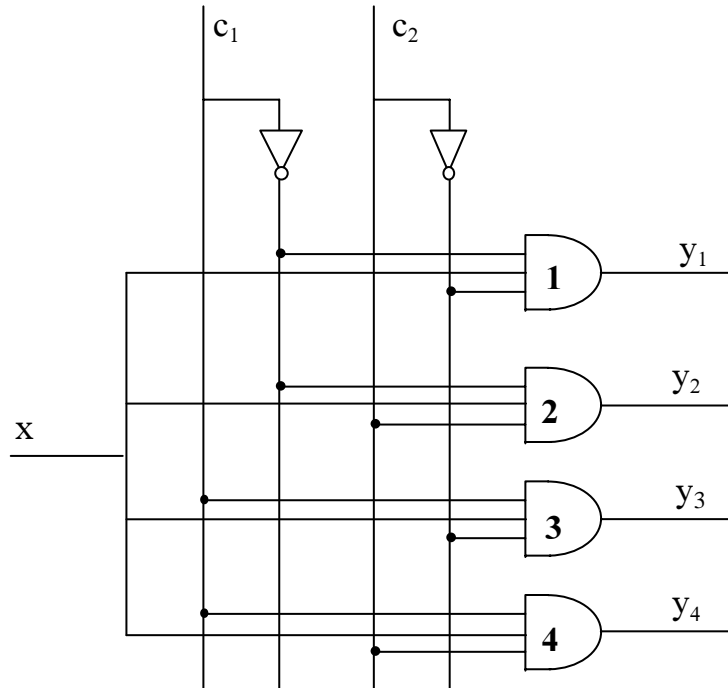
$$y_1 = \overline{c_1} \overline{c_2} .x$$

$$y_2 = \overline{c_1} c_2 .x$$

$$y_3 = c_1 \overline{c_2} .x$$

$$y_4 = c_1 c_2 .x$$

Sơ đồ logic được cho trên hình 4.27:



Hình 4.27. Sơ đồ logic thực hiện mạch phân đường

Giải thích hoạt động:

+ $c_1 = c_2 = 0 \rightarrow \overline{c_1} = \overline{c_2} = 1$ nên cổng AND (1) có hai ngõ vào điều khiển ở mức logic 1, tương đương với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND (1) mở đưa dữ liệu từ ngõ vào x đến ngõ ra y_1 . Đồng thời lúc đó các cổng AND 2, 3, 4 có ít nhất một ngõ vào điều khiển ở mức logic 0 nên không cho dữ liệu từ đầu vào x đến các ngõ ra.

+ $c_1 = 0, c_2 = 1 \rightarrow \overline{c_1} = 1, c_2 = 1$ nên cổng AND (2) có hai ngõ vào điều khiển ở mức logic 1, tương đương với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND (2) mở đưa dữ liệu từ ngõ vào x đến ngõ ra y_2 .

+ $c_1 = 1, c_2 = 0 \rightarrow c_1 = 1, \overline{c_2} = 1$ nên cổng AND (3) có hai ngõ vào điều khiển ở mức logic 1, tương đương với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND (3) mở đưa dữ liệu từ ngõ vào x đến ngõ ra y_3 .

+ $c_1 = c_2 = 1 \rightarrow \overline{c_1} = \overline{c_2} = 1$ nên cổng AND (4) có hai ngõ vào điều khiển ở mức logic 1, tương đương với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND (4) mở đưa dữ liệu từ ngõ vào x đến ngõ ra y_4 .

Nếu $x = 1$ và hoán đổi ngõ vào điều khiển thành ngõ vào dữ liệu thì mạch phân đường chuyển thành mạch giải mã nhị phân. Vì vậy, nhà

sản xuất đã chế tạo IC đảm bảo cả hai chức năng: giải mã và giải đa hợp (Decode/Demultilex). Ví dụ: các IC 74138, 74139, 74154: giải mã và phân đường tùy thuộc vào cách nối chân.

Trong trường hợp tổng quát, mạch phân đường có 1 ngõ vào và 2^n ngõ ra: để tách $N=2^n$ nguồn dữ liệu khác nhau cần có n ngõ vào điều khiển, lúc đó số tổ hợp ngõ vào điều khiển bằng số lượng ngõ ra.

Tuy nhiên trong thực tế, ta còn gặp mạch phân đường có số lượng ngõ vào điều khiển bằng số ngõ ra (hình 4.28). Lúc đó chỉ xét đến mức tích cực ở ngõ vào điều khiển, người ta chọn một trong hai mức logic 1 hoặc mức logic 0 làm mức tích cực. **Giả sử chọn mức logic 1 là mức tích cực:** nếu 1 ngõ vào trong số 4 ngõ vào điều khiển tồn tại mức logic 1 (mức tích cực), thì ngõ ra dữ liệu tương ứng có cùng chỉ số với ngõ vào điều khiển đó sẽ được nối với ngõ vào dữ liệu chung x.

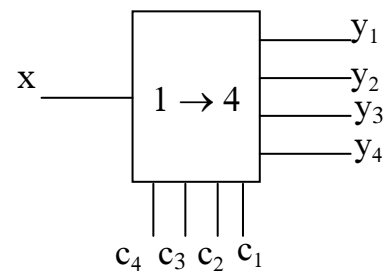
Ví dụ:

$$c_1 = 1 \rightarrow x = y_1$$

$$c_2 = 1 \rightarrow x = y_2$$

$$c_3 = 1 \rightarrow x = y_3$$

$$c_4 = 1 \rightarrow x = y_4$$



Hình 4.28

Lúc đó bảng trạng thái hoạt động của mạch:

c_1	c_2	c_3	c_4	y_1	y_2	y_3	y_4
1	0	0	0	X	0	0	0
0	1	0	0	0	X	0	0
0	0	1	0	0	0	X	0
0	0	0	1	0	0	0	X

Phương trình logic và sơ đồ logic được cho trên hình 4.29:

$$y_1 = c_1 x \quad y_2 = c_2 x$$

$$y_3 = c_3 x \quad y_4 = c_4 x$$

Giải thích hoạt động của mạch:

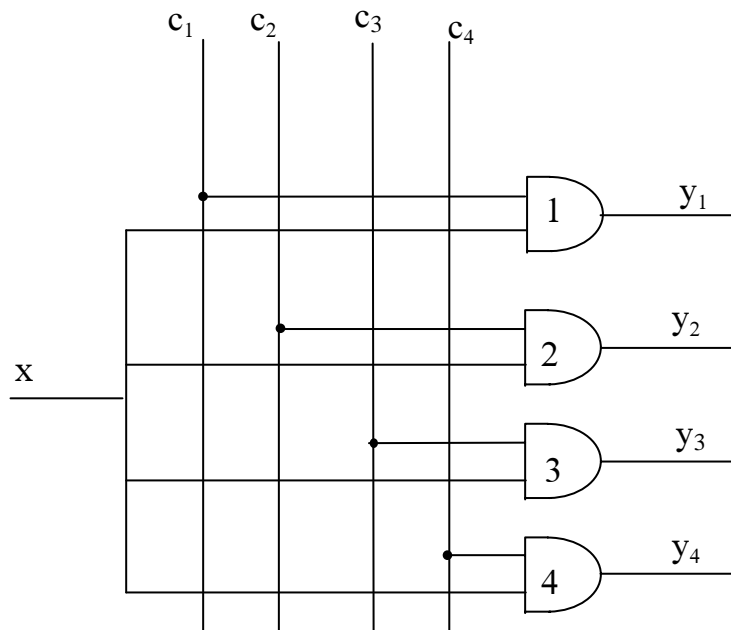
+ Khi $c_1=1, c_2=c_3=c_4=0$ chỉ có cổng AND(1) thông cho dữ liệu từ x nối đến đầu ra y_1 .

+ Khi $c_2=1, c_1=c_3=c_4=0$ chỉ có cổng AND(2) thông cho dữ liệu từ x nối đến đầu ra y_2 .

+ Khi $c_3=1, c_2=c_1=c_4=0$ chỉ có cổng AND(3) thông cho dữ liệu từ x nối đến đầu ra y_3 .

+ Khi $c_4=1, c_2=c_3=c_1=0$ chỉ có cổng AND(4) thông cho dữ liệu từ x nối đến đầu ra y_4 .

Vì mạch chọn kênh được thực hiện ở đầu phát và mạch phân đường được thực hiện ở đầu thu nên để đảm bảo dữ liệu được chuyển đúng kênh thì mạch chọn kênh và mạch phân đường phải đồng bộ với nhau.



Hình 4.29. Mạch phân đường với số ngõ vào điều khiển bằng số ngõ ra

4.4. MẠCH SO SÁNH

4.4.1. Đại cương

- Mạch so sánh dùng để so sánh các số nhị phân về mặt độ lớn.
Ví dụ: So sánh a và b: $a = 0, b = 1 \Rightarrow a < b$.
- Có hai mạch so sánh:
 - + So sánh hai số nhị phân 1 bit.
 - + So sánh hai số nhị phân nhiều bit.

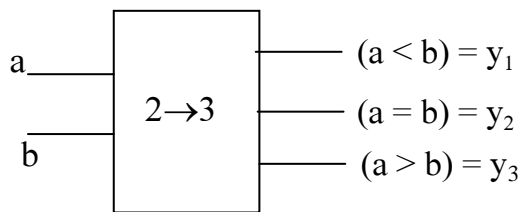
4.4.2. Mạch so sánh 1 bit

Là mạch thực hiện chức năng so sánh hai số nhị phân 1 bit.

Xét hai số nhị phân 1 bit a và b. Có các trường hợp sau đây:

- + $a = 0, b = 0 \Rightarrow a = b.$
- + $a = 1, b = 1 \Rightarrow a = b.$
- + $a = 0, b = 1 \Rightarrow a < b.$
- + $a = 1, b = 0 \Rightarrow a > b.$

Về phương diện mạch điện, mạch so sánh 1 bit có 2 ngõ vào và 3 ngõ ra. Các ngõ vào a, b là các bit cần so sánh; các ngõ ra thể hiện kết quả so sánh: y_1 ($a < b$), y_2 ($a = b$) và y_3 ($a > b$). Sơ đồ khối mạch so sánh trên hình 4.30.



Hình 4.30. Mạch so sánh 1 bit

Bảng trạng thái của mạch:

a	b	y_1	y_2	y_3
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

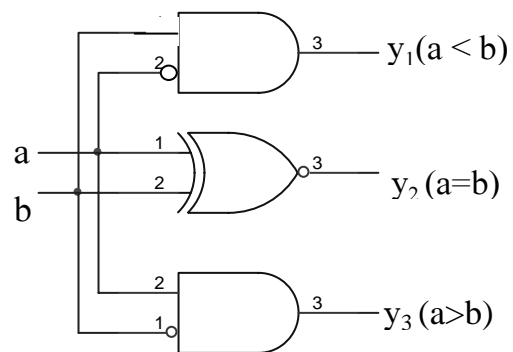
Chọn mức tích cực ở ngõ ra là mức logic 1. Ta lập được bảng trạng thái mô tả hoạt động của mạch.

Từ bảng trạng thái, ta có phương trình logic:

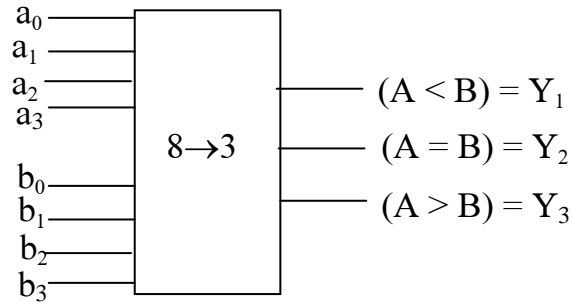
$$y_1 = \bar{a} \cdot b$$

$$y_2 = \bar{a} \cdot \bar{b} + a \cdot b = \overline{a \oplus b}$$

$$y_3 = a \cdot \bar{b}$$



Hình 4.31. Sơ đồ mạch so sánh 1 bit



Hình 4.32. Sơ đồ khối mạch so sánh nhiều bit

4.4.3. Mạch so sánh nhiều bit

Mạch có 8 ngõ vào và 3 ngõ ra, thực hiện so sánh 2 số nhị phân 4 bit A ($a_3a_2a_1a_0$) và B ($b_3b_2b_1b_0$). Có hai phương pháp thực hiện mạch so sánh nhiều bit:

- Thực hiện trực tiếp.
- Thực hiện mạch so sánh nhiều bit trên cơ sở mạch so sánh 1 bit.

Chúng ta lần lượt xét từng phương pháp.

4.4.3.1. Phương pháp trực tiếp

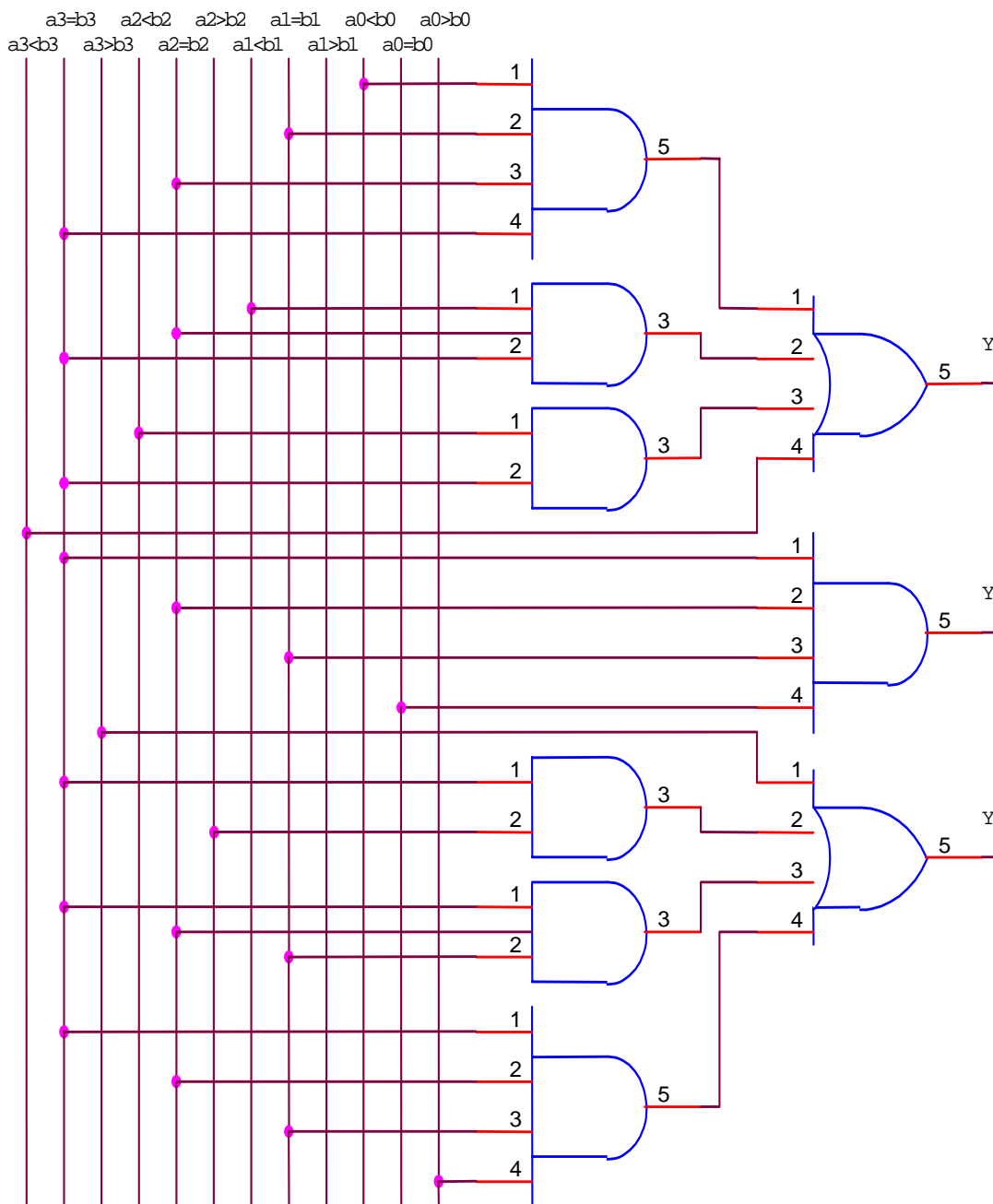
Ta có bảng trạng thái hoạt động của mạch

INPUT				OUTPUT		
a_3 và b_3	a_2 và b_2	a_1 và b_1	a_0 và b_0	A < B	A = B	A > B
<	x	x	X	1	0	0
>	x	x	X	0	0	1
=	<	x	X	1	0	0
=	>	x	X	0	0	1
=	=	<	X	1	0	0
=	=	>	x	0	0	1
=	=	=	<	1	0	0
=	=	=	>	0	0	1
=	=	=	=	0	1	0

Phương trình logic của mạch:

$$\begin{aligned}
 Y_1 &= (A < B) \\
 &= (a_3 < b_3) + (a_3 = b_3)(a_2 < b_2) + (a_3 = b_3)(a_2 = b_2)(a_1 < b_1) \\
 &\quad + (a_3 = b_3)(a_2 = b_2)(a_1 = b_1)(a_0 < b_0) \\
 Y_2 &= (A = B) \\
 &= (a_3 = b_3)(a_2 = b_2)(a_1 = b_1)(a_0 = b_0) \\
 Y_3 &= (A > B) \\
 &= (a_3 > b_3) + (a_3 = b_3)(a_2 > b_2) + (a_3 = b_3)(a_2 = b_2)(a_1 > b_1) \\
 &\quad + (a_3 = b_3)(a_2 = b_2)(a_1 = b_1)(a_0 > b_0).
 \end{aligned}$$

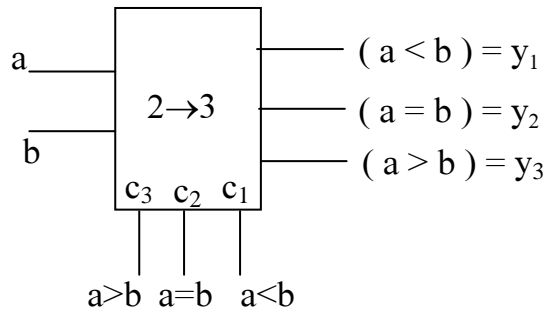
Sơ đồ mạch thực hiện trên hình 4.33.



Hình 4.33. Thực hiện mạch so sánh nhiều bit trực tiếp

4.4.3.2. Phương pháp xây dựng trên cơ sở mạch so sánh 1 bit

Để mạch so sánh hai số nhị phân 1 bit có thể thực hiện công việc xây dựng mạch so sánh hai số nhị phân nhiều bit ta cải tiến lại mạch so sánh 1 bit như sau: ngoài các ngõ vào và ngõ ra giống như mạch so sánh 1 bit ta đã khảo sát ở trên, còn có các ngõ vào điều khiển $a < b$, $a > b$, $a = b$, với sơ đồ mạch như sau :



Hình 4.34. Mạch so sánh 1 bit cải tiến

Bảng trạng thái mô tả hoạt động của mạch so sánh nhị phân 1 bit đầy đủ như sau:

Ngõ vào điều khiển			Ngõ vào DATA		Ngõ ra		
a < b	a = b	a > b	a	b	(a < b)	(a = b)	(a > b)
1	0	0	x	x	1	0	0
0	0	1	x	x	0	0	1
0	1	0	0	0	0	1	0
0	1	0	0	1	1	0	0
0	1	0	1	0	0	0	1
0	1	0	1	1	0	1	0

Phương trình logic:

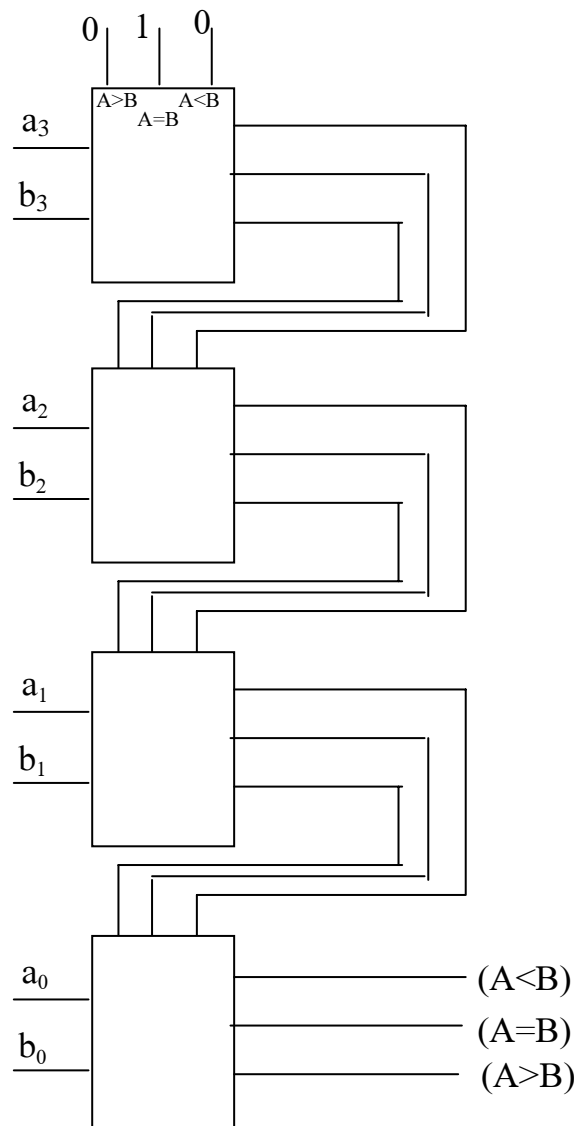
$$y_1 = (a < b) = c_1 + c_2(\overline{a} b).$$

$$y_2 = (a = b) = c_2(a \oplus b).$$

$$y_3 = (a > b) = c_3 + c_2(a \overline{b}).$$

Dựa vào vi mạch so sánh đầy đủ này, người ta thực hiện mạch so sánh hai số nhị phân 4 bit bằng cách sử dụng các vi mạch so sánh 1 bit đầy đủ này giữa a_3 với b_3 , a_2 với b_2 , a_1 với b_1 , a_0 với b_0 với cách nối theo sơ đồ như trên hình 4.35.

Lưu ý đối với mạch trên hình 4.35: mạch có 3 ngõ vào điều khiển ($A > B$), ($A = B$), ($A < B$) nên để mạch làm việc được thì bắt buộc cho ngõ vào điều khiển ($A = B$) = 1 (tức là xem như a_4, a_4 trở về trước bằng nhau, nếu $a_4 > a_4$ thì ngõ ra $A > B$).



Hình 4.35. Mạch so sánh nhiều bit

4.5. MẠCH SỐ HỌC

4.5.1. Đại cương

Mạch số học là mạch có chức năng thực hiện các phép toán số học +, -, x, / các số nhị phân. Đây là cơ sở để xây dựng đơn vị luận lý và số học (ALU) trong μ p (μ icro Processor) hoặc CPU (Centre Processing Unit).

4.5.2. Bộ cộng (Adder)

4.5.2.1. Bộ bán tổng (HA-Half Adder)

Bộ bán tổng thực hiện cộng 2 số nhị phân một bit.

Quy tắc cộng như sau:

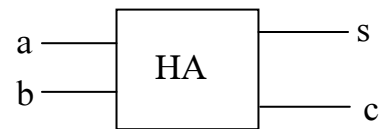
$$0 + 0 = 0 \text{ nhớ } 0$$

$$0 + 1 = 1 \text{ nhớ } 0$$

$$1 + 0 = 1 \text{ nhớ } 0$$

$$1 + 1 = 0 \text{ nhớ } 1$$

$$(a) \quad (b) \quad (s) \quad (c)$$



Hình 4.36. Mạch cộng 1 bit

Trong đó a, b là số cộng, s là tổng, c là số nhớ.

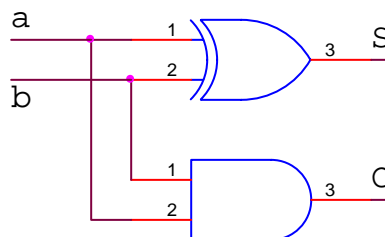
Bảng trạng thái mô tả hoạt động của mạch và phương trình logic:

$$s = a \cdot \bar{b} + \bar{a} \cdot b = a \oplus b$$

$$c = a \cdot b$$

a	b	s	c
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

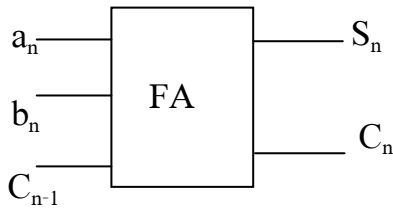
Mạch cộng này chỉ cho phép cộng hai số nhị phân 1 bit mà không thực hiện cộng hai số nhị phân nhiều bit.



Hình 4.37. Sơ đồ mạch cộng bán phần

4.5.2.2. Bộ tổng (Bộ cộng toàn phần - FA: Full Adder)

Về phương diện mạch có sơ đồ khối như sau:



a_n	b_n	C_{n-1}	S_n	C_n
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Hình 4.38. Bộ cộng toàn phần

Trong đó:

- + C_{n-1} : Số nhớ của lần cộng trước đó.
- + C_n : Số nhớ của lần cộng hiện tại.
- + S_n : Tổng hiện tại.

Từ bảng trạng thái mô tả hoạt động của mạch ta viết được phương trình logic:

$$S_n = f(a_n, b_n, C_{n-1})$$

$$C_n = f(a_n, b_n, C_{n-1})$$

Lập bảng Karnaugh và tối thiểu hóa, ta có:

S_n Karnaugh map:

$a_n b_n$	00	01	11	10
C_{n-1} 0	0	1	0	1
C_{n-1} 1	1	0	1	0

C_n Karnaugh map:

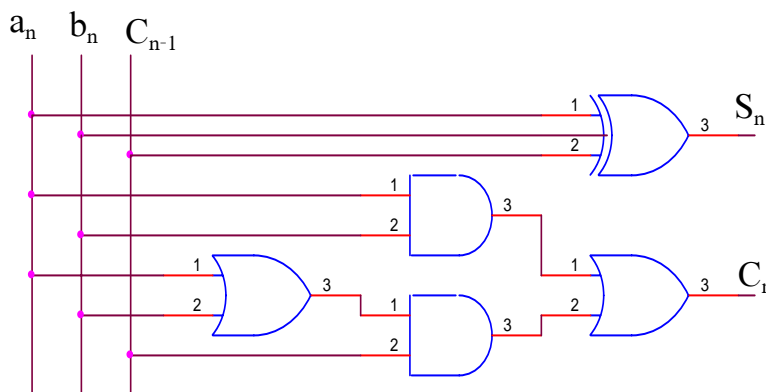
$a_n b_n$	00	01	11	10
C_{n-1} 0	0	0	1	0
C_{n-1} 1	0	1	1	1

$$S_n = \overline{a_n} \overline{b_n} C_{n-1} + \overline{a_n} b_n \overline{C_{n-1}} + a_n \overline{b_n} \overline{C_{n-1}} + a_n b_n C_{n-1}$$

$$S_n = a_n \oplus b_n \oplus C_{n-1}$$

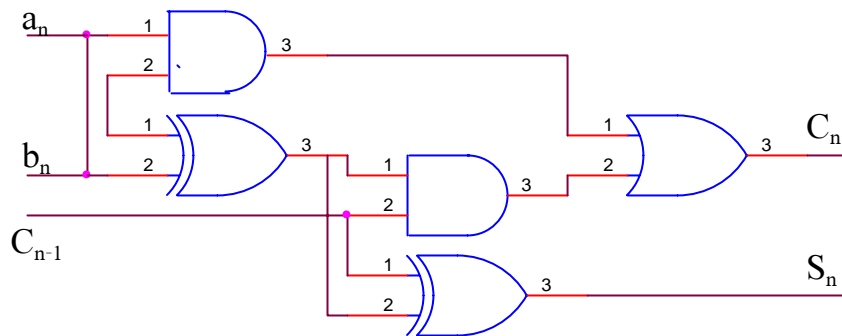
$$C_n = \overline{a_n} C_{n-1} + b_n C_{n-1} + a_n b_n$$

$$C_n = a_n b_n + C_{n-1} (a_n + b_n)$$



Hình 4.39. Mạch cộng toàn phần trực tiếp

Hoặc sử dụng HA để thực hiện FA :



Hình 4.40. Thực hiện mạch cộng toàn phần từ bộ bán tổng

4.5.3. Bộ trừ (Subtractor)

4.5.3.1. Bộ bán trừ (Bộ trừ bán phần - HS: Half subtractor)

Bộ bán trừ thực hiện trừ 2 số nhị phân 1 bit.

Quy tắc trừ như sau:

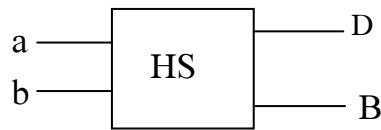
$0 - 0 = 0$ mượn 0

$0 - 1 = 1$ mượn 1

$1 - 0 = 1$ mượn 0

$1 - 1 = 0$ mượn 0

(a) (b) (D) (B)

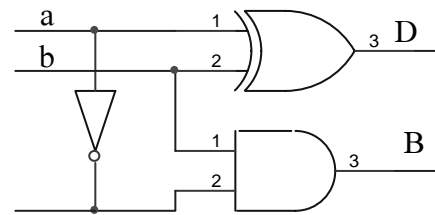


Hình 4.41 Mạch trừ bán phần

Trong đó a là số bị trừ, b là số trừ, D là hiệu, B là số mượn.

Bảng trạng thái mô tả hoạt động :

a	b	D	B
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0



Hình 4.42. Sơ đồ logic

Phương trình logic :

$$D = a \cdot \bar{b} + \bar{a} \cdot b = a \oplus b$$

$$B = \bar{a} \cdot b$$

Mạch trừ này chỉ cho phép trừ hai số nhị phân 1 bit mà không thực hiện việc trừ hai số nhị phân nhiều bit.

4.5.3.2. Bộ trừ toàn phần (FS - Full Subtractor)

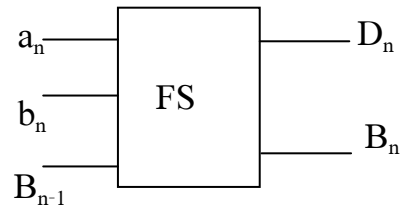
Mạch có sơ đồ khối và bảng trạng thái mô tả hoạt động như sau:

Trong đó: B_{n-1} : Số mượn của lần trừ trước đó.

B_n : Số mượn của lần trừ hiện tại.

D_n : Hiệu số hiện tại.

a_n	b_n	B_{n-1}	D_n	B_n
0	0	0	0	0
0	1	0	1	1
1	0	0	1	0
1	1	0	0	0
0	0	1	1	1
0	1	1	0	1
1	0	1	0	0
1	1	1	1	1



Hình 4.43. Mạch trừ toàn phần

Lập bảng Karnaugh và tối thiểu hóa, ta có:

B_{n-1}	$a_n b_n$	00	01	11	10
		0	0	1	0
1	1	0	1	0	

$$D_n = \overline{a_n} \overline{b_n} B_{n-1} + \overline{a_n} b_n \overline{B_{n-1}} + a_n \overline{b_n} \overline{B_{n-1}} + a_n b_n B_{n-1}$$

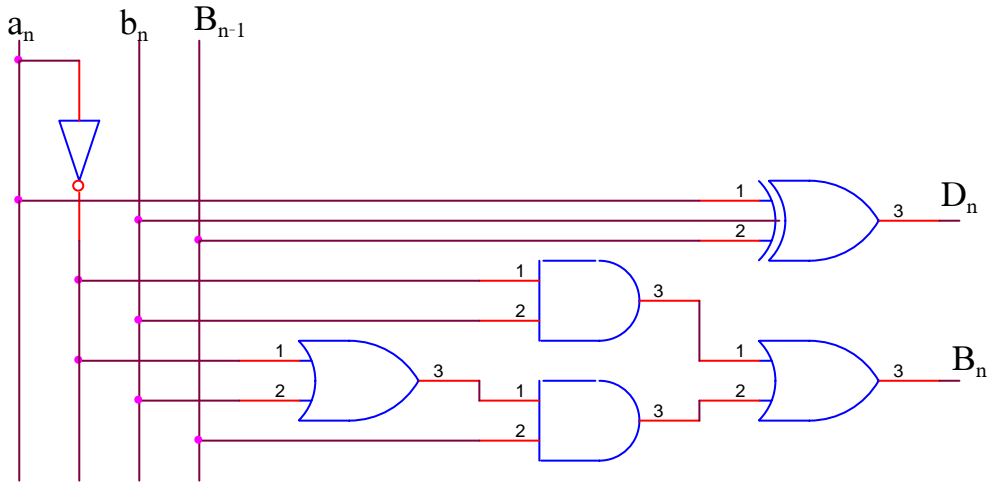
$$D_n = a_n \oplus b_n \oplus B_{n-1}$$

B_{n-1}	$a_n b_n$	00	01	11	10
		0	0	1	0
1	1	1	1	1	0

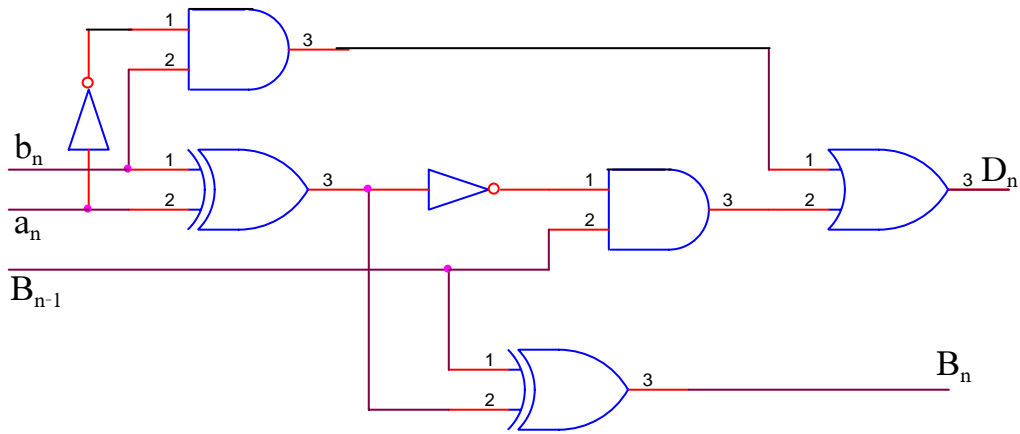
$$B_n = \overline{a_n} B_{n-1} + b_n B_{n-1} + \overline{a_n} b_n$$

$$B_n = a_n b_n + B_{n-1} (a_n + b_n)$$

Có 2 cách thực hiện bộ trừ toàn phần theo biểu thức logic đã tìm được: hoặc thực hiện trực tiếp (hình 4.44) hoặc sử dụng HS để thực hiện FS (hình 4.45).



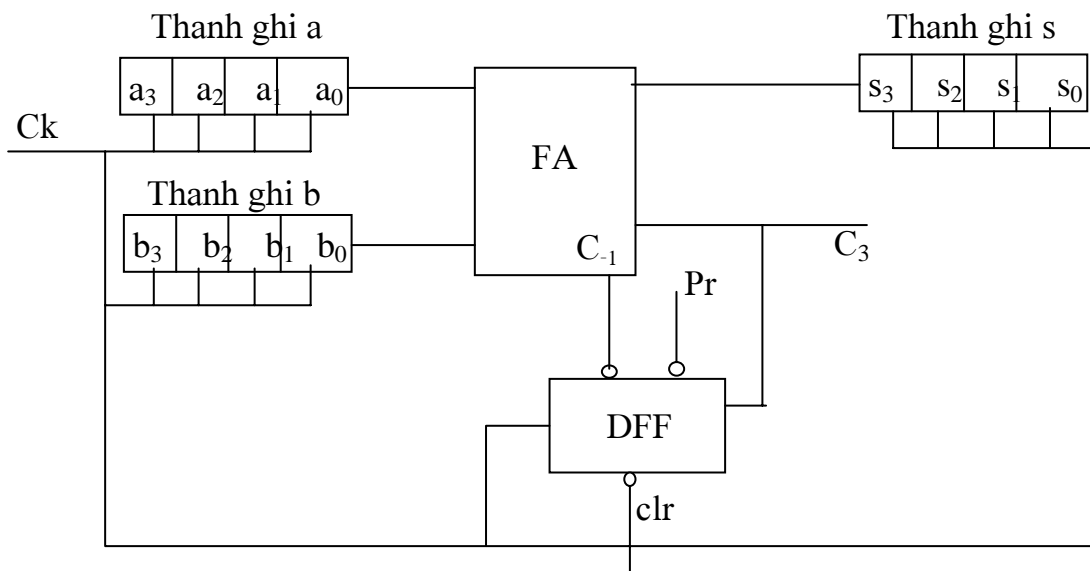
Hình 4.44. Thực hiện mạch trừ toàn phần trực tiếp



Hình 4.45. Thực hiện FS trên cơ sở HS

Từ bộ cộng toàn phần, ta xây dựng mạch cộng hai số nhị phân nhiều bit bằng 2 phương pháp: Nối tiếp và Song Song.

Phương pháp nối tiếp:



Hình 4.46. Mạch cộng 2 số nhị phân nhiều bit theo kiểu nối tiếp

Thanh ghi A chứa số A : a_3, a_2, a_1, a_0

Thanh ghi B chứa số B : b_3, b_2, b_1, b_0

Thanh ghi S chứa số S : s_3, s_2, s_1, s_0

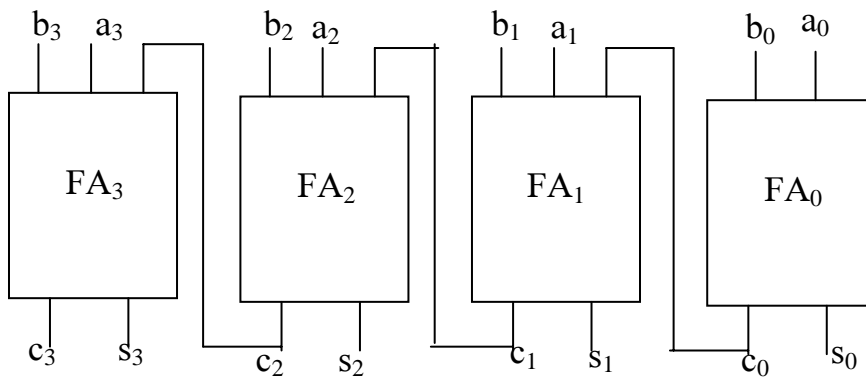
Nhược điểm của phương pháp này là thời gian thực hiện lâu.

Phương pháp song song:

Để khắc phục nhược điểm đó, người ta dùng phương pháp cộng song song.

Do tín hiệu điều khiển C_k (điều khiển cộng) đồng thời nên thời gian thực hiện phép cộng nhanh hơn phương pháp nối tiếp, song do số nhớ vẫn phải chuyển nối tiếp nên ảnh hưởng tốc độ xử lý.

Vì vậy người ta cải tiến mạch trên thành mạch cộng song song với số nhớ nhìn thấy trước (mạch cộng nhớ nhanh).



Hình 4.47. Mạch cộng với số nhớ nhìn thấy trước

Bằng cách dựa vào sự phân tích mạch cộng toàn phần như sau:

Ta có:

$$S_n = (a_n \oplus b_n) \oplus C_{n-1}$$

$$C_n = a_n \cdot b_n + (a_n \oplus b_n)C_{n-1}$$

Suy ra:

$$S_n = Q_n \oplus C_{n-1}$$

Trong đó:

$$P_n = a_n b_n ; \quad Q_n = a_n \oplus b_n ;$$

$$C_n = P_n + Q_n C_{n-1}$$

Khi $n=0$:

$$S_0 = Q_0 \oplus C_{-1}$$

$$C_0 = P_0 + Q_0 C_{-1}$$

Khi n=1:

$$S_1 = Q_1 \oplus C_0 = Q_1 \oplus (p_0 + Q_0 C_{-1})$$

$$C_1 = P_1 + Q_1 C_0 = p_1 + Q_1 (p_0 + Q_0 C_{-1})$$

Khi n=2:

$$S_2 = Q_2 \oplus C_1 = Q_2 \oplus [p_1 + Q_1 (p_0 + Q_0 C_{-1})]$$

$$C_2 = P_2 + Q_2 C_1 = p_2 + Q_2 [p_1 + Q_1 (p_0 + Q_0 C_{-1})]$$

Khi n=3:

$$S_3 = Q_3 \oplus C_2 = Q_3 \oplus \{p_2 + Q_2 [p_1 + Q_1 (p_0 + Q_0 C_{-1})]\}$$

$$C_3 = P_3 + Q_3 C_2 = p_3 + Q_3 \cdot \{p_2 + Q_2 [p_1 + Q_1 (p_0 + Q_0 C_{-1})]\}$$

Đây chính là cơ sở tính toán để tạo ra số nhớ c_1, c_2, c_3 tùy thuộc a_n, b_n nên lúc đó sẽ tìm được S_n . Trên thực tế người ta đã chế tạo ra các vi mạch cộng nhớ nhanh, ví dụ: IC 7483.

