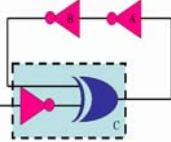




Chương 7

Bộ đếm và thanh ghi

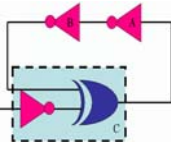


Th.S Đặng Ngọc Khoa
Khoa Điện - Điện Tử

1

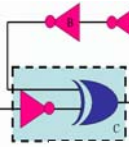


Bộ đếm không đồng bộ

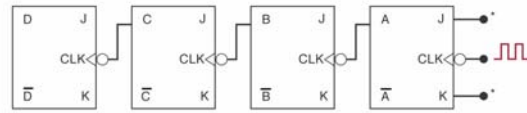


- Xét bộ đếm 4 bit ở hình 7-1
 - Xung clock chỉ được đưa đến FF A, ngõ vào J, K của tất cả các FF đều ở mức logic 1.
 - Ngõ ra của FF sau được nối đến ngõ vào CLK của FF trước nó.
 - Ngõ ra D, C, B, A là một số nhị phân 4 bit với D là bit có trọng số cao nhất.
- Đây là bộ đếm không đồng bộ vì trạng thái của các FF không thay đổi cùng với xung clock.

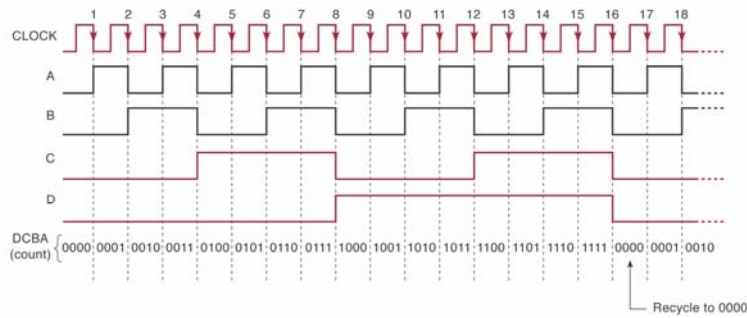
2



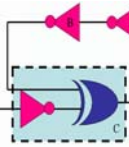
Hình 7-1 Bộ đếm 4 bit



*All J and K inputs assumed to be 1.



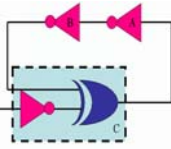
3



Quy ước về trọng số

- Trong phần lớn các mạch, dòng tín hiệu thường chạy từ trái sang phải.
- Trong chương này, nhiều mạch điện có dòng tín hiệu chạy từ phải sang trái.
- Ví dụ, trong hình 7-1:
 - Flip-Flop A: LSB
 - Flip-Flop D: MSB

4

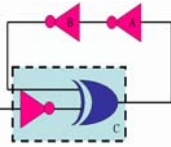


SỐ MOD



- Số MOD là số trạng thái trong một chu kỳ của một bộ đếm.
- Bộ đếm trong hình 7-1 có 16 trạng thái khác nhau, do vậy nó là bộ đếm MOD-16
- Số MOD của một bộ đếm được thay đổi cùng với số Flip-Flop.
 - Số MOD $\leq 2^N$

5

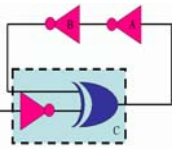


SỐ MOD



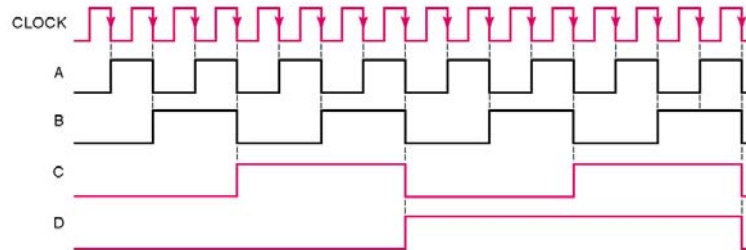
- Ví dụ
 - Một bộ đếm được sử dụng để đếm sản phẩm chạy qua một băng tải. Mỗi sản phẩm đi qua băng chuyền, bộ cảm biến sẽ tạo ra một xung. Bộ đếm có khả năng đếm được 1000 sản phẩm. Hỏi ít nhất phải có bao nhiêu Flip-Flop trong bộ đếm?
 - Trả lời: $1000 \leq 2^{10} = 1024$. Phải có 10 FF

6

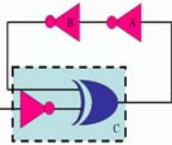


Chia tần số

- Trong một bộ đếm, tín hiệu ngõ ra của FF cuối cùng (MSB) có tần số bằng tần số ngõ vào chia cho số MOD. Một bộ đếm MOD-N là bộ chia N.

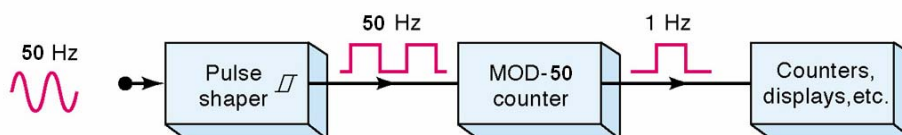


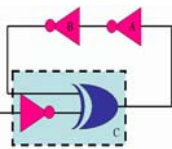
7



Ví dụ 7-1

- Ví dụ mạch tạo ra dao động xung vuông có tần số 1Hz.
 - Tạo ra tín hiệu xung vuông 50Hz từ lưới điện.
 - Cho đi qua bộ đếm MOD-50 để chia tần số 50 lần.
 - Có được tín hiệu xung vuông tần số 1Hz

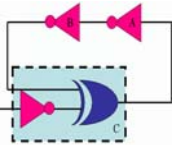




Trễ trong bộ đếm không đồng bộ



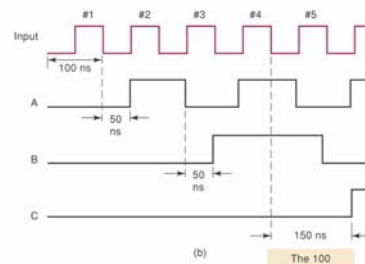
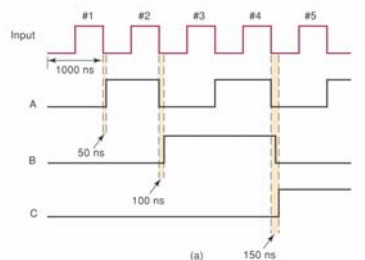
- Cấu trúc của bộ đếm không đồng bộ khá đơn giản nhưng vấn đề trễ khi truyền tín hiệu qua mỗi FF sẽ làm hạn chế tần số của bộ đếm.
- Với bộ đếm không đồng bộ ta phải có
 - $T_{\text{clock}} \geq N \times t_{pd}$
 - $F_{\text{max}} = 1 / (N \times t_{pd})$

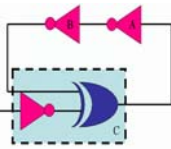


Trễ trong bộ đếm không đồng bộ



- Bộ đếm 3 bit với những tần số xung clock khác nhau

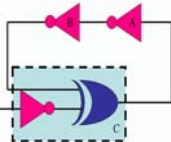




Câu hỏi?

- Trong bộ đếm bất đồng bộ, tất cả các FF thay đổi trạng thái cùng một lúc?
- Giả sử bộ đếm trong hình 7-1 đang ở trạng thái 0101. Sau 27 xung clock, trạng thái của bộ đếm sẽ là bao nhiêu?
- Số MOD của bộ đếm có 5 Flip-Flop?

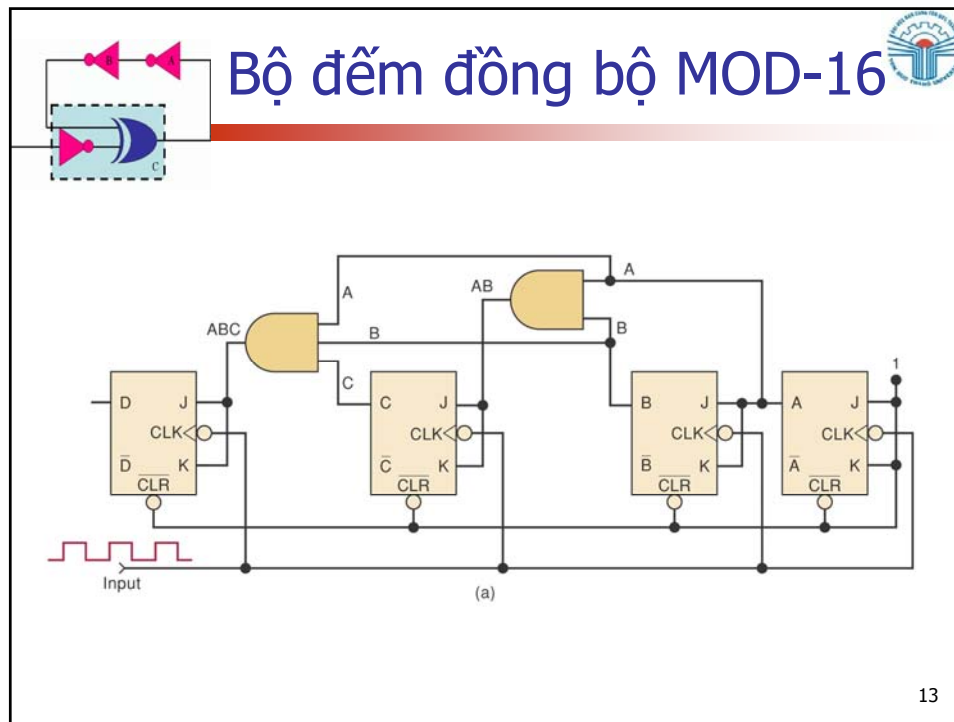
11



Bộ đếm đồng bộ

- Trạng thái của tất cả các FF sẽ được thay đổi cùng một lúc với xung clock.
- Hình sau mô tả hoạt động của một bộ đếm đồng bộ
 - Mỗi FF có ngõ vào J, K được kết nối sao cho chúng ở trạng thái cao chỉ khi ngõ ra của tất cả các FF sau nó đều ở trạng thái cao.
 - Bộ đếm đồng bộ có thể hoạt động với tần số cao hơn bộ đếm không đồng bộ.

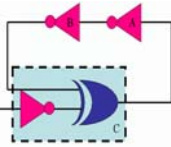
12



Hoạt động của mạch

- B thay đổi trạng thái theo xung clock chỉ khi $A = 1$.
- C thay đổi trạng thái theo xung clock chỉ khi $A = B = 1$.
- D thay đổi trạng thái theo xung clock chỉ khi $A = B = C = 1$.

14

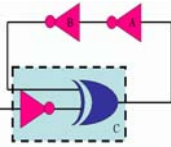


Bảng chân trị

Count	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0
.
.
.	.	etc.	.	.

(b)

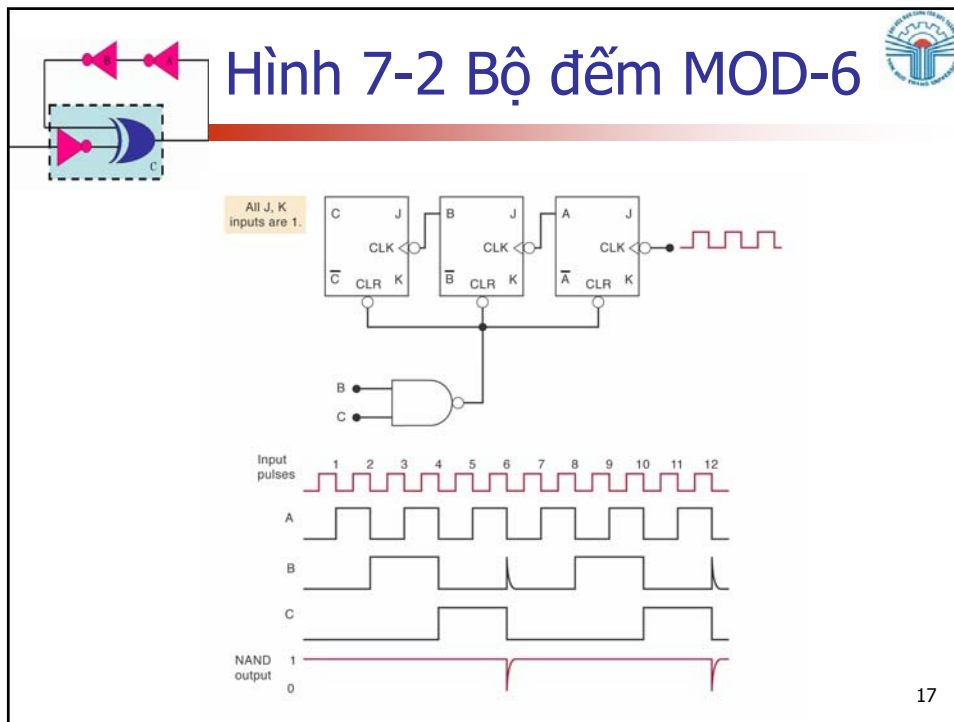
15



Bộ đếm có số MOD 2^N

- Sử dụng ngõ vào không đồng bộ (clear, set) để buộc bộ đếm bỏ đi một số trạng thái.
- Trong hình 7-2, ngõ ra cổng NAND được nối đến ngõ vào không đồng bộ CLEAR của mỗi Flip-Flop.
- Khi $A=0, B=C=1$, ($CBA = 110_2 = 6_{10}$) ngõ ra cổng NAND sẽ tích cực và các FF sẽ bị CLEAR về trạng thái 0.

16

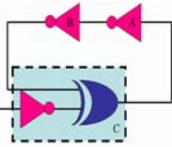


17

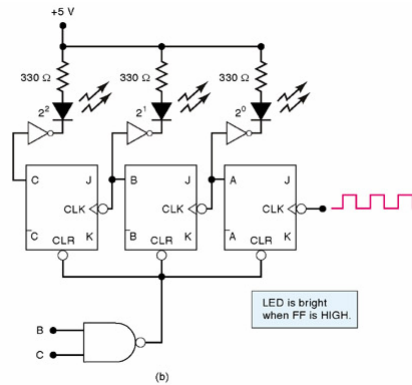
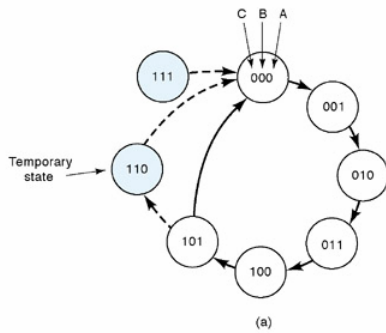
Trạng thái tạm

- Lưu ý rằng trong hình 7-2, 110 là một trạng thái tạm thời. Mạch chỉ tồn tại ở trạng thái này trong thời gian rất ngắn sau đó sẽ chuyển sang trạng thái 000.
- 000 → 001 → 010 → 011 → 100 → 101 → 000
- Ngõ ra của FF C có tần số bằng 1/6 tần số ngõ vào.

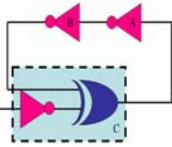
18



Sơ đồ trạng thái



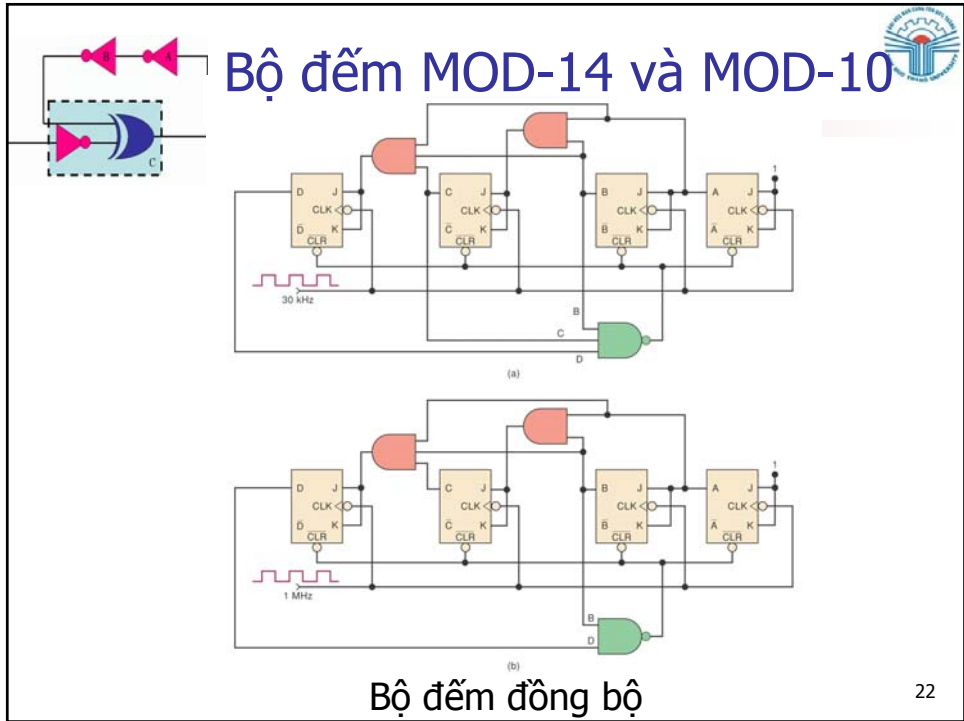
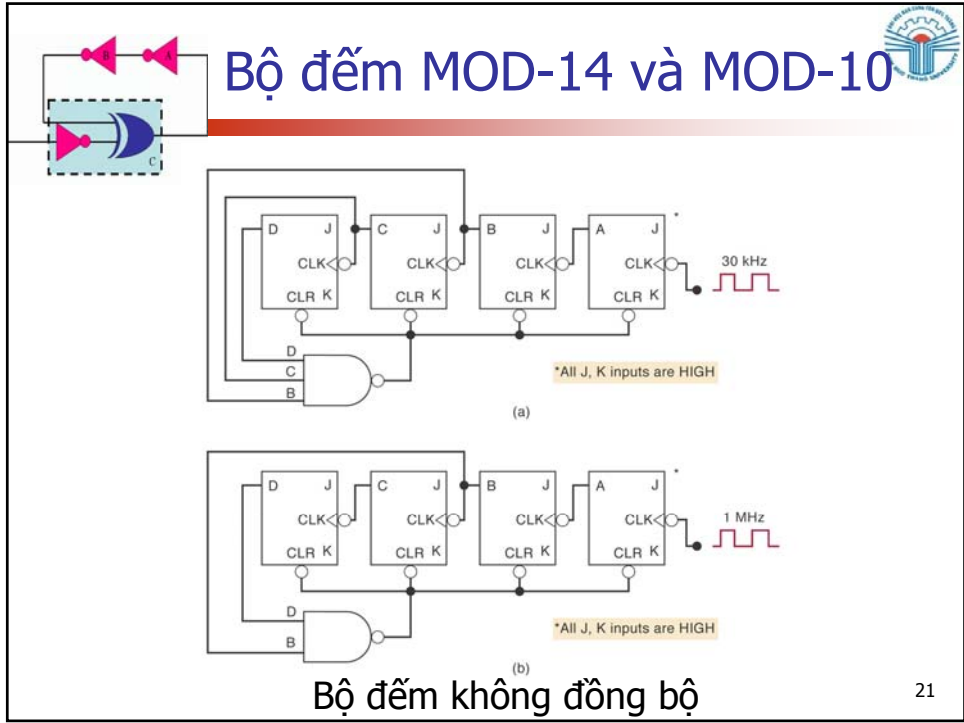
19

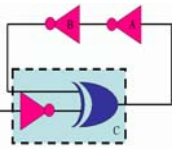


Thiết kế bộ đếm MOD-X

- **Bước 1:** Tìm số FF nhỏ nhất sao cho $2^N \geq X$. Kết nối các FF lại với nhau. Nếu $2^N = X$ thì không làm bước 2 và 3.
- **Bước 2:** Nối một cổng NAND đến ngõ vào CLEAR của tất cả các FF.
- **Bước 3:** Xác định FF sẽ ở mức cao ứng với trạng thái bộ đếm = X. Nối ngõ ra của các FF đến ngõ vào của cổng NAND.

20

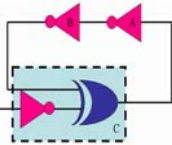




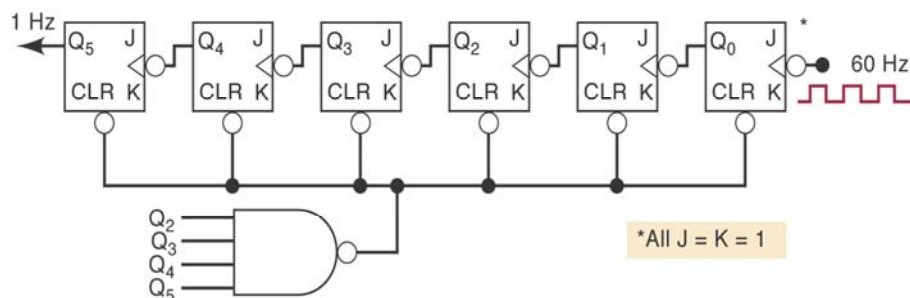
Bộ đếm thập phân

- Bộ đếm thập phân
 - Là bất kỳ bộ đếm nào có mười trạng thái phân biệt.
- Bộ đếm BCD
 - Là một bộ đếm thập phân mà các trạng thái trong bộ đếm tương ứng từ 0000 (zero) đến 1001 (9)

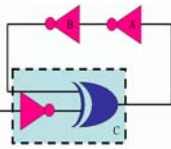
23



Bộ đếm MOD-60 không đồng bộ



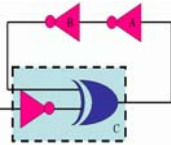
24



Ví dụ 7-2

- Xác định mạch bộ đếm đồng bộ MOD-60

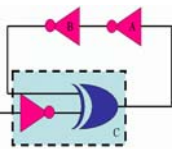
25



Câu hỏi?

- Trong bộ đếm MOD-13, ngõ ra của FF nào được nối đến ngõ vào cổng NAND của mạch clear?
- Tất cả các bộ đếm BCD là bộ đếm thập phân?
- Cho một bộ đếm thập phân, tần số ngõ vào là 50KHz. Tần số ngõ ra là bao nhiêu?

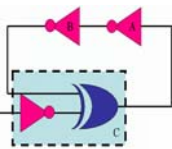
26



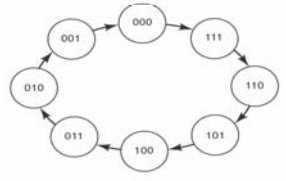
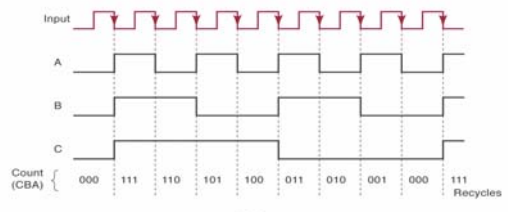
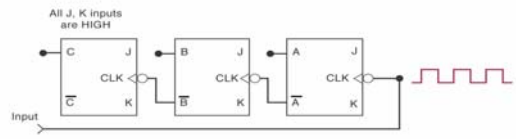
Bộ đếm xuống không đồng bộ

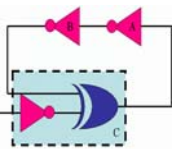


- 111 → 110 → 101 → 100 → 011 → 010 → 001 → 000
- Bộ đếm lên có thể chuyển thành bộ đếm xuống bằng cách sử dụng những ngõ ra đảo để lái các ngõ vào xung clock.



Bộ đếm xuống MOD-8



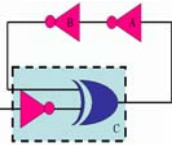


Bộ đếm xuống đồng bộ

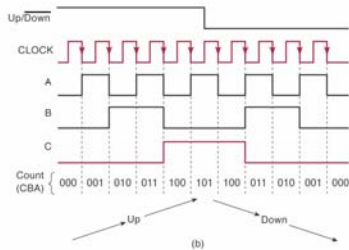
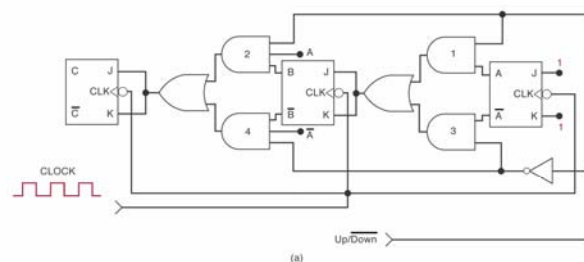


- Bộ đếm xuống đồng bộ có cấu tạo hoàn toàn tương tự như bộ đếm lên đồng bộ.
- Chỉ khác là sử dụng các ngõ ra đảo để điều khiển.

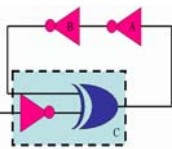
29



Bộ đếm lên/xuống đồng bộ



30



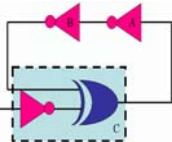
IC bộ đếm không đồng bộ



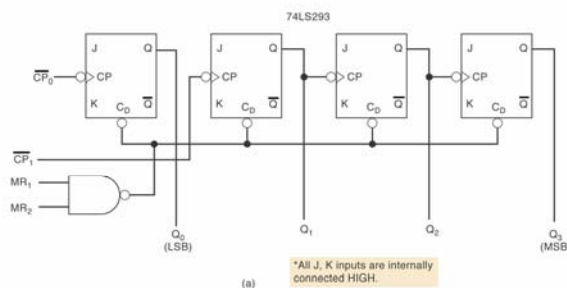
■ IC 74LS293 họ TTL

- Có 4 J-K Flip-Flop, $Q_3Q_2Q_1Q_0$
- Mỗi FF có một ngõ vào CP (clock pulse) tương tự như ngõ vào CLK. Ngõ vào clock của Q_1 và Q_0 được nối đến chân 11 và chân 10.
- Ngõ vào clear của mỗi FF được nối đến ngõ ra của một cổng NAND hai ngõ vào MR_1 và MR_2 .
- $Q_3Q_2Q_1$ được nối với nhau hình thành nên một bộ đếm 3 bit.
- Q_0 không được nối đến các phần khác.

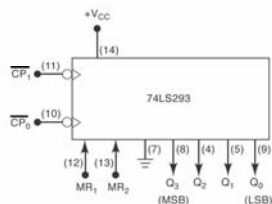
31



IC bộ đếm không đồng bộ

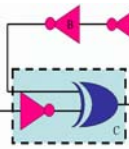


(a)



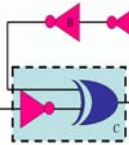
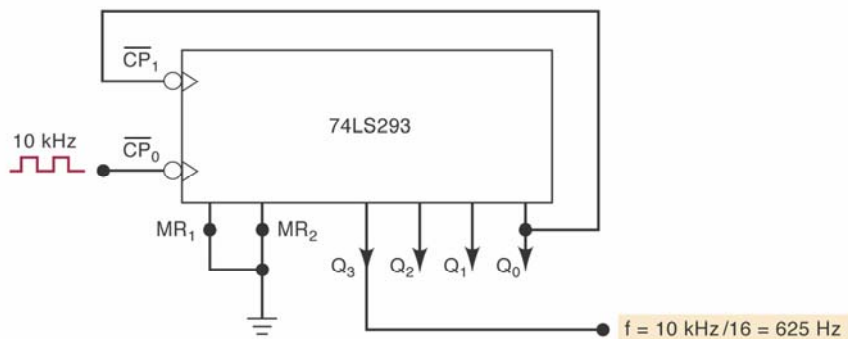
(b)

32



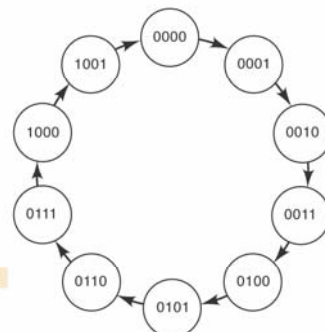
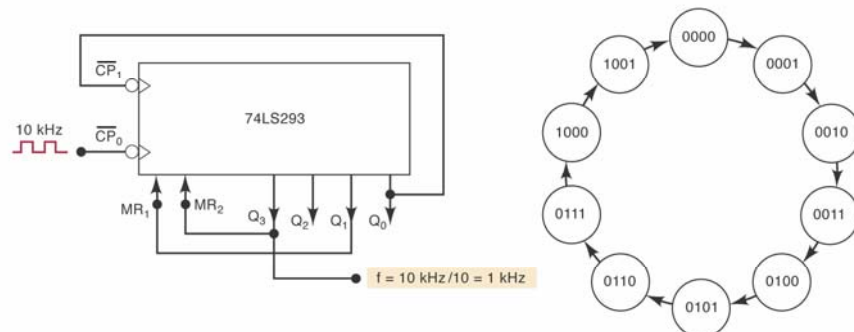
Ví dụ 7-3

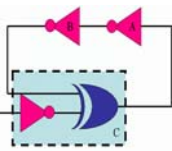
- Sử dụng IC 74LS293 thiết lập bộ đếm MOD-16



Ví dụ 7-4

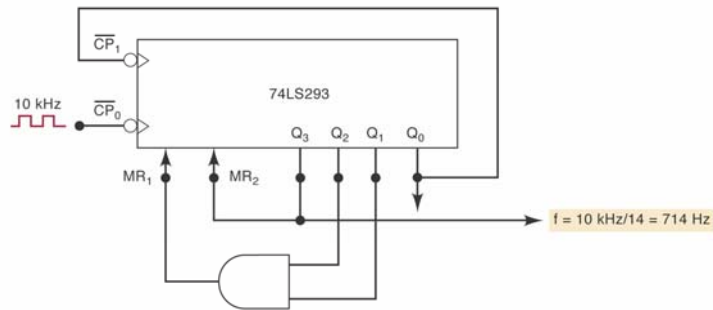
- Sử dụng IC 74LS293 thiết lập bộ đếm MOD-10



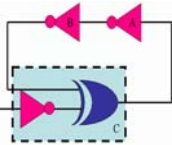


Ví dụ 7-5

- Sử dụng IC 74LS293 thiết lập bộ đếm MOD-14
- Trường hợp này cần phải sử dụng thêm một cổng AND

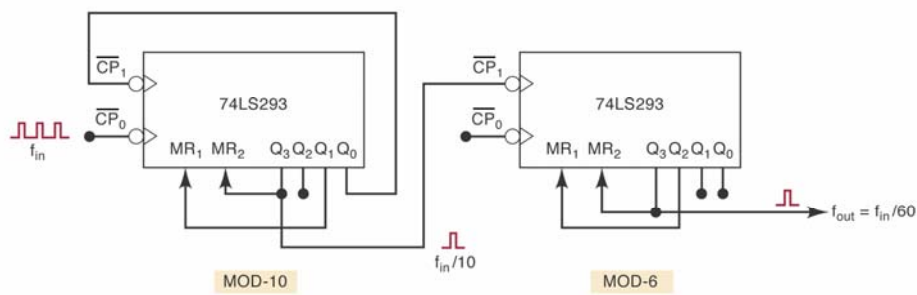


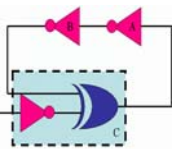
35



Ví dụ 7-6

- Sử dụng IC 74LS293 thiết lập bộ đếm MOD-60
- Sử dụng 2 IC mắc nối tiếp nhau.

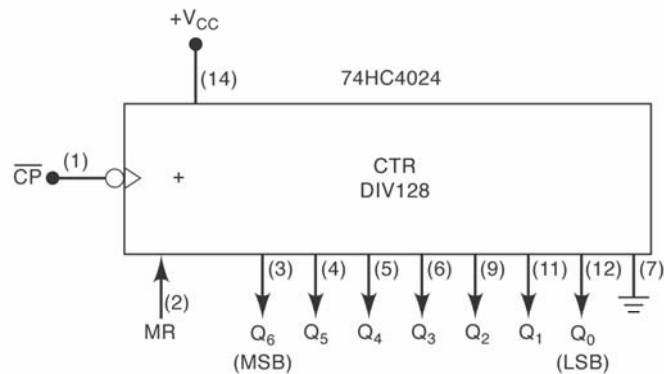




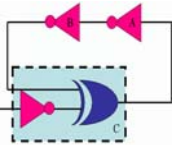
IC bộ đếm



■ Giới thiệu IC bộ đếm 7 bit họ CMOS



37



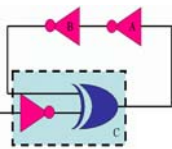
IC bộ đếm đồng bộ



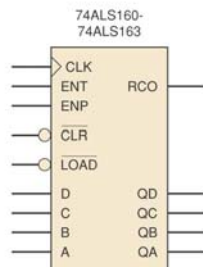
■ TTL 74ALS160

- Bộ đếm có 4 FF
- FF thay đổi trạng thái theo cạnh dương của xung clock
- IC có một ngõ vào CLEAR không đồng bộ.
- Bộ đếm có thể preset đến bất kỳ giá trị nào (theo các ngõ vào A, B, C, và D) bằng cách tích cực ngõ vào LOAD.
- Bộ đếm được điều khiển bởi các ngõ vào khác nhau, thể hiện trong bảng Function table.

38



74ALS160



Part Number	Modulus
74ALS160	10
74ALS161	16
74ALS162	10
74ALS163	16

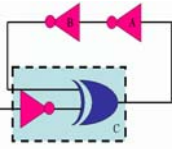
(b)

(a)

74ALS160-74ALS163 Function Table

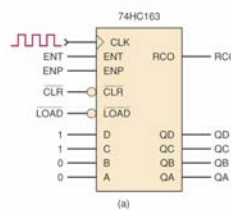
CLR	LOAD	ENP	ENT	CLK	Function	Part Numbers
L	X	X	X	X	Asynch. Clear	74ALS160 & 74ALS161
L	X	X	X	↑	Synchr. Clear	74ALS162 & 74ALS163
H	L	X	X	↑	Synchr. Load	All
H	H	H	H	↑	Count up	All
H	H	L	X	X	No change	All
H	H	X	L	X	No change	All

(c)

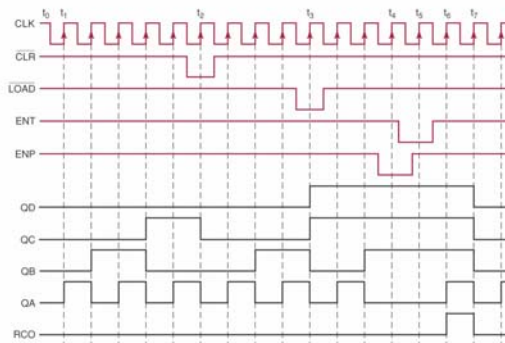


74ALS160

■ Ví dụ



(a)

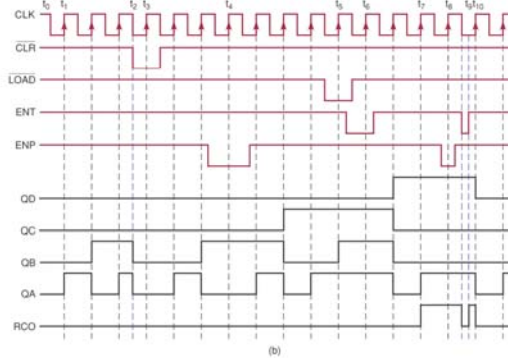
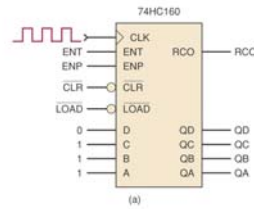


(b)



74ALS160

- Ví dụ

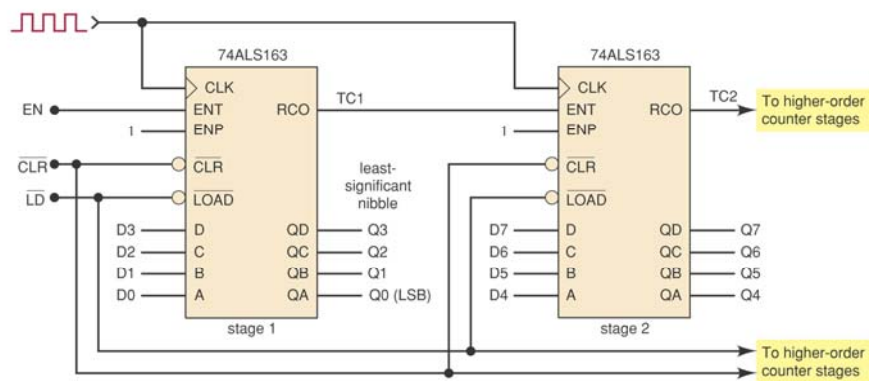


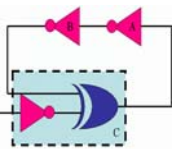
41



74ALS160

- Có thể kết hợp nhiều IC để tạo ra một bộ đếm lớn hơn

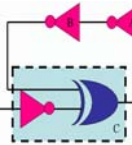




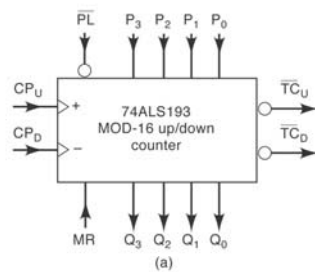
IC bộ đếm đồng bộ



- 74ALS193/HC193
 - Bộ đếm đồng bộ
 - MOD-16
 - Presettable up/down
 - Preset không đồng bộ
 - Master reset không đồng bộ



IC 74ALS193



Pin names	Description
CP _U	Count-up clock input (active rising edge)
CP _D	Count-down clock input (active rising edge)
MR	Asynchronous master reset input (active HIGH)
\overline{PL}	Asynchronous parallel load input (active LOW)
P ₀ -P ₃	Parallel data inputs
Q ₀ -Q ₃	Flip-flop outputs
\overline{TC}_D	Terminal count-down (borrow) output (active LOW)
\overline{TC}_U	Terminal count-up (carry) output (active LOW)

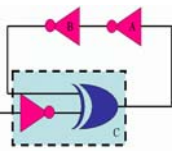
Mode Select

MR	\overline{PL}	CP _U	CP _D	Mode
H	X	X	X	Asynch. reset
L	L	X	X	Asynch. preset
L	H	H	H	No change
L	H	↑	H	Count up
L	H	H	↑	Count down

H = HIGH; L = LOW
 X = don't care; ↑ = PGT

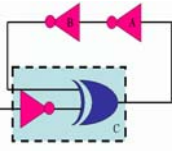
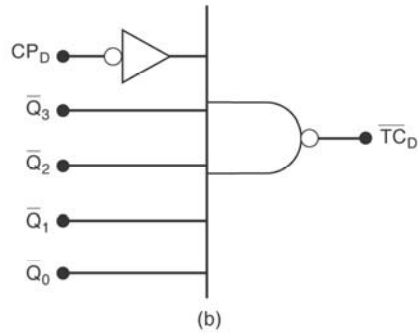
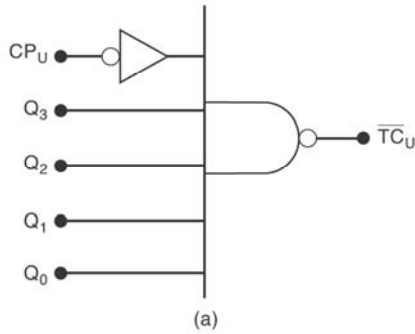
(c)

(b)

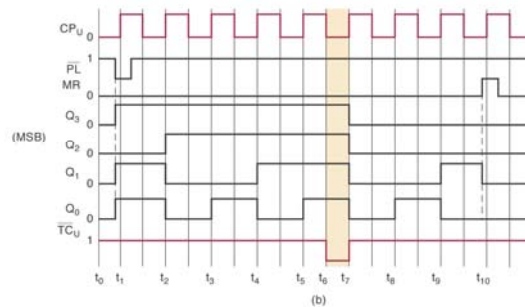
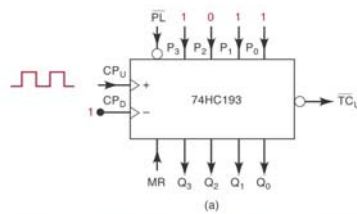


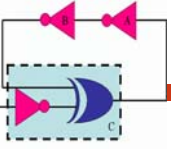
IC 74ALS193

■ Mạch tạo ra TC_U và TC_D




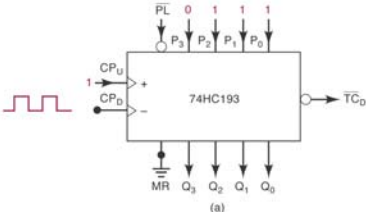
74ALS193 - bộ đếm lên



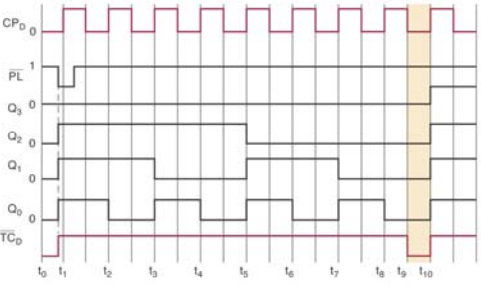


74ALS193 - bộ đếm xuống



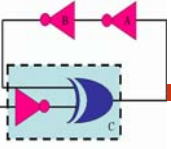


(a)




(b)

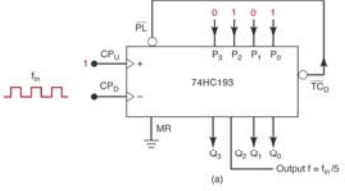
47



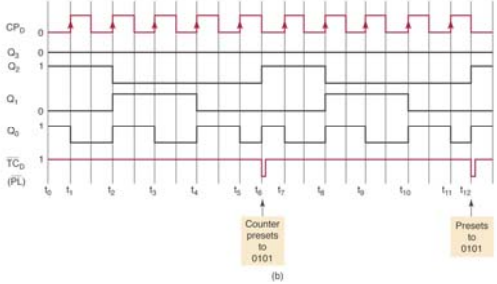
Ví dụ 7-7



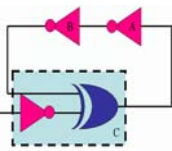
- Bộ đếm xuống MOD-5



(a)

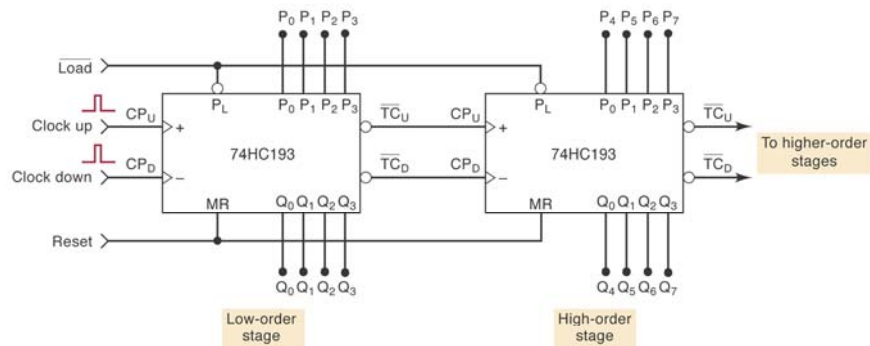


(b)

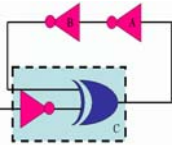


IC 74ALS193

- Kết hợp nhiều IC để mở rộng bộ đếm



Note: Reset input has priority over Load and clock inputs.
Load input has priority over clock inputs.



Giải mã bộ đếm

- Giải mã là biết đổi giá trị nhị phân ở ngõ ra thành giá trị thập phân.
- Bộ giải mã sau tích cực mức cao, có thể sử dụng các đèn LED để thể hiện các số thập phân từ 0 – 7.

Giải mã bộ đếm MOD-8

The diagram illustrates a 3-bit counter (MOD-8) implemented with three JK flip-flops (A, B, C) and a 3-to-8 decoder. The counter outputs are C, B, and A. The decoder outputs are labeled 0 through 7, corresponding to the binary values of CBA. The timing diagram shows the CLK signal and the resulting output waveforms for each decoder output.

CLK	CBA	0	1	2	3	4	5	6	7
0	000	1	0	0	0	0	0	0	0
1	001	0	1	0	0	0	0	0	0
2	010	0	0	1	0	0	0	0	0
3	011	0	0	0	1	0	0	0	0
4	100	0	0	0	0	1	0	0	0
5	101	0	0	0	0	0	1	0	0
6	110	0	0	0	0	0	0	1	0
7	111	0	0	0	0	0	0	0	1

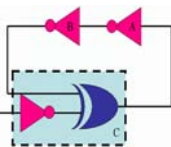
51

Thiết kế bộ đếm đồng bộ

- Bảng chuyển đổi trạng thái của JK-FF

Chuyển đổi	Hiện tại	Kế tiếp	J	K
0→0	0	0	0	X
0→1	0	1	1	X
1→0	1	0	X	1
1→1	1	1	X	0

52

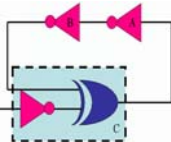


Trình tự thiết kế



- Bước 1: Xác định số bit (số FF cần)
- Bước 2: vẽ sơ đồ chuyển đổi của tất cả các trạng thái, bao gồm cả những trạng thái không xuất hiện trong chu trình.
- Bước 3: dựa vào sơ đồ chuyển đổi trạng thái để thiết lập một bảng, trong đó liệt kê tất cả các trạng thái hiện tại và kế tiếp.

53

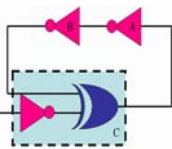


Trình tự thiết kế



- Bước 4: trong bảng vừa tạo, thêm cột giá trị J, K của các FF. Với mỗi trạng thái hiện tại, xác định giá trị của J và K để bộ đếm chuyển đến trạng thái kế tiếp.
- Bước 5: thiết kế mạch logic để tạo ra các mức logic cho mỗi ngõ vào J và K.
- Bước 6: xác định sơ đồ mạch.

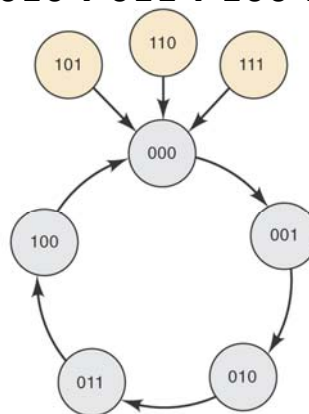
54



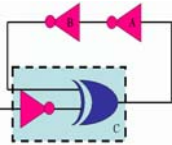
Ví dụ, thiết kế bộ đếm MOD-5



- Sơ đồ chuyển đổi trạng thái
- $000 \rightarrow 001 \rightarrow 010 \rightarrow 011 \rightarrow 100 \rightarrow 000 \rightarrow \dots$



55

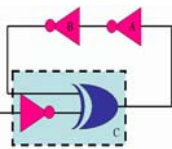


Trạng thái hiện tại và kế tiếp



	PRESENT			NEXT		
	C	B	A	C	B	A
Line 1	0	0	0	0	0	1
2	0	0	1	0	1	0
3	0	1	0	0	1	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0
6	1	0	1	0	0	0
7	1	1	0	0	0	0
8	1	1	1	0	0	0

56

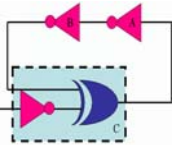


Bảng trạng thái của mạch



	PRESENT			NEXT			J_C	K_C	J_B	K_B	J_A	K_A
	C	B	A	C	B	A						
Line 1	0	0	0	0	0	1	0	x	0	x	1	x
2	0	0	1	0	1	0	0	x	1	x	x	1
3	0	1	0	0	1	1	0	x	x	0	1	x
4	0	1	1	1	0	0	1	x	x	1	x	1
5	1	0	0	0	0	0	x	1	0	x	0	x
6	1	0	1	0	0	0	x	1	0	x	x	1
7	1	1	0	0	0	0	x	1	x	1	0	x
8	1	1	1	0	0	0	x	1	x	1	x	1

57



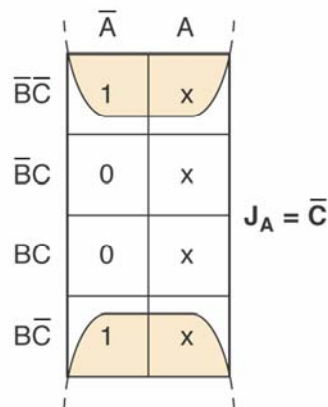
Xác định các giá trị J và K



- Tính giá trị của J_A

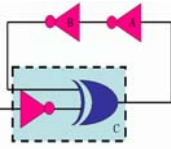
PRESENT			J_A
C	B	A	
0	0	0	1
0	0	1	x
0	1	0	1
0	1	1	x
1	0	0	0
1	0	1	x
1	1	0	0
1	1	1	x

(a)



(b)

58



Tương tự ta có

	\bar{A}	A
$\bar{B}\bar{C}$	0	0
$\bar{B}C$	x	x
BC	x	x
$B\bar{C}$	0	1

$$J_C = AB$$

	\bar{A}	A
$\bar{B}\bar{C}$	x	x
$\bar{B}C$	1	1
BC	1	1
$B\bar{C}$	x	x

$$K_C = 1$$

	\bar{A}	A
$\bar{B}\bar{C}$	0	1
$\bar{B}C$	0	0
BC	x	x
$B\bar{C}$	x	x

$$J_B = A\bar{C}$$

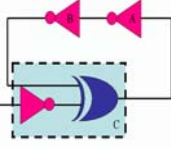
	\bar{A}	A
$\bar{B}\bar{C}$	x	x
$\bar{B}C$	x	x
BC	1	1
$B\bar{C}$	0	1

$$K_B = A + C$$

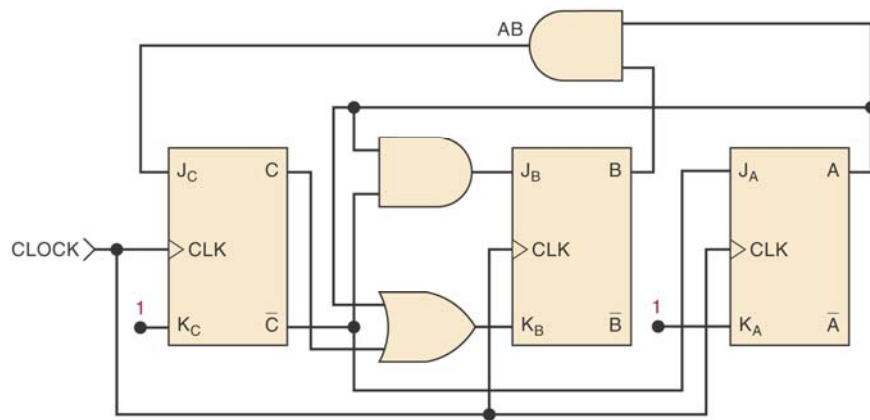
(a)

(b)

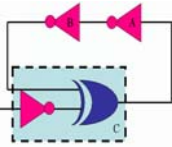
⇒



Sơ đồ mạch



60

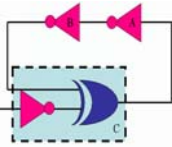


Ví dụ 7-8

- Sử dụng D-FF để thiết kế bộ đếm MOD-5

PRESENT			NEXT			D_C	D_B	D_A
C	B	A	C	B	A			
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	x
0	1	0	0	1	1	0	x	1
0	1	1	1	0	0	1	x	x
1	0	0	0	0	0	x	0	0
1	0	1	0	0	0	x	0	x
1	1	0	0	0	0	x	x	0
1	1	1	0	0	0	x	x	x

61



Ví dụ 7-8

- Xác định giá trị các ngõ vào D

	\bar{A}	A
$\bar{C}\bar{B}$	0	0
$\bar{C}B$	0	1
CB	0	0
$C\bar{B}$	0	0

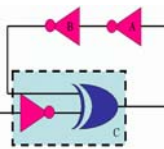
$$D_C = \bar{C}BA$$

	\bar{A}	A
$\bar{C}\bar{B}$	0	1
$\bar{C}B$	1	0
CB	0	0
$C\bar{B}$	0	0

$$D_B = \bar{C}\bar{B}A + \bar{C}B\bar{A}$$

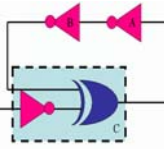
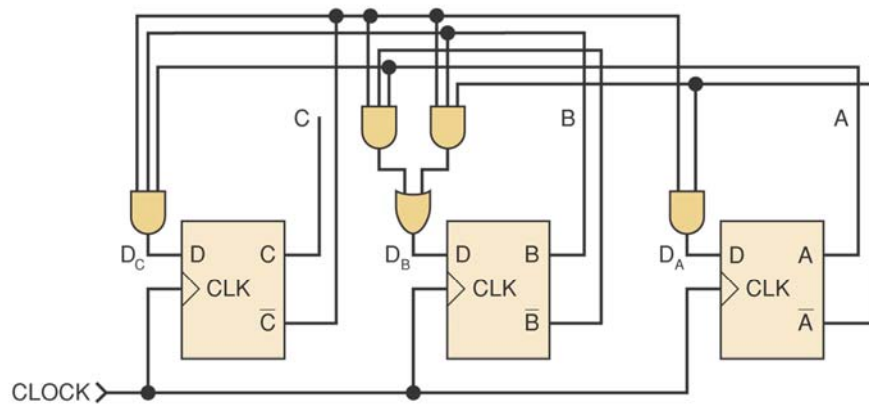
	\bar{A}	A
$\bar{C}\bar{B}$	1	0
$\bar{C}B$	1	0
CB	0	0
$C\bar{B}$	0	0

$$D_A = \bar{C}\bar{A}$$



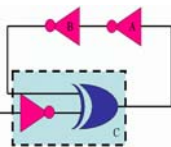
Ví dụ 7-8

■ Sơ đồ mạch



Mạch thanh ghi tích hợp

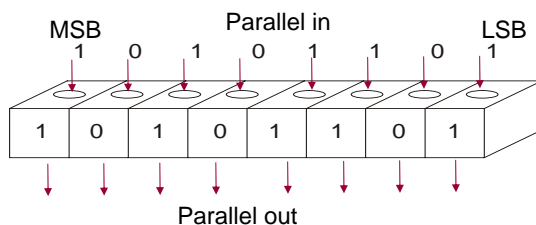
- Thanh ghi có thể được phân loại dựa vào cách dữ liệu được đưa vào và cách mà dữ liệu được lấy ra:
 - Parallel in/parallel out (PIPO)
 - Serial in/serial out (SISO)
 - Parallel in/serial out (PISO)
 - Serial in/parallel out (SIPO)



Mạch thanh ghi tích hợp

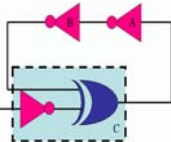


- Vào song song, ra song song :



- IC 74174 và 74178

65

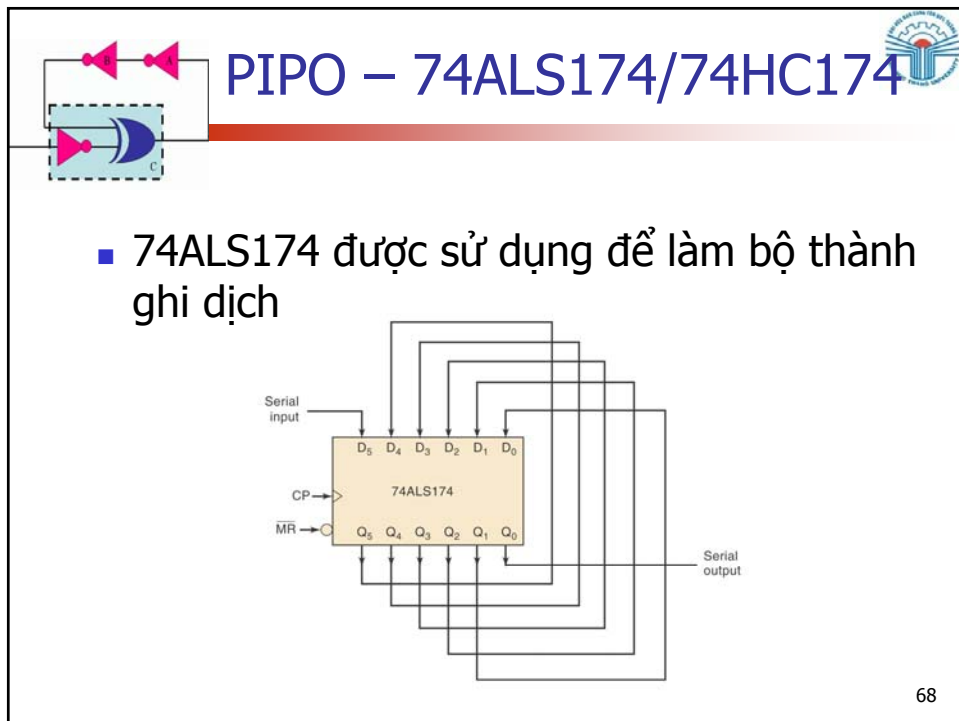
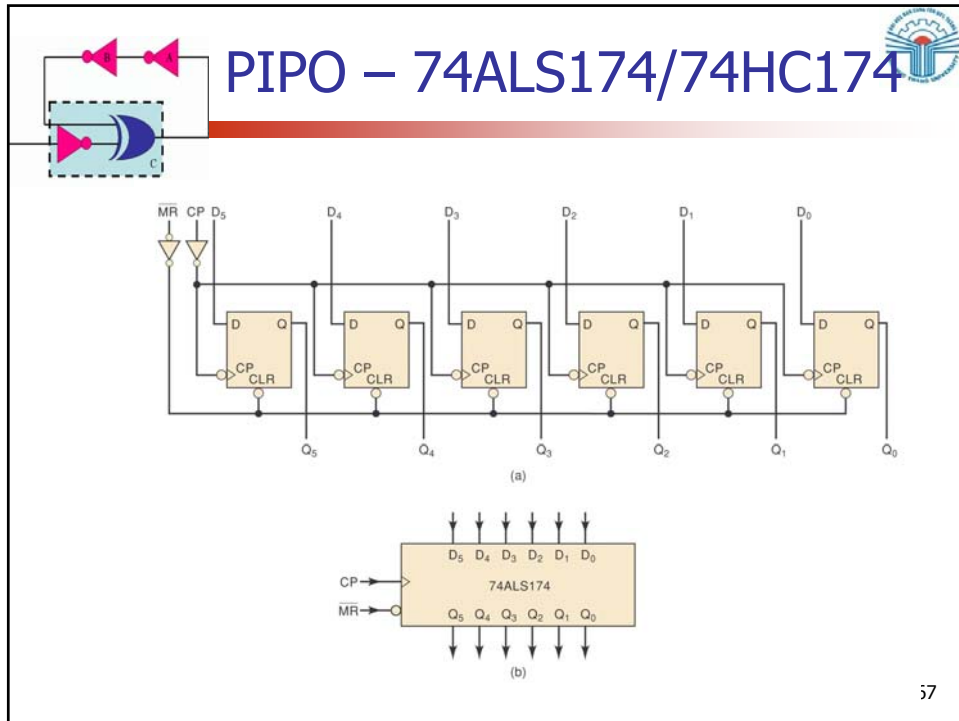


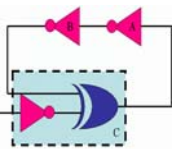
PIPO – 74ALS174/74HC174



- 74ALS174/74HC174
 - Thanh ghi 6 bit
 - D_5, D_0 : ngõ vào song song
 - Q_5, Q_0 : ngõ ra song song
- Dữ liệu được đưa vào thanh ghi theo cạnh dương của xung clock
- Master reset có thể reset tất cả các FFs một cách độc lập với xung clock

66

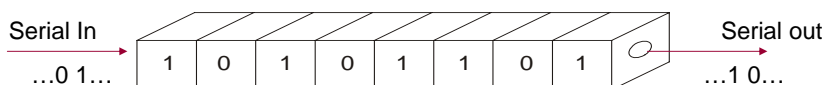




Mạch thanh ghi tích hợp

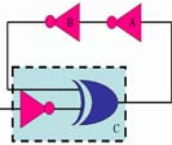


- Vào nối tiếp, ra nối tiếp:

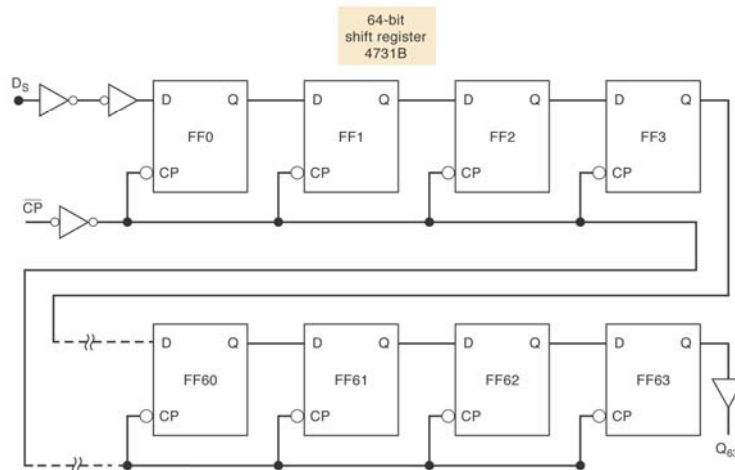


- IC 4731B

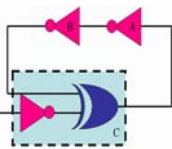
69



SISO - 4731B



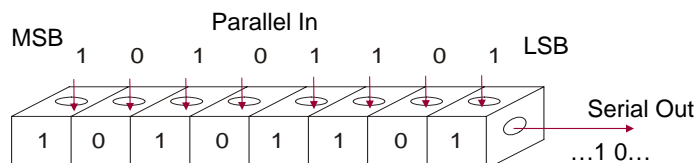
70



Mạch thanh ghi tích hợp

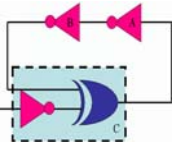


- Vào song song, ra nối tiếp:



- IC 74165, 74LS165, 74HC165

71

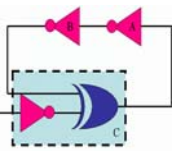


PISO - 74HC165

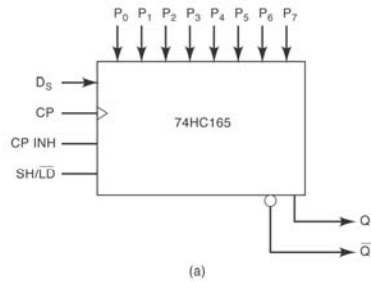


- 74HC165
 - Thanh ghi 8 bit
 - Dữ liệu nối tiếp được đưa vào D_5
 - Dữ liệu song song không đồng bộ được đưa vào qua $P_0 - P_7$
 - Chỉ có ngõ ra Q_7 được sử dụng
- CP là ngõ vào xung clock
- CP INH ngõ vào ngăn xung clock
- $\overline{SH/LD}$ ngõ vào load dữ liệu

72



PISO - 74HC165

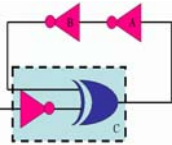


Function Table

Inputs			Operation
SH/LD	CP	CP INH	
L	X	X	Parallel load
H	H	X	No change
H	X	H	No change
H	F	L	Shifting
H	L	F	Shifting

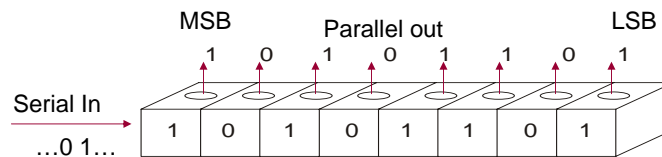
H = high level
L = low level
X = immaterial
F = PGT

(b)

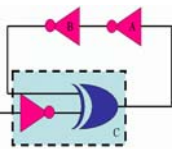


Mạch thanh ghi tích hợp

- Vào nối tiếp, ra song song:



- IC 74164, 74LS164, 74HC164

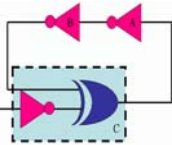


SIPO – 74ALS164/74HC164

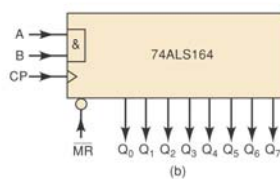
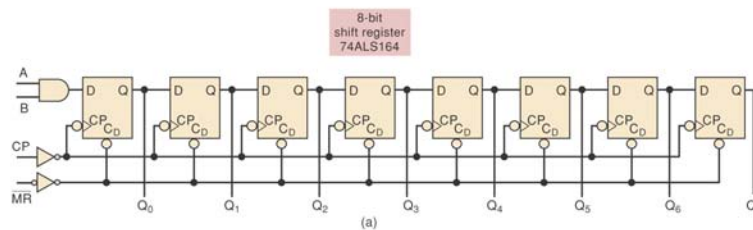


- 74ALS164
 - Chứa thanh ghi dịch 8 bit
 - A và B là hai ngõ vào của một cổng AND, ngõ ra của cổng AND là đầu vào nối tiếp.
- Quá trình dịch xảy ra khi có cạnh âm của xung clock

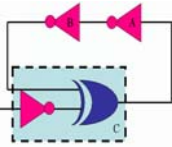
75



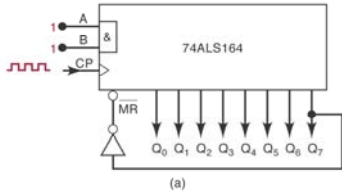
IC 74ALS164



76



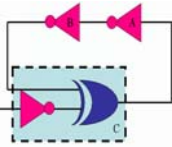
Ví dụ IC 74ALS164



Input pulse number	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0	0
3	1	1	1	0	0	0	0	0
4	1	1	1	1	0	0	0	0
5	1	1	1	1	1	0	0	0
6	1	1	1	1	1	1	0	0
7	1	1	1	1	1	1	1	0
8	1	1	1	1	1	1	1	1

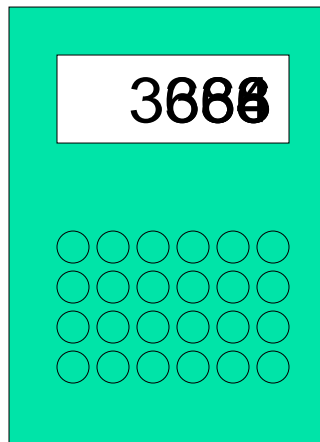
Temporary state

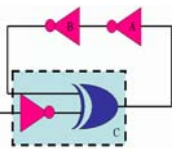
Recycles



Thanh ghi dịch

Ví dụ về thanh ghi dịch trong máy tính

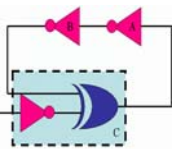




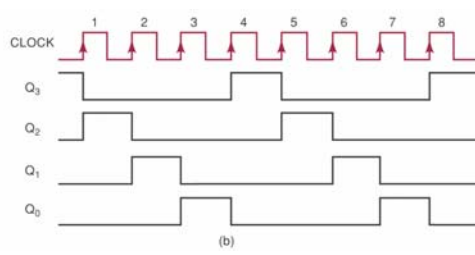
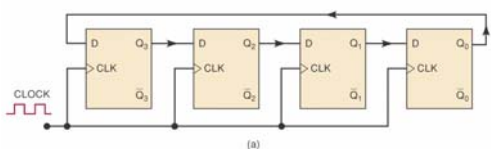
Bộ đếm thanh ghi dịch



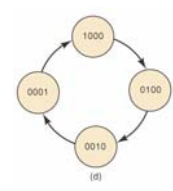
- Bộ đếm vòng (FF cuối nối đến FF đầu tiên)
 - FF cuối cùng sẽ dịch giá trị của nó đến FF đầu tiên
 - D-FF được sử dụng (JK-FF cũng có thể được sử dụng)
 - Phải bắt đầu với trạng thái chỉ có một FF có giá trị 1 và những cái còn lại ở trạng thái 0.

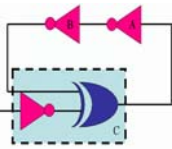


Dịch vòng MOD-4



Q ₃	Q ₂	Q ₁	Q ₀	CLOCK pulse
1	0	0	0	0
0	1	0	0	1
0	0	1	0	2
0	0	0	1	3
1	0	0	0	4
0	1	0	0	5
0	0	1	0	6
0	0	0	1	7
.
.



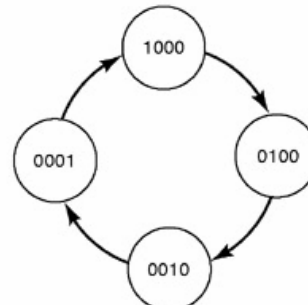


Dịch vòng 4 bit

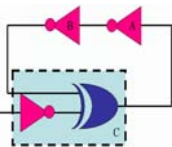
■ Bộ đếm MOD-4

Q ₃	Q ₂	Q ₁	Q ₀	CLOCK pulse
1	0	0	0	0
0	1	0	0	1
0	0	1	0	2
0	0	0	1	3
1	0	0	0	4
0	1	0	0	5
0	0	1	0	6
0	0	0	1	7
.
.

(c)



(d)



Câu hỏi?